

## ミリ波デバイスの集積化技術に関する研究

メタデータ	言語: Japanese 出版者: 公開日: 2020-05-12 キーワード (Ja): キーワード (En): 作成者: 酒井, 啓之 メールアドレス: 所属:
URL	<a href="http://hdl.handle.net/10098/10901">http://hdl.handle.net/10098/10901</a>

福井大学審査  
学位論文[博士(工学)]

ミリ波デバイスの集積化技術に関する研究

令和2年3月  
酒井 啓之

## 目次

第1章 序論	1
1.1 研究の背景	1
1.2 本研究の目的	3
1.3 本論文の構成	4
第2章 GaAs 系化合物半導体を用いたミリ波 MMIC	7
2.1 はじめに	7
2.2 AlGaAs/InGaAs ヘテロ接合電界効果トランジスタ	7
2.2.1 はじめに	7
2.2.2 極短ゲート形成プロセス	8
2.2.3 レジストエッチングによるゲート加工プロセスを用いた AlGaAs/InGaAs HFET の試作	11
2.2.4 AlGaAs/InGaAs HFET の特性	13
2.2.5 まとめ	14
2.3 AlGaAs/GaAs ヘテロ接合バイポーラトランジスタ	14
2.3.1 はじめに	14
2.3.2 L型ベース電極 AlGaAs/GaAs HBT の提案	15
2.3.3 L型ベース電極 AlGaAs/GaAs HBT の試作	19
2.3.4 L型ベース電極 AlGaAs/GaAs HBT の特性	21
2.3.5 まとめ	24
2.4 GaAs 系化合物半導体トランジスタを用いたミリ波 MMIC の設計と試作	24
2.4.1 はじめに	24
2.4.2 GaAs 系 HFET を用いた準ミリ波レーダ用 MMIC チップセット	26
2.4.3 GaAs 系 HBT を用いた準ミリ波レーダ用 MMIC チップセット	36
2.5 まとめ	44
第3章 新しい化合物半導体 GaN を用いたミリ波 MMIC	47
3.1 はじめに	47
3.2 サファイア基板を用いた GaN 受信 MMIC デバイス	50
3.3 Si 基板を用いた GaN 送信デバイス	59
3.4 まとめ	63
第4章 フリップチップ実装を用いた新コンセプトのミリ波 IC	66
4.1 はじめに	66

4.2 MFIC の構造と特長	67
4.3 Si 基板上の薄膜マイクロストリップ線路	68
4.4 マイクロバンプボンディング(MBB)実装技術	69
4.5 MFIC アンプの設計と試作	73
4.6 BCB 誘電体を用いた低損失 MFIC	77
4.6.1 BCB を用いたマイクロストリップ線路	78
4.6.2 BCB 上の MBB 実装	79
4.6.3 BCB を用いた MFIC の設計・試作	81
4.7 まとめ	85
第5章 Si 系バルクトランジスタを用いたミリ波 MMIC	89
5.1 はじめに	89
5.2 厚膜再配線構造による低損失伝送線路を用いた準ミリ波帯 SiGe-MMIC	89
5.3 IMSL 線路を用いたミリ波 CMOS WLCSP 技術	97
5.4 Slow-wave 線路による Si 基板上伝送線路の小型・低損失化の検討	103
5.4.1 はじめに	103
5.4.2 Slow-wave の原理と基本特性	104
5.4.3 CPW を用いた Si 上の Slow-wave 線路の設計	109
5.4.4 マイクロストリップ線路を用いた Si 上の Slow-wave 線路の設計	129
5.4.5 薄膜マイクロストリップ線路を用いた Si 上の Slow-wave 線路	139
5.4.6 まとめ	144
5.5 まとめ	144
第6章 ミリ波集積回路のアプリケーション応用	147
6.1 はじめに	147
6.2 GaN デバイスを実装した準ミリ波帯無線送受信機による実証実験	147
6.3 ミリ波レーダを用いた非接触心拍センシング	158
6.3.1 はじめに	158
6.3.2 スペクトラム拡散レーダ技術	160
6.3.3 特徴点を用いた心拍推定アルゴリズム	164
6.3.4 実用化に向けた取り組み	167
6.3.5 まとめ	169
6.4 まとめ	170
第7章 結論	172



謝辞	174
本研究に関する発表	175

# 第1章 序論

## 1.1 研究の背景

科学技術のたゆまぬ進展により我々の生活は日々豊かに進化し、新しい社会システムの発展が続いている。産業革命により実現した工業社会から、コンピュータ技術・通信技術の著しい進展により実現している現在の情報社会に続いて、我が国が目指すべき未来社会の姿として、新たに Society5.0<sup>[1.1]</sup>が第5期科学技術基本計画<sup>[1.2]</sup>(平成28年1月)において提唱された。(図1.1)

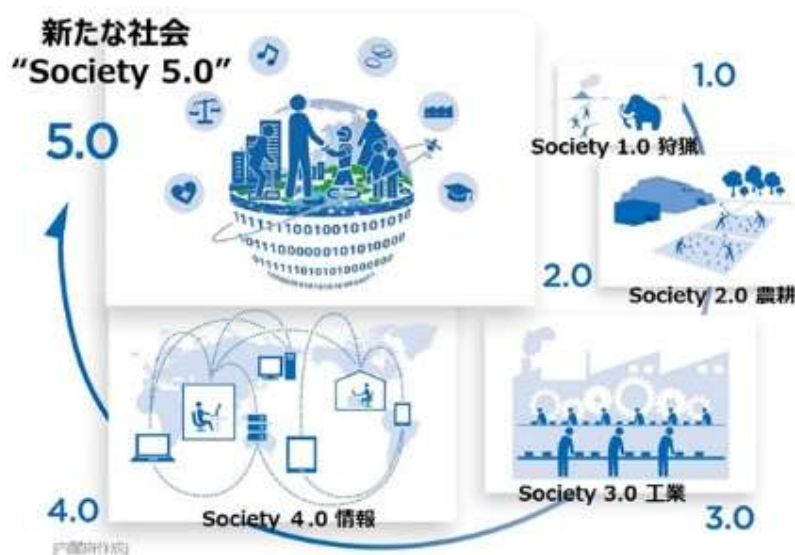


図 1.1 社会の進化と Society5.0 の概念図(出典：内閣府ホームページ<sup>[1.1]</sup>)

Society5.0はサイバー空間（仮想空間）とフィジカル空間（現実空間）を高度に融合させたシステムにより経済発展と社会的課題の解決を両立する人間中心の社会で、IoT（Internet of Things）で全ての人とモノをつなぎ、様々な知識や情報を共有し、今までにない新たな価値を生み出すことができる社会を目指している。

サイバー空間とフィジカル空間の高度な融合、IoTの進化のためには様々な状態を検知するセンシング技術とセンシング情報を処理・理解して適切な判断をするAI(人工知能)技術がますます重要となり、その膨大な情報を取り扱うための広帯域化技術が必須となる。広帯域化技術によりセンサはより多くの状態をより細かく高感度に検知することが可能になり、得られた大容量データを広帯域通信によって瞬時にAI等の情報処理

装置に送るにことが可能になる。

一方、電波を用いたセンシング・情報通信の世界において周波数資源は有限であり、さらなる広帯域を確保するにはどんどん高い周波数帯を開拓していく他はない。これまでラジオ、テレビ放送から携帯電話、スマートフォン通信と必要な帯域が増えるにつれ、VHF、UHF からマイクロ波帯とより高い周波数帯が開拓され、5G に代表される次世代通信システムではいよいよミリ波帯を広く民生でも活用する計画になっている。

システムの広帯域化を可能にするミリ波帯の技術開発はバックボーンの大容量通信や軍事技術として早くから進められてきた。しかしながら、数十 GHz もの高い周波数で動作するデバイスの実現は容易ではなく、開発の中心はデバイスの極限性能を使っての最先端技術であった。小型化低コスト化といったいわゆる民生化のための技術開発が進んできたのはごく最近である。しかし、ミリ波技術を社会で広く利用できるようにし、IoT を進化させ Society5.0 を実現するには、ミリ波での究極の高性能デバイスを開発するだけでなく、それらを集積化し、小型・低価格でだれでも容易に使える無線機やセンサとして普及できるようにしなければならない。

ミリ波装置の小型化・高集積化技術は他のエレクトロニクス技術同様、半導体技術による固体化、微細化が中心である。Si より高い電子移動度をもつ GaAs 等の化合物半導体を用いてミリ波帯でも動作するトランジスタが開発され、低誘電損の基板を用いたマイクロストリップ線路が大きな導波管による立体回路を小さな平面回路に進化させた。しかし、ミリ波のような高い周波数で回路を実現するには、さらなる技術開発が必要になる。素子の大きさが波長と同程度になるため、集中定数として扱うことができず、素子の接続や線路の設計に特別な工夫が必要になるためである。さらに、回路を実際の無線機として具現化し、実用化するにあたっては、性能のみならずコストやその実用性など様々な観点からの技術開発が必須となる。

具体例として、図 1.2 に一般的なミリ波装置の構成を示す。アンテナ等を用いてミリ波帯の電波を空間に出入射する部分と、ミリ波帯の信号を直接増幅するミリ波増幅部、ミリ波帯と信号処理ができる周波数帯とを相互に変換する周波数変換部、扱える周波数で行う信号処理部で構成される。このようなミリ波装置を小型・低コストで集積化するにはいわゆる SoC(Sytem on Chip)の形で 全機能素子を Si 基板上に半導体集積回路として 1 チップ化するの理想的であるが、微細化技術の進展により性能が飛躍的に向上した CMOS 半導体といえども、特にミリ波信号を直接扱うミリ波増幅部において十分な性能を確保するのは容易ではない。かといって、化合物半導体で周波数変換部や信号処理部まで含めた SoC を実現するのはコストの点からもチップサイズの点からも現実的ではない。

このように、ミリ波システム・装置を小型・低コスト化し広く民生に普及させるには、ミリ波独特の集積化の課題を解決する必要がある。

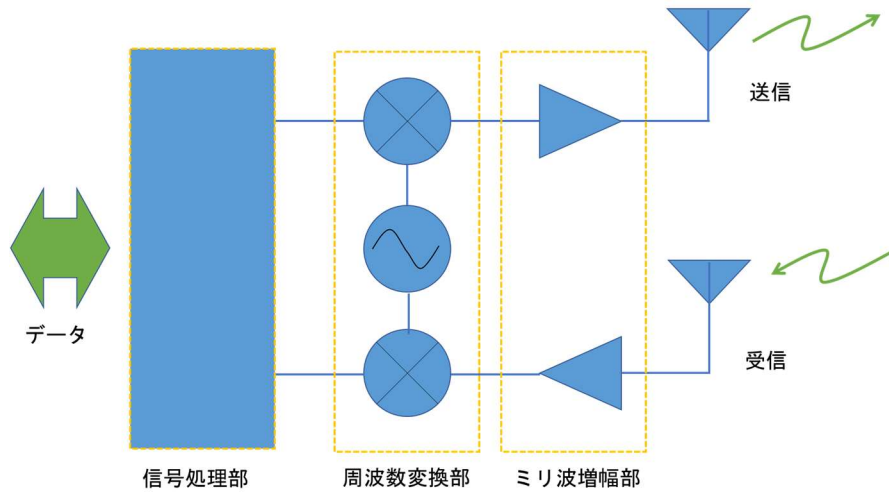


図 1.2 ミリ波装置の構成

## 1.2 本研究の目的

このような背景から本研究は、ミリ波デバイスの集積化技術に着目し、様々な半導体材料からなるミリ波デバイスについてその性能を維持したまま実装・回路化し、小型で低コストのミリ波集積回路を実現することを目的とする。これにより、センサを始めとするミリ波装置、応用システム、サービスを広く普及させ、IoT 技術をさらに進化させて、目指す Society5.0 の世界の実現に貢献する。

本論文では少なくとも異種の半導体・異種の技術を組み合わせることを前提に、ミリ波回路を現実的に小型・低コストで集積化する解を提案し、実際に回路、システムを構成してその効果を実証する。ミリ波信号を直接扱う部分には従来から研究開発の進む GaAs、高周波と高出力を同時に実現できることで近年注目を浴びている GaN について、トランジスタの高周波性能の向上に加えて工業的に量産可能な再現性・信頼性の高いデバイス構造プロセスの確立を目指し、化合物半導体の特徴を活かしたパッケージ、実装等の新しい集積化技術について提案する。さらに、Si 半導体技術を利用してこれらの化合物半導体を低コストかつ高い設計自由度で集積化できる新しいコンセプトのミリ波 IC を提案する。ここで新たに開発した Si 基板上の低損失伝送線路技術を Si デバイスに応用し、低コストの Si を用いても化合物半導体と遜色ないミリ波 IC の実現を目指す。最後にこれらのミリ波デバイスを用いた新しい応用システムを提案し、ミリ波技術が開く新しい世界の一端を示すことを目的とする。

### 1.3 本論文の構成

本論文は、広帯域なミリ波技術による高性能センシングと大容量通信を広く民生に普及させることでIoT技術進展を加速し、Society5.0の世界をいち早く実現することを目指して、ミリ波デバイスの集積化技術に関し低コスト化や量産性向上など実用化・事業化に重点をおいた研究をまとめたものである。全7章で構成される本論文の構成と各章のつながりを図1.3に示す。また図1.4には目指すミリ波回路の集積化に関して各章がミリ波装置のどの部分の技術について述べたものかを簡単に示した。

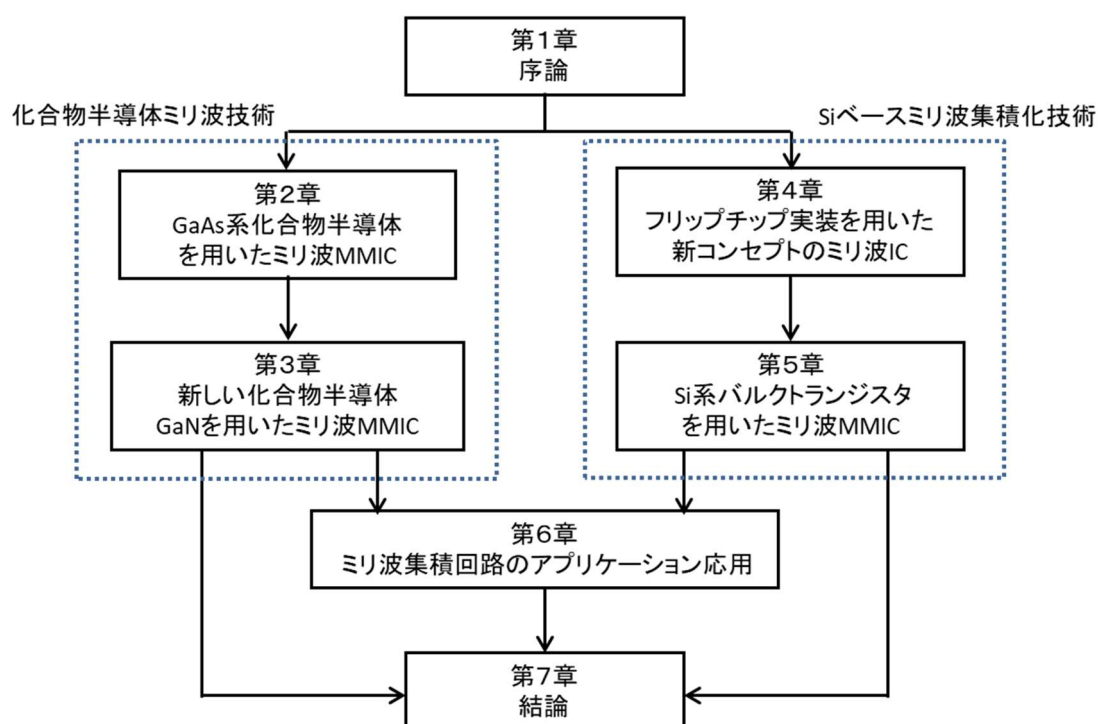


図 1.3 論文の構成

第1章では、本研究の背景、目的について述べ、本論文の構成を概観する。

第2章、第3章では化合物半導体を用いたミリ波デバイスとその集積化技術について述べる。ミリ波帯で十分な性能を実現するにはフロントエンド部ではまだまだ化合物半導体に頼らざるを得ない。そこで、化合物半導体を用いながらも、低コスト化や量産性向上など、実用化・事業化の観点から新しいデバイス作製技術、集積化技術の研究開発を行った。第2章ではGaAs系化合物半導体を用いたミリ波デバイス(HFET, HBT)の研究開発を通して、初期のミリ波デバイスの実用化開発について述べ、集積化技術に関して最近の

ファウンドリ (Foundry: 受託生産) 技術を用いたミリ波 MMIC(Monolithic Microwave IC) の設計の例を示す。また第3章では近年特に注目を集めている新しい化合物半導体である GaN を用いたミリ波 MMIC について述べる。GaN はその優れた耐圧特性から高周波でも高出力が要求されるシステムでの活用が進められている。ここでも集積化技術に重点を置き、受信・送信に適した基板の選択、集積化技術について述べる。実装技術としてサファイア基板を用いた新しいコンセプトのチップサイズパッケージについても述べる。

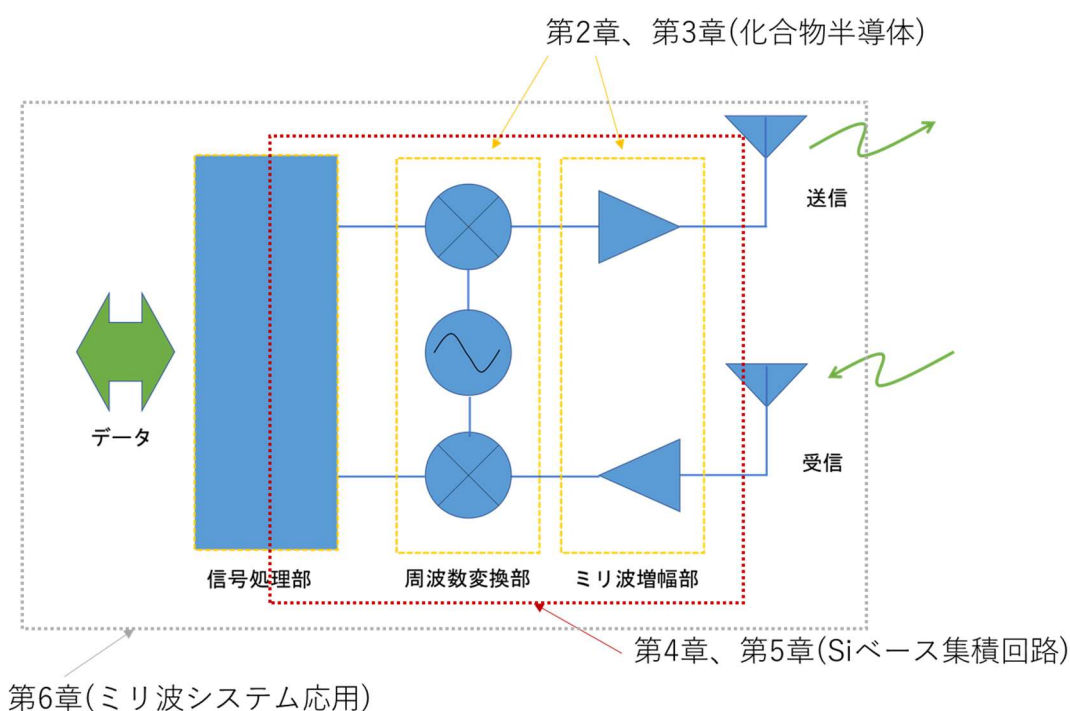


図 1.4 ミリ波装置各部と各章の関係

第4章、第5章では Si ベースのミリ波集積回路技術について述べる。CMOS LSI に代表される Si の集積化技術はその歴史、規模からも最も進んだ技術であり、装置の小型・低コスト化には必須の技術である。この Si LSI 技術をミリ波集積化に取り入れることを検討した。第4章では能動素子に化合物半導体を用いながら、IC の高性能化と低コスト化を同時に実現する新しいコンセプトのミリ波 IC (MFIC) を提案する。Si 基板上の薄膜マイクロストリップ線路技術と MBB(Micro Bump Bonding)実装技術を用いた実際の MFIC の試作・評価を通してその効果を実証する。第5章では、第4章で実現した Si 基板上の薄膜マイクロストリップ線路技術を SiLSI のバックエンドプロセスに導入することで Si デバイスを用いながらミリ波 MMIC を実現し、将来のオール Si による大規模ミリ波集積回路(ミリ波 SoC)への可能性を開く。さらに Si ミリ波 MMIC の小型化を可能とする Si 基板上の低損

失ミリ波配線技術（Slow-wave 線路）について考察する。

第6章では、ミリ波集積回路を用いた無線機応用として、GaN デバイスを用いた長距離通信システムの実証と、スペクトラム拡散レーダシステムとそれを用いた新しいミリ波応用システムである非接触バイタルセンシング技術について述べる。いよいよ到来するミリ波技術の民生応用について言及する。

第7章は、本論文の結論として各種半導体を用いたミリ波デバイスとその集積化技術についての研究成果を総括する。

#### 第1章の参考文献

- [1.1] [https://www8.cao.go.jp/cstp/society5\\_0/index.html](https://www8.cao.go.jp/cstp/society5_0/index.html)
- [1.2] <https://www8.cao.go.jp/cstp/kihonkeikaku/index5.html>

## 第2章 GaAs 系化合物半導体を用いたミリ波 MMIC

### 2.1 はじめに

ミリ波帯のような広帯域を利用するシステムを構築するには、まずこのような高い周波数で動作するデバイスを実現する必要がある。半導体トランジスタはその微細化技術の進展によって、着実に動作限界周波数を伸ばしてきたが、ミリ波という特段に高い周波数動作には通常の Si より高周波特性に優れた材料物性をもった化合物半導体等の新しい半導体テクノロジーが必要とされ、早くから活発な研究開発が行われてきた。

中でも、ガリウム砒素(GaAs)系化合物半導体を用いたデバイスは、その高い電子移動度による高速動作が当初から注目され、アナログデバイスだけでなく、スーパーコンピュータ用の高速ロジックデバイスとしても通産省(当時)の「科学技術用高速計算システムプロジェクト」<sup>[2.1]</sup>(1981-90年)に取り上げられるなど、官民を上げて活発に研究開発が行われた。その結果、GaAs の高品質・大口径のバルク基板作製技術や素子分離技術、バックエンドの配線技術などの基礎・共通応用技術が急速に進展し、ミリ波帯に至る超高周波デバイスの実現をおおいに加速させた。

本章では、ミリ波デバイスをいち早く実現させたこの GaAs 系化合物半導体トランジスタ技術、および複数のトランジスタと伝送線路や受動回路を同じ GaAs 基板上にモノリシックに集積させる MMIC(Monolithic Microwave Integrated Circuit)技術について述べる。トランジスタでは動作周波数の向上に加え、工業的に量産可能な再現性・信頼性の高いデバイス構造やプロセスを実現するための新たな工夫に重点を置き、MMIC は研究室での動作確認のための試作だけでなく結果をそのまま量産に移行できるよう、ファウンドリ (Foundry: 受託生産) 技術を用いて設計を行い、その実力を確認する。

### 2.2 AlGaAs/InGaAs ヘテロ接合電界効果トランジスタ

#### 2.2.1 はじめに

GaAs 系トランジスタの中でも、電界効果型トランジスタ(Field Effect Transistor: FET)は、Si 系トランジスタの MOSFET(Metal-Oxide-Semiconductor Field-Effect Transistor)同様、そのプレーナー構造がゆえに、IC(集積回路)の基本技術としてアナログ、デジタル両分野で最も盛んに研究開発が進められてきた。特に、異種の半導体のヘテロ接合を利用したヘテロ接合電界効果トランジスタ(Heterojunction Field Effect Transistor)<sup>[2.2]</sup>は、ヘテロ界面に誘起された 2 次元電子ガスの高移動度と高い飽和速度から高周波領域でも高い利得を示し、電流利得カットオフ周波数  $f_T$  ならびに最大発振



周波数  $f_{\max}$  が著しく向上し、ミリ波デバイスとして最も多く利用されている。さらに HFET は不純物をドーピングした電子供給層と 2 次元電子ガスが物理的に離れた場所にあるため走行中の電子の散乱が少なく、極めて低雑音という特性もある。このことから特に通信等の用途の低雑音増幅器として重宝され、衛星放送の受信装置を始め、マイクロ波からミリ波帯の広い領域において広く市場にも流通している。

本節では、実用的なミリ波デバイスの先駆けとなった HFET 技術の一例として、筆者らが開発した AlGaAs/InGaAs HFET のプロセス技術について簡単に述べる。特別な露光機をつかわずとも、微細なゲート構造をばらつき少なく安定に作製することを可能にする技術で量産性に優れ、HFET デバイスを用いたミリ波システムの普及に大きく貢献するものである。

HFET の動作周波数を向上させるには、電子の走行距離を短くするための短チャネル化、構造的には微細加工による短ゲート化が最も有効である。しかしながらゲートを短くするとゲート電極の抵抗が大きくなってしまい、最大発振周波数等の高周波特性をかえって劣化することがある。そのため、極短ゲートの上部にゲートよりも太い電極を裏打ちすることで短チャネル化と低ゲート抵抗化の両方を実現する手法が広く用いられている。このようなゲート構造はその断面が傘と軸からなるキノコの様であるため、マッシュルーム型ゲート、あるいは T 型ゲート構造と呼ばれる。

さて、ミリ波帯で十分な利得を有する HFET を作製するには、 $0.2\mu\text{m}$  以下の極短ゲート構造が必須となる。この領域での短ゲート加工プロセスとしては電子ビーム(EB)露光法による T 型ゲート形成方法が一般的であるが、設備コストが高く、スループットも低いために製品のコスト低減が難しいという課題がある。これに対し、光露光を用いて微細パターンを形成する手法として、より短波長の KrF(248nm)や ArF(193nm)等のエキシマ光源による遠紫外線(Deep UV)露光や光の干渉を用いる位相シフトマスク法なども開発されているが、 $0.2\mu\text{m}$  以下のパターンを安定的に形成することは容易ではなく、工業的に低コストの量産技術に仕上げるには多くの課題が残っている。

上記の課題を解決するために、光露光で形成したレジストパターンをエッチング技術により細化し、金属マスクに反転するという新しい手法を提案した<sup>[2.3-2.5]</sup>。これにより、通常の光源による露光を用いながら  $0.2\mu\text{m}$  以下の極短ゲート構造を安定的に形成することが可能になる。以下に、具体的な技術内容について述べる。

## 2.2.2 極短ゲート形成プロセス

図 2.1 に開発した極短ゲート形成のプロセスフローを示す。はじめに基板上に SiN 膜を  $100\text{nm}$  堆積し、その上に通常の i 線ステップを用いて  $0.4\mu\text{m}$  幅のレジストパターン

を形成する(a)。次に、このパターンを  $O_2$  RIE(Reactive Ion Etching) によって  $0.2\mu\text{m}$  以下の線幅に細化する (b)。この上に Al 薄膜を  $50\text{nm}$  蒸着しリフトオフすることで、レジストパターンが Al 膜のスリットとして転写される(c)。この Al 膜をマスクに今度は  $CF_4$  RIE によって SiN 膜の異方性エッチングを行い、SiN にスリットを形成する(d)。続いて Al 膜を除去した後、ゲート金属のリフトオフを容易にするため  $SiO_2$  膜を  $200\text{nm}$  堆積する。レジストをマスクにこの  $SiO_2$  膜の一部を除去した後、基板のキャップ層のリセスエッチングを行う(e)。最後にゲート金属を蒸着しリフトオフすることで、 $0.2\mu\text{m}$  以下の T 型ゲートを形成される(f)。

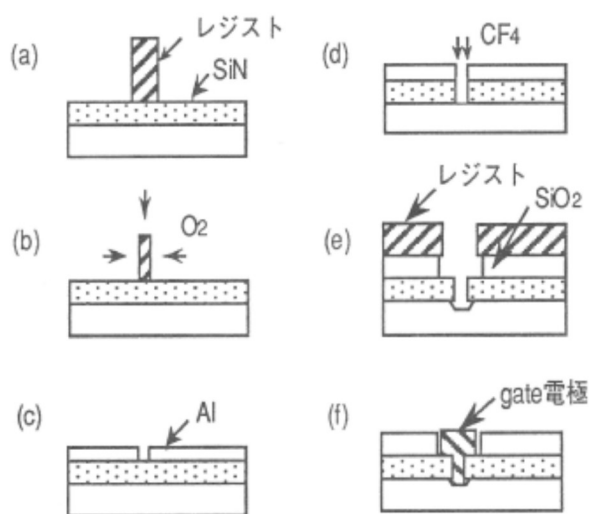


図 2.1 ゲート形成プロセスフロー

各工程のプロセス条件は、それぞれの工程の予備実験を行うことで最適化した。特に本手法のコアとなる  $O_2$  RIE によるレジストのエッチングについては、レジストの断面を垂直に異方的にエッチングするためバックグラウンドの真空度、 $O_2$  の流量、RF パワーなどを変化させてエッチング形状の観察を行う実験を繰り返し、真空度  $0.2\text{Torr}$ 、 $O_2$  流量は  $50\text{sccm}$ 、RF パワー  $50\text{W}$  の条件が最適であるとの結論を得た。図 2.2 に同条件で RIE を行ったあとのレジストの断面 SEM 写真を示す。図 2.2(a) は幅  $0.168\mu\text{m}$  までエッチングしたときのレジストの断面 SEM 写真である。レジストの断面が垂直に異方エッチングされているのがわかる。図 2.2(b) はさらにエッチングを進め、幅  $0.035\mu\text{m}$  まで細めたときの SEM 写真である。ここまで細くしてもレジストは自立しており、高さも約  $0.7\mu\text{m}$  あるので、 $50\text{nm}$  程度の Al 膜であれば、十分リフトオフが可能であると考えられる。

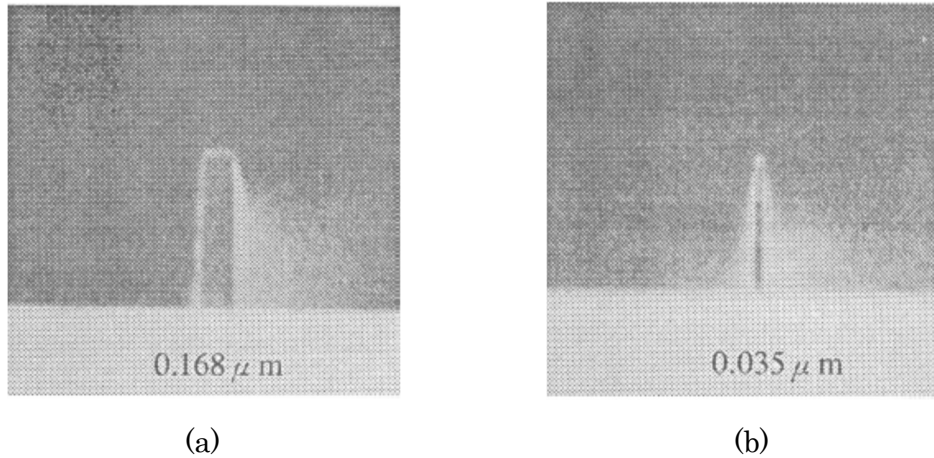


図 2.2 エッチング後のレジストの断面形状

最終的に必要になるパターンの細化の条件については、Al 蒸着リフトオフ後の Al スリット開口部の大きさで測定することで評価した。図 2.3 にエッチング時間を変化させた時の Al 開口部のサイズの変化を示す。エッチング時間を増加するにつれ、Al 開口部のサイズはほぼ直線的に減少しており、エッチングの時間でパターンサイズを容易に制御できることがわかる。最も細い開口部のサイズは  $0.092\mu\text{m}$  に達し、通常の i 線ステッパを用いながら  $0.1\mu\text{m}$  以下の細かいパターンニングを実現した。

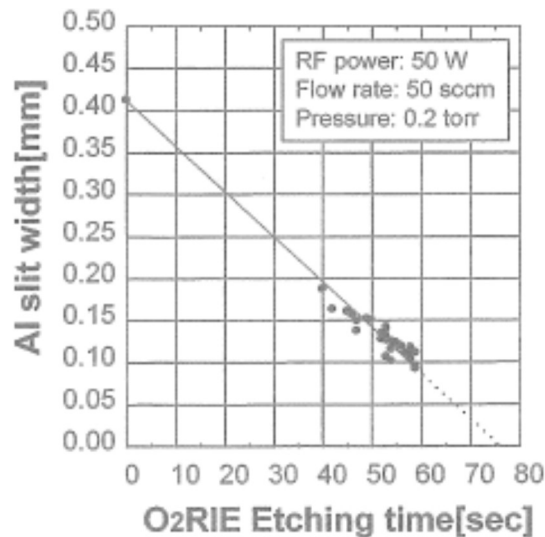


図 2.3 レジストのエッチング時間と Al マスクの開口幅の関係

パターンの均一性については、スリット内での均一性と各スリット幅のウエハ内での

均一性をそれぞれ評価した。スリットの長さ方向の開口幅の均一性は、長さ  $100\mu\text{m}$  のスリットの  $5\mu\text{m}$  ごとのスリット幅を測定することで評価した。その結果、スリット幅の平均値  $0.16\mu\text{m}$ 、標準偏差  $3\sigma$  で  $0.014\mu\text{m}$  が得られ、FET のゲート形成応用に十分な高い均一性を有していることがわかった。ウエハ内でのパターン均一性については、3 インチウエハ内の直行する 2 方向(X,Y)の各 9 ポイントで Al スリットの開口幅を測定して評価した。結果を図 2.4 に示す。平均値  $0.103\mu\text{m}$  標準偏差  $3\sigma$  で  $0.044\mu\text{m}$  と電子ビーム露光によるパターンングに匹敵する均一性が得られた。

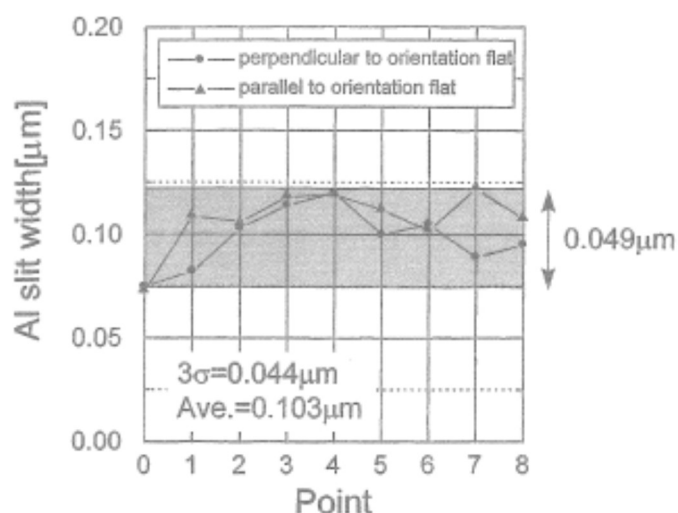


図 2.4 Al マスク開口幅の 3 インチウエハ内の均一性

### 2.2.3 レジストエッチングによるゲート加工プロセスを用いた AlGaAs/InGaAs HFET の試作

前記のゲート加工プロセスを用いてゲート長  $0.1\mu\text{m}$  の AlGaAs/InGaAs HFET を実際に試作した。図 2.5 に試作に使用したウエハのエピ構造を示す。半絶縁性 GaAs 基板上に GaAs バッファ層  $500\text{nm}$ 、InGaAs チャンネル層  $10\text{nm}$ 、AlGaAs スペーサ層  $3\text{nm}$ 、キャリア供給源の Si プレーナドーピング層、AlGaAs ショットキバリア層  $30\text{nm}$ 、 $n^+$ -GaAs キャップ層  $50\text{nm}$  を積層した構造である。Si プレーナドーピング層のドーピング量は  $5 \times 10^{12}\text{cm}^{-2}$ 、キャップ層の Si ドーピング量は  $6 \times 10^{18}\text{cm}^{-3}$  である。ショットキバリア層とキャップ層との間のバンド不連続によるソース抵抗増加を低減するため、間に  $5 \times 10^{12}\text{cm}^{-2}$  の Si プレーナドーピング層を挿入している。チャンネル層の InGaAs

層の In 組成は 0.2、AlGaAs 層の Al 組成は 0.25 である。

n-GaAs	$6 \times 10^{18} \text{cm}^{-3}$	50nm
Si A.P.D	$5 \times 10^{12} \text{cm}^{-2}$	
u-Al <sub>0.25</sub> Ga <sub>0.75</sub> As		30nm
Si A.P.D	$5 \times 10^{12} \text{cm}^{-2}$	
u-Al <sub>0.25</sub> Ga <sub>0.75</sub> As		3nm
u-In <sub>0.2</sub> Ga <sub>0.8</sub> As		10nm
GaAs buffer		500nm
S.I.GaAs Sub.		

図 2.5 AlGaAs/InGaAs HFET のエピ構造

実際の試作において、素子間分離はボロン注入により行い、オーミック電極は Ni/AuGe/Ni/Au のアロイ電極を用いた。ゲート電極は Ti/Pt/Au(50/50/200nm)である。

図 2.6 に試作した HFET のゲート部の断面 SEM 写真を示す。ゲート長 0.1 $\mu\text{m}$  の T 型ゲートが形成できているのがわかる。

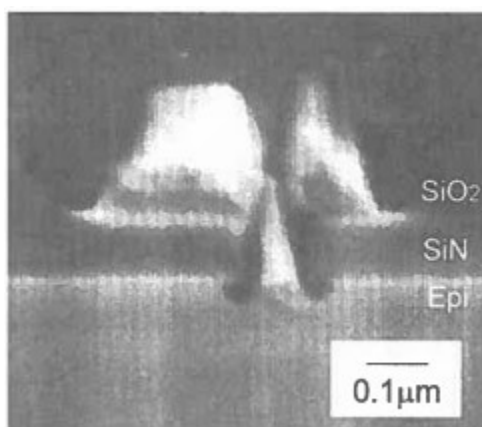


図 2.6 試作した HFET ゲート部の断面 SEM 写真

#### 2.2.4 AlGaAs/InGaAs HFET の特性

試作したゲート幅  $100\mu\text{m}$  ( $50\mu\text{m} \times 2$  本) の HFET の DC 特性を、図 2.7 (a) (b) に示す。しきい値電圧  $V_{\text{th}} = -0.52\text{V}$ 、 $g_{\text{mmax}} = 715\text{mS/mm}$  と高い利得を示し、ピンチオフ特性も良好である。ソース抵抗も  $0.1\Omega/\text{mm}$  と低い。

高周波特性を図 2.8 に示す。 $f_{\text{T}} = 95\text{GHz}$ 、 $f_{\text{max}} = 176\text{GHz}$  に達し、ミリ波帯で十分使用できる良好な特性を示した。

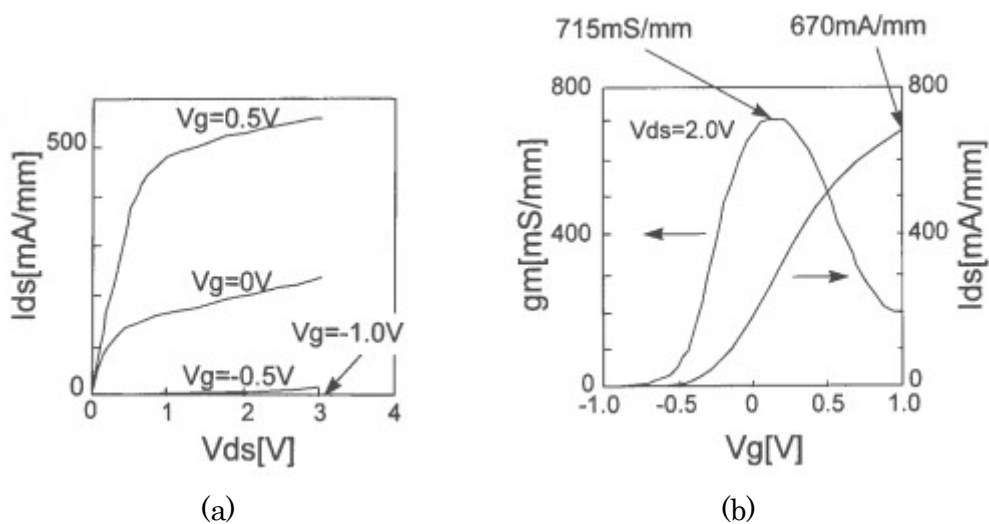


図 2.7 試作した  $0.1\mu\text{mAlGaAs/InGaAs}$  HFET の DC 特性

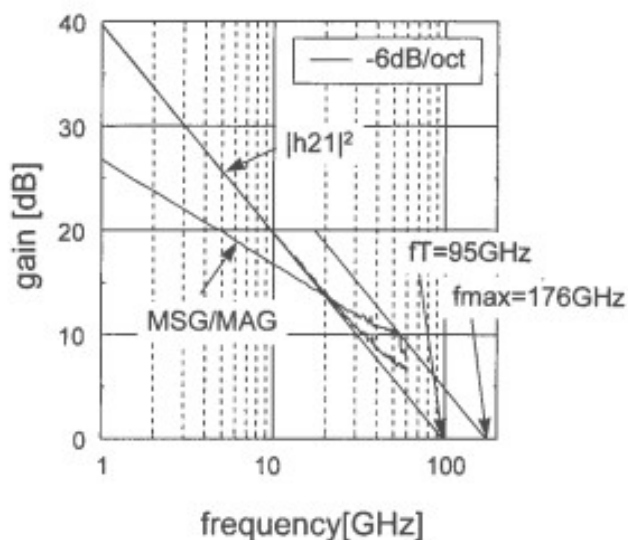


図 2.8 試作した  $0.1\mu\text{mAlGaAs/InGaAs}$  HFET の高周波特性

## 2.2.5 まとめ

O<sub>2</sub> RIEによるレジストエッチングを用いた新しいゲート加工プロセスを開発し、通常のUVリソグラフィを用いながら、0.1 $\mu\text{m}$ 級の極短ゲート構造を安定に作製することを可能にした。

本プロセスを用いて試作した0.1 $\mu\text{m}$ AlGaAs/InGaAs HFETは $f_T=95\text{GHz}$ 、 $f_{\text{max}}=176\text{GHz}$ の良好な高周波特性を示し、ミリ波帯で十分使用可能なデバイスであることを実証した。

本プロセスは均一性、再現性にも優れ、高スループットで低コストのミリ波帯HFET作製技術として多いに期待できる。

## 2.3 AlGaAs/GaAs ヘテロ接合バイポーラトランジスタ

### 2.3.1 はじめに

電界効果トランジスタ(FET)に対して、バイポーラトランジスタはその大きな電流増幅率、高い負荷駆動能力から優れた高周波特性を示し、Si半導体の世界でも早くから高周波応用が盛んであった。化合物半導体ではさらに、HFET同様ヘテロ接合を利用して特性を向上させたヘテロ接合バイポーラトランジスタ(HBT)が開発の中心である<sup>[2.6]</sup>。

バイポーラトランジスタの高速化のためには、キャリアの走行時間を短くするためベース層を薄層化するのが最も効果的である。FETでゲート長(チャンネル長)を短くすると同様である。しかしながらベース層を薄くすると十分なキャリアが得られず抵抗が大きくなって高周波特性を劣化させてしまうため、ベース層はできるだけ高濃度にドーピングしてキャリア濃度を上げる必要がある。ただ、ベース層を高濃度にする、動作時にベースからエミッタへの逆方向の拡散電流が流れ、特性を劣化させる。

HBTはエミッタ層の半導体にベース層の半導体よりバンドギャップの大きな半導体を用いることにより、ベースからエミッタへの逆方向の拡散電流を価電子帯のヘテロ接合により阻止する工夫がなされている。このことにより、通常のバイポーラトランジスタに比べベース層により高濃度にドーピングすることができる。バンドギャップの大きなエミッタからベースに注入された電子はエネルギーが高いため、ベース内で再結合されることなくコレクタ側へ高速に走行するいわゆるバリスティック輸送も期待できる。

HBTの高速特性を決めるベースの走行距離はベース層のエピ膜厚で決まるため、前節のHFETで示したゲート長のようなフォトリソグラフィ等の加工プロセスの影響を受けない。トランジスタのターンオン電圧(FETでいうしきい値電圧)もエピウエハのヘテロ接合構造でのみ決まるため、ウエハ面内の均一性にも優れる。

このようにイントリンシックな部分においてはHFETよりも有利に思えるHBTであるが、回路を構成する実デバイスにおいては、ベースの引き出し部分の配線構造が問題になる。ベース層への引き出し配線は、ベース抵抗低減、特にベース電極とベース層のコンタクト抵抗低減のためになるべく面積を大きくしたいが、電極面積が増えるとベース・コレクタ間容量  $C_{BC}$  が増大し高周波特性が劣化する。基本特性に優れたHBTを実デバイスとしてその特長を發揮させるためには、ちょうどHFETのT型ゲートのような特別な手当が必要となる。

本節では、上記の課題を解決するために新たに提案したL型ベース電極構造と、これを実現するためのプロセス技術について述べる。先のHFETと同様、実デバイスとして工業的にも安定で優れた高周波特性を実現することを最大の目的としている。

### 2.3.2 L型ベース電極 AlGaAs/GaAs HBT の提案

低雑音増幅器やパワーアンプ等の高周波回路を実現する上で、基本トランジスタの最大発振周波数( $f_{max}$ )の性能の向上は必須である。入出力回路や整合回路を含んだ増幅器の設計には、使用する周波数帯の3倍から4倍程度の $f_{max}$ が必要とされる。HBTにおいて高い $f_{max}$ を得るためにはベース抵抗( $R_B$ )とベース・コレクタ容量( $C_{BC}$ )低減することが重要で、信頼性を確保しながらベース抵抗を低減するためにカーボン(C)を高濃度にドーピングしてベースのキャリア濃度を高くする技術や、ベース・コレクタ容量( $C_{BC}$ )低減のためにベース電極をエミッタ抵抗に対して自己整合的に形成する技術等が盛んに開発されてきた<sup>[2.6-2.7]</sup>。

しかしながら、ベースを高濃度にドーピングしてベースのイントリンシックな抵抗を低減しても、接触抵抗の小さなオーミック電極を実現しなければ、トータルのベース抵抗( $R_B$ )を低減できない。P型GaAsに対して低い接触抵抗を示すオーミック電極として、Pt/Ti/Pt/Au電極が知られている<sup>[2.8]</sup>が、ベース電極をエミッタ抵抗に対して自己整合させるプロセスにおいてはベース電極をコレクタ電極より先に形成させる必要があり<sup>[2.9]</sup>、ベース電極としてはコレクタ電極の熱処理でも劣化しない、あるいは同時に熱処理できることが要望される。

そこで筆者らはPt層の下にNi/Tiをさらに挿入した新しいベースオーミック電極を提案した<sup>[2.10-2.14]</sup>。図2.9に新たに開発したNi/Ti/Pt/T/Pt(5/5/5/30/100nm)オーミック電極の400°C熱処理での接触抵抗率( $\rho_c$ )を従来のPt/Ti/Pt(5/30/100nm)と比較して示す。半導体層にはキャリア濃度 $2 \times 10^{19} \text{cm}^{-3}$ 、厚さ150nmの $p^+$ -GaGa層を用いた。Ni/Ti/Pt/T/Pt電極の接触抵抗率( $\rho_c$ )は10minのアニーリングで $2 \times 10^{-7} \Omega \text{cm}^2$ と、従来のNi/Pt/Niに比べ1/3の低い値を実現した。



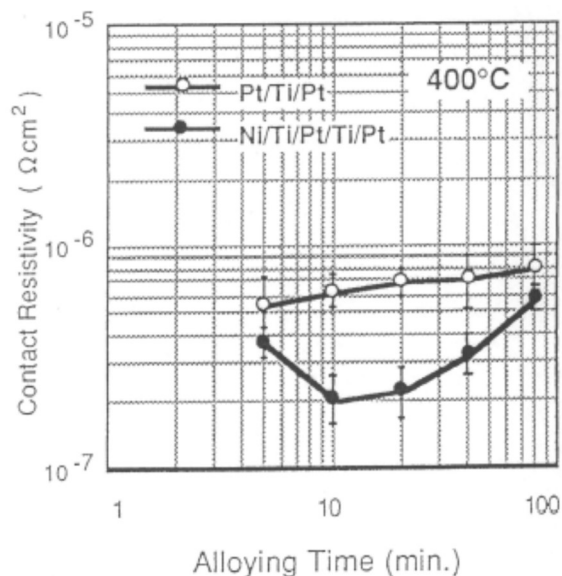


図 2.9 熱処理時間と接触抵抗の関係

高濃度のベースドーピングによるイントリンシックなベース領域の抵抗低減に加え、前記の新しいベース電極(Ni/Ti/Pt/T/Pt)により、セルフアラインプロセスの HBT においてもベース電極の接触抵抗が低減できるようになった。しかしながら、最後に残るのはベース電極自身の抵抗の問題である。前記 Ni/Ti/Pt/T/Pt(5/5/5/30/100nm)の接触抵抗は 400°C10min のアニールで最も低い値を示したが、電極自身の比抵抗はこのアニールで逆に  $1 \times 10^{-4} \Omega \text{ cm}$  に上昇する。このことはセルフアラインプロセスでベース電極領域を狭めてベース・コレクタ容量( $C_{BC}$ )の低減を図るとベース電極自身の抵抗が増加するために、結果としてトータルの  $R_B \cdot C_{BC}$  積を減少させることができず、逆に増加させて高周波特性を劣化させる恐れがあることを意味する。ベース電極の面積を増加させずに抵抗を低減するにはベース電極を厚くすることが考えられるが、縦型デバイスの HBT では別の問題が生じる。

図 2.10 に ベース電極厚の異なる 2 種類(60nm、90nm)の HBT の Gummel プロットを示す。これらの HBT は同じエピウエハ上に形成されたもので、エミッタメサの厚さはどちらも 320nm である。コレクタ電流はほぼ変わらないにもかかわらず、低電流領域でのベース電流はベース電極厚 90nm の方が 60nm より大きくなっているのがわかる。これは、90nm 厚のベース電極がエミッタメサの一部に接触していることから生じていると推察される。このような接触はエミッタメサのアンダーカットの距離によって変わるが、アンダーカットの大きさをウエハ全体でコントロールするのは容易でない。

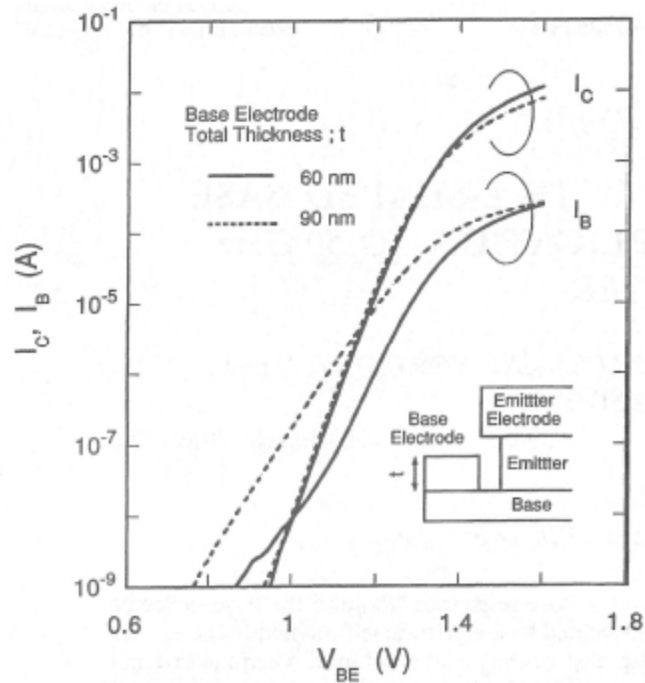


図 2.10 ベース電極厚の異なる 2 つのセルフアラインプロセス AlGaAs/GaAs HBT の Gummel Plot 図

このような課題を解決するために、ベース電極の断面構造を L 字型とし上層電極の一部をエミッタから離して厚くする新しい電極構造のセルフアラインプロセス AlGaAs/GaAsHBT を開発した<sup>[2.10-2.14]</sup>。

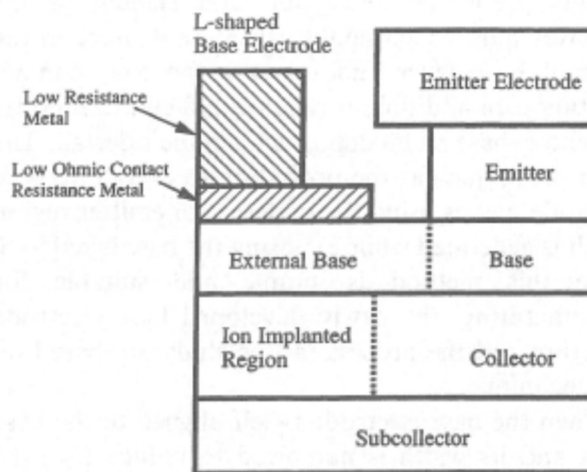


図 2.11 L 型ベース電極の構造図

図 2.11 に考案した L 型ベース電極の構造図を示す。低接触抵抗のオーミック金属と低抵抗金属の 2 層構造とし、低抵抗の上層金属をエミッタから離して厚く形成することで、ベースコンタクト抵抗は低く保ったままベース電極自身の抵抗を低減し、ベース電極幅を狭くしてもベース抵抗増加の影響を抑えることが可能になる。図 2.12 に  $R_B \cdot C_{BC}$  積のベース領域幅( $W_B$ )依存性を計算した結果を示す。従来のベース電極構造では  $C_{BC}$  を低減するために  $W_B$  を小さくするにつれ、ベース電極の金属抵抗増加の影響を受けてかえって  $R_B \cdot C_{BC}$  積が増加してしまうのに対し、L 型ベース電極構造では  $W_B$  を小さくしても金属抵抗の影響は小さく、 $R_B \cdot C_{BC}$  積減少に貢献できる。

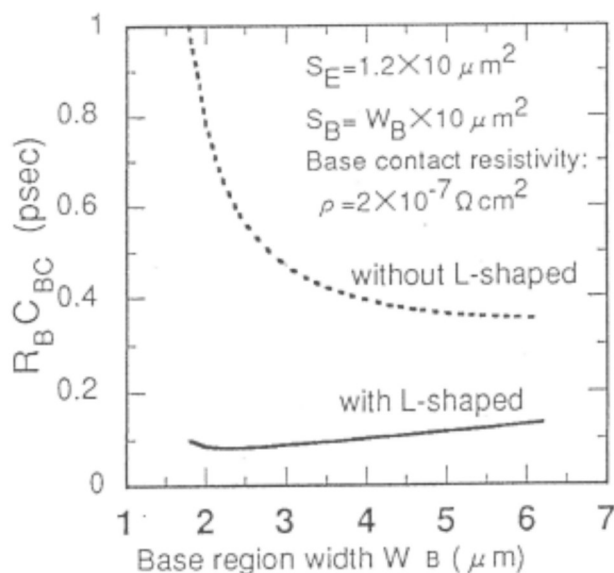


図 2.12 HBT の  $R_B \cdot C_{BC}$  積とベース領域幅( $W_B$ )の関係

図 2.13 にこの L 型ベース電極を有する HBT を実際に作製するためのプロセスフローを示す。はじめに埋込み型コレクタ領域とエミッタ電極を形成したあと、低オーミック抵抗ベースで電極となる Ni/Ti/Pt/T/Pt(5/5/5/25/25nm)をエミッタ電極をマスクとして電子ビーム蒸着により堆積する(a)。次に全エミッタ電極より  $0.4\mu\text{m}$  広いレジストパターンを合わせ精度  $\pm 0.2\mu\text{m}$  で i 線ステッパにより形成し、その後低抵抗層となる厚さ  $400\text{nm}$  の Au をベース電極上に電界メッキにより形成する(b)。続いてベース領域となる部分を別のレジストパターンで覆い、Ar イオンミリングによって外部ベース領域の下まで連続的にエッチングする(c)。これにより、前述した L 型ベース電極がエミッタの周囲に形成される。次に Au/Ge/Ni/Au からなるコレクタ電極を形成した後、ベース電極と同時の熱処理を  $400^\circ\text{C}$  で 10min 行い、最後に H+イオン注入による素子分離を行

って完成する(d)。

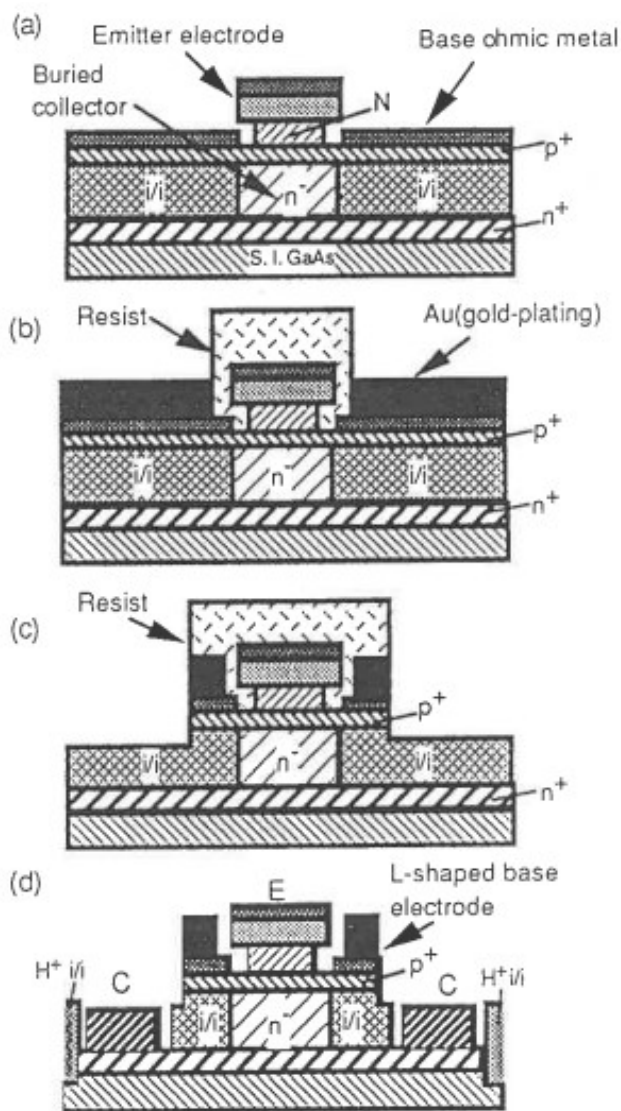


図 2.13 L 型ベース電極を有する HBT のプロセスフロー図

### 2.3.3 L 型ベース電極 AlGaAs/GaAs HBT の試作

前述のプロセスフローを用いて L 字構造のベース電極を有する AlGaAs/GaAs HBT を実際に試作した。試作に使用したウエハのエピ構造を表 2.1 に示す。3 インチ GaAs

基板上に MOCVD より作製した。ベース層のドーパントには信頼性に優れた C を用い、キャリア濃度は  $4 \times 10^{19} \text{cm}^{-3}$  である。また厚さはプロセスマージンも考慮して極端には薄くない 70nm としている。

表 2.1 HBT 基板のエピ構造

Layer	$x$ or $y$	Thickness (nm)	Dopant	Concentration ( $\text{cm}^{-3}$ )
$n^+$ -In <sub>0.6</sub> Ga <sub>0.4</sub> As	0.6	50	Si	$2 \times 10^{19}$
$n^+$ -In <sub>0→0.6</sub> Ga <sub>1-y</sub> As	0→0.6	50	Si	$0.5 \rightarrow 2 \times 10^{19}$
$n^+$ -GaAs		40	Si	$5 \times 10^{18}$
$n$ -Al <sub>0.26→0</sub> Ga <sub>1-x</sub> As	0.26→0	30	Si	$0.3 \rightarrow 3 \times 10^{18}$
$n$ -Al <sub>0.26</sub> Ga <sub>1-x</sub> As	0.26	120	Si	$3 \times 10^{17}$
$n$ -Al <sub>0→0.26</sub> Ga <sub>1-x</sub> As	0→0.26	30	Si	$3 \times 10^{17}$
$p^+$ -GaAs		70	C	$4 \times 10^{19}$
$n^-$ -GaAs		500	Si	$5 \times 10^{16}$
$n^+$ -GaAs		600	Si	$5 \times 10^{18}$

S.I. GaAs Substrate

図 2.14 に試作した HBT の断面 SEM 写真を示す。表面は 50nm の SiO<sub>2</sub> 膜で覆われている。エミッタ電極幅は 1.2 $\mu\text{m}$ 、ベース電極幅は 2.6 $\mu\text{m}$  である。ベース電極のオーミック部は自己整合によりエミッタに近接し、上部の低抵抗 Au 層は設計通りエミッタ部から約 0.2 $\mu\text{m}$  離れて形成できているのがわかる。

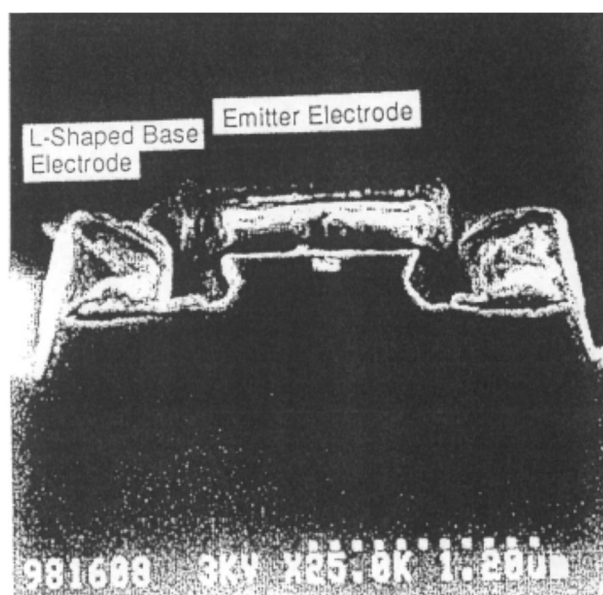


図 2.14 試作した L 型ベース電極の断面 SEM 写真

### 2.3.4 L型ベース電極 AlGaAs/GaAs HBT の特性

図 2.15 に試作したエミッタサイズ  $0.8 \times 10 \mu\text{m}^2$ 、ベースサイズ  $3.2 \times 11 \mu\text{m}^2$  の HBT の  $I_C$ - $V_{CE}$  特性を示す。最大電流増幅率は 30 に達し、knee 電圧も低く抑えられているのがわかる。図 2.16 は同 HBT の Gummel プロットである。コレクタ電流とベース電流の  $n$  値はそれぞれ 1.00、1.49 と良好である。

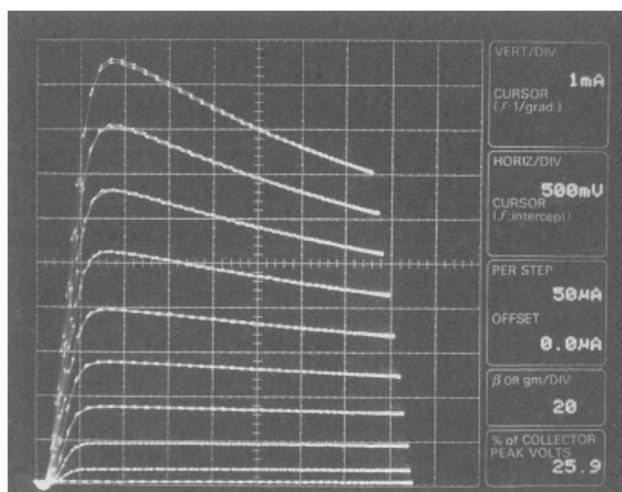


図 2.15 L型ベース電極構造を有する AlGaAs/GaAs HBT の  $I_C$ - $V_{CE}$  特性

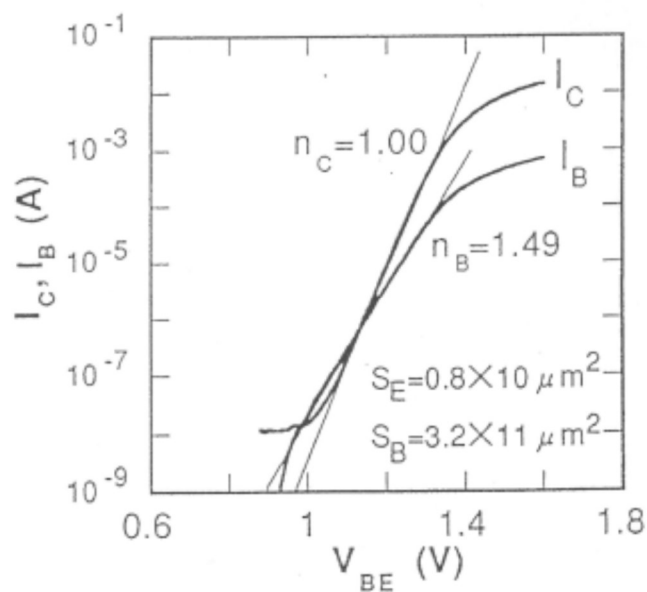


図 2.16 L型ベース電極構造を有する AlGaAs/GaAs HBT の Gummel プロット図

図 2.17 にオンウエハの S パラメータ測定から計算した高周波特性を示す。最大発信周波数  $f_{max}$  は 253GHz に達し、ミリ波回路を十分設計できる特性を示した。 $f_T$ 、 $f_{max}$  のベース・コレクタ電圧( $V_{CE}$ )に対する依存性を図 2.18 に示す。 $V_{CE} = 0.9V$  という非常に低い電圧で 200GHz を超える  $f_{max}$  が得られている。極端には高くはないベース層のキャリア濃度にもかかわらずこのような良好な高周波特性が得られているのは、Ni/Ti/Pt コンタクトと L 型構造ベース電極構造により、 $R_B \cdot C_{BC}$  積を大きく低減できた結果と言える。

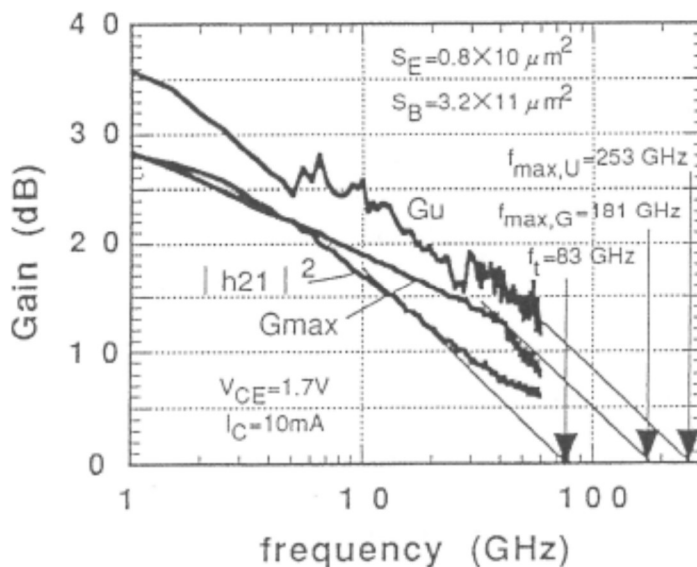


図 2.17 L 型ベース電極構造を有する AlGaAs/GaAs HBT の高周波特性

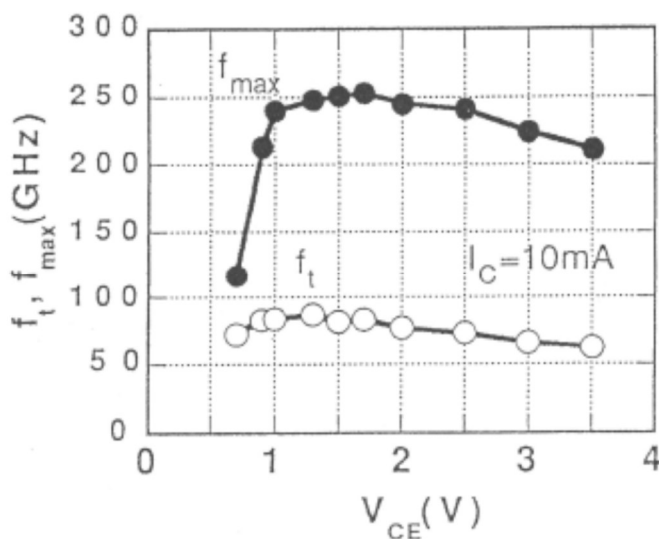


図 2.18  $f_T$ 、 $f_{max}$  のベース・コレクタ電圧( $V_{CE}$ )依存性

本プロセスのウエハ内の均一性についても評価した。3 インチウエハ内の 75 個の HBT について DC プロブによるオンウエハ測定を行った結果、95%の HBT で所望の DC 特性が得られた。図 2.19 に 3 インチウエハ内の直行する 2 方向に沿って同一バイアス条件( $V_{BE}=1.35V$ ,  $V_{CE}=1.5V$ )での測定した各 HBT のコレクタ電流( $I_C$ )の変化を示す。 $I_C=3.4mA$  という高い値が均一性よく得られている。図 2.20 には  $V_{CE}=1.5V$ 、 $I_C=13mA$  の条件で測定した HBT の  $f_T$ 、 $f_{max}$  のヒストグラムを示した。 $f_T$  の平均値、標準偏差はそれぞれ 70GHz、1.3GHz であり、 $f_{max}$  のそれらはそれぞれ 161.3GHz、7.5GHz と十分な高性能と優れた均一性を示した。

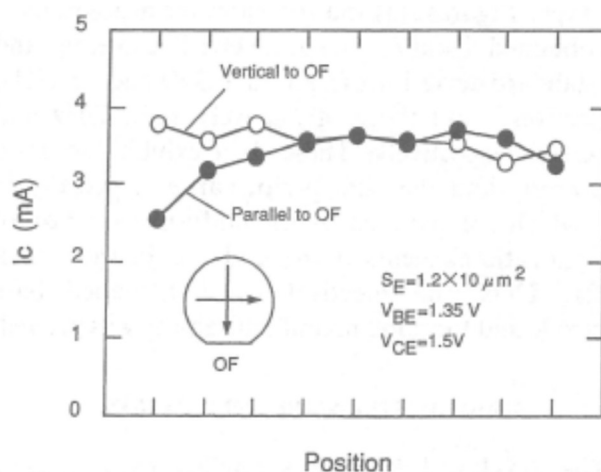


図 2.19 HBT コレクタ電流( $I_C$ )の 3 インチウエハ内分布

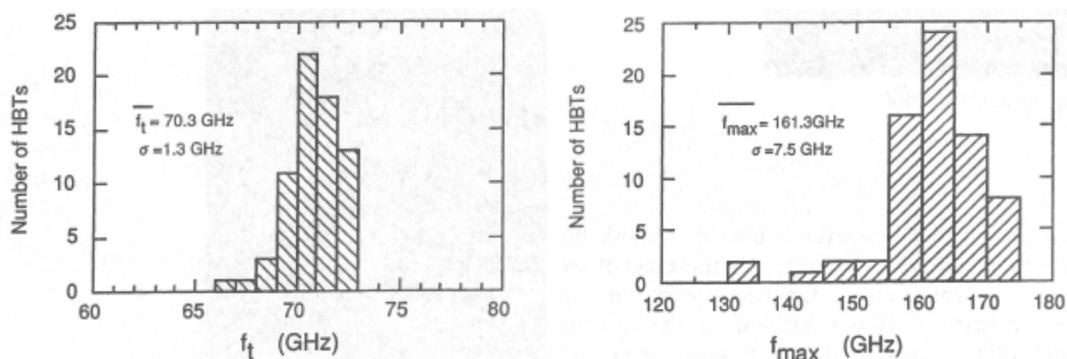


図 2.20 3 インチウエハ内 HBT の  $f_T$ 、 $f_{max}$  のヒストグラム



### 2.3.5 まとめ

GaAs 系 HBT において優れた高周波特性を安定的に実現する L 型ベース電極構造 HBT を提案し、そのプロセスを開発した。本プロセスは、セルフアラインプロセスにおいてベース・コレクタ容量( $C_{BC}$ )とベース抵抗の同時低減を可能にするものであり、HFET における T 型ゲート同様、イントリンシクトランジスタの性能を実デバイスでも実現するものである。

本プロセスを用いて試作した L 型ベース電極 AlGaAs/GaAs HBT の  $f_{max}$  は 253GHz に達し、ミリ波帯回路を設計するのに十分な高周波特性を示した。

また 3 インチウエハ内の HBT は同時に優れた均一性を示し、本プロセスが均一性、再現性にも優れ、工業的にも十分で低コストのミリ波 HBT 作製技術として多いに期待できるものであることを示した。

## 2.4 GaAs 系化合物半導体トランジスタを用いたミリ波 MMIC の設計と試作

### 2.4.1 はじめに

本章ではこれまでミリ波システムを実現するための基本デバイスとなる GaAs 系化合物半導体トランジスタ技術について述べてきた。GaAs 半導体のもつ優れた材料性能をヘテロ接合技術によってさらに進化させ、さらにそのイントリンシクな性能を、T 型ゲートや L 型ゲートなどの新しい構造・プロセスにより実デバイスにおいても実現する技術について述べた。

これらのデバイスを用いてミリ波システムを構成するには、個々のトランジスタの性能だけではなく、これらを集積化し、高周波回路として一体化する集積化技術が非常に重要である。特にミリ波帯においては、素子の大きさが波長と同程度になるためそれぞれの素子がもはや集中定数回路として扱うことができず、配線の長さや素子接続部の構造そのものが特性に大きな影響を与える。特に複数の素子を基板に実装する場合、実装部の寄生効果の影響だけでなく、アセンブリの精度がそのままミリ波特性のばらつきにつながるため、特別の注意が必要である。

これらの課題を解決するために、化合物半導体デバイスの世界ではトランジスタと受動素子などの周辺回路を半導体の微細加工技術によって同じ半導体基板上にモノリシクに集積する MMIC(Monolithic Microwave Integrated Circuit)技術が盛んに研究・開発されてきた。インダクタやキャパシタといった受動素子も半導体ウエハプロセスでトランジスタと同等の精度で作製することができ、トランジスタと一括製造できるので実装による寄生効果の影響も受けない。ミリ波帯ではマイクロ波帯よりさらに波長

が短くなるため、インダクタやキャパシタなどの受動素子は伝送線路を用いた分布定数回路に置き換えることができ、プロセスも容易になる。GaAs 等の化合物半導体では基板に半絶縁性のものを使用することができるため寄生効果の影響が少なくなり、伝送線路の損失等も小さく抑えることができる。

本節では、ミリ波集積回路の本道とも言える GaAs 系化合物半導体 MMIC 技術について述べる。特に、ミリ波集積化技術の実用化・事業化に重点を置き、研究室での動作確認のための設計・試作にとどまらず、結果をそのまま量産に移行できるよう、近年急速な発展を遂げているファウンドリ (Foundry: 受託生産) 技術に着目した。

これまで、半導体の微細化技術開発は多くの半導体チップメーカーの競争によって順調に進展してきた。しかしながら、微細化が進むにつれ、その開発費用は膨大になり、各社では支えきれないレベルに膨れ上がってきたため、競合メーカーがコンソーシアムを作り、基本技術については共同で開発するスタイルへと変化する。一方で、半導体 LSI の需要が従来の DRAM や MPU といった同一のものを大量に求めるものから、目的に応じてカスタマイズされたいわゆるシステム LSI へと移行し、半導体チップメーカーは多品種少量生産への移行を余儀なくされた。その結果、各チップメーカーが自らの工場をフル稼働させ安定な利益を生み出すのが難しくなってきた。そのような中、最新鋭の製造装置を十分に用意し、自らはチップ販売をせず、チップの製造プロセスだけを請け負ういわゆるファウンドリメーカーが現れる。これらのファウンドリメーカーは自らの PDK(Process Design Kit)と呼ばれる半導体素子のモデルや設計環境を提供し、半導体チップメーカーはそれを用いて LSI を設計、ファウンドリメーカーにチップ製造をさせ、自社ブランドで販売するという新たなビジネスモデル、エコシステムが形成された。

このような動きはシリコン LSI の世界だけでなく、化合物半導体の分野でも発展し、今日ではスマートフォン向けの GaAs 高周波 IC などの分野で化合物半導体ファウンドリを用いた量産が普通に行われるようになってきている。

筆者らも開発当初はトランジスタから MMIC まですべて自社で開発・製造してきたが、このような世の中の動きを受け、ファウンドリを用いてミリ波 MMIC を設計・試作することも試みた。量産プロセスが確立しているファウンドリサービスでミリ波帯の MMIC が設計できるのであれば、そのチップの事業展開は一から新しいプロセスを立ち上げるのに比べてはるかに容易となるからである。本節ではこのような化合物半導体ファウンドリを用いた設計・試作の実例について述べ、ミリ波の世界においてもファウンドリサービスが適用可能なのかを議論する。具体的には、HFET、HBT それぞれのファウンドリプロセスを用いて、準ミリ波帯レーダ用 MMIC チップセットの設計・評価した結果について述べる。また、ここで作製した MMIC を用いて、実際に車載用ミリ波レーダモジュールを作製した結果についても述べる。

## 2.4.2 GaAs系HFETを用いた準ミリ波レーダ用MMICチップセット

はじめに、比較的早くから開発が進んでいた HFET による MMIC の設計試作に取り組んだ。使用したのは WIN Semiconductor 社の  $0.15\mu\text{m}$ PHEMT (Pseudomorphic High Electron Mobility Transistor) プロセス<sup>[2.15]</sup>である。トランジスタの単体性能として  $f_T=80\text{GHz}$ 、 $f_{\text{max}}=160\text{GHz}$  を有するこのプロセスを用いて、車載用の UWB(Ultra-Wide Band) 近距離レーダシステムの準ミリ波フロントエンドのチップセットを設計した。

図 2.21 に目標とした 24GHz 帯パルスレーダのブロック図を示す。レーダユニットは車体の周囲に複数個設置されるため、内蔵回路・デバイスの小型化、低コスト化が必須となる。この実現にはミリ波帯周波数を扱う高周波フロントエンドにおいて、MMIC 化技術を駆使した集積化、高機能化が鍵となる。

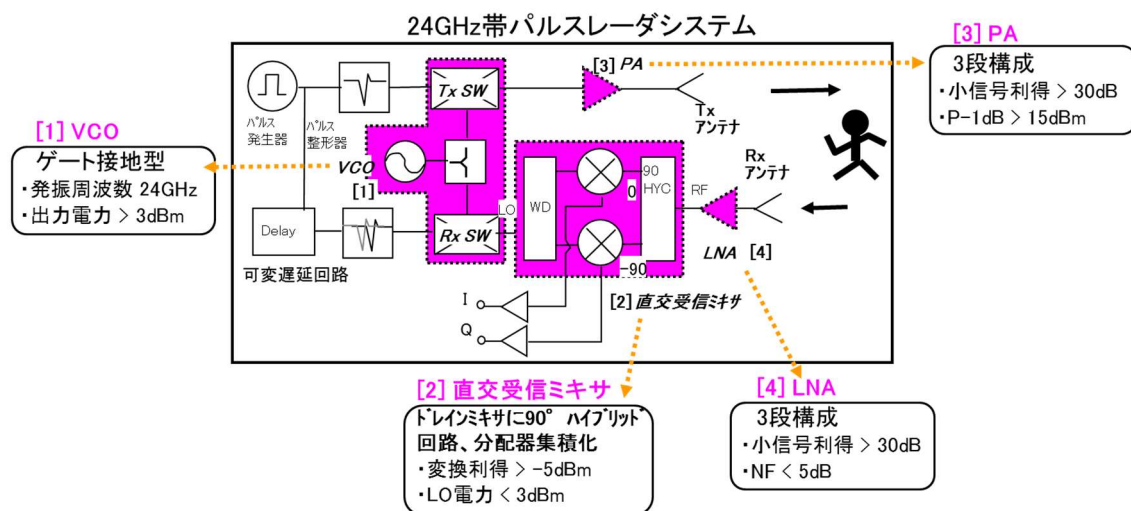


図 2.21 24GHz 帯パルスレーダのブロック図と MMIC チップセット

高周波フロントエンドは電圧制御発振器(VCO)によって形成する 24GHz 帯の発振信号をスイッチ(Tx SW)を通じて極短パルス信号(パルス幅 nsec 以下)により振幅変調し、パワーアンプ(PA)部で増幅する送信系(Tx)と、低雑音増幅器(LNA)からの RF 信号を遅延パルス信号の ASK 変調信号(LO)で直交受信ミキサにより同相(I)、直交(Q)信号にダウンコンバートする受信系(Rx)で構成される。図中点線で示した 4 つの回路ブロックを GaAsMMIC で実現した。それぞれの目標性能を同図内に示している。以下、各 MMIC の設計の詳細と、ファウンダリプロセスを用いて試作したチップの評価結果について述べる。

### (1) VCO 付きスイッチ変調器 MMIC

図 2.22 に電圧制御発振器(VCO)の回路図を示す。ゲート端子にリアクタンス成分を装荷した直列帰還型のゲート接地の構成とした。ゲート接地型 VCO はソース接地型に比べて装荷素子が小型化でき、高い負性抵抗を容易に実現できる。ソース側には周波数可変用バラクタダイオードを挿入している。VCO 部分の特性を評価するために用意したテストチップのチップ写真を図 2.23 に、このテストチップで評価した VCO の出力スペクトラムと位相雑音特性を図 2.24 に示す。さらに発振周波数、出力電力のダイオード電圧依存性を図 2.25 に示す。VCO の発振周波数はバラクタダイオード調整範囲(-5~0V)で 19.43~19.76GHz、最大出力電力 0.7dBm であった。設計値に対して周波数が低域側にシフトしてしまっている。この原因はトランジスタ性能ではなく、20GHz 帯でのスパイラルインダクタのモデル精度不足にあると考えている。

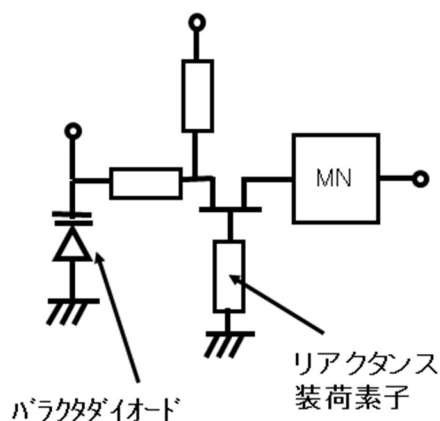
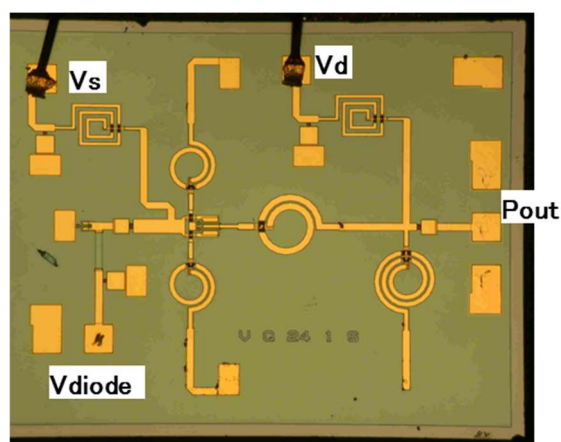
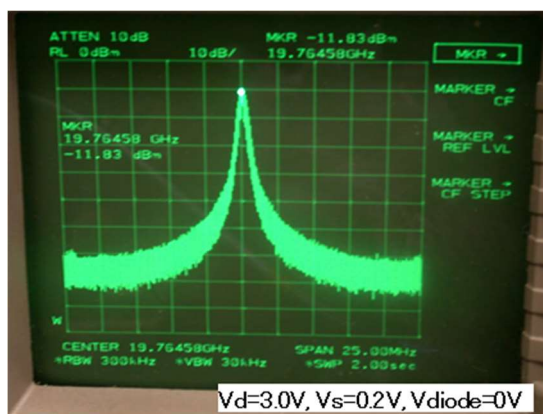


図 2.22 VCO の回路図

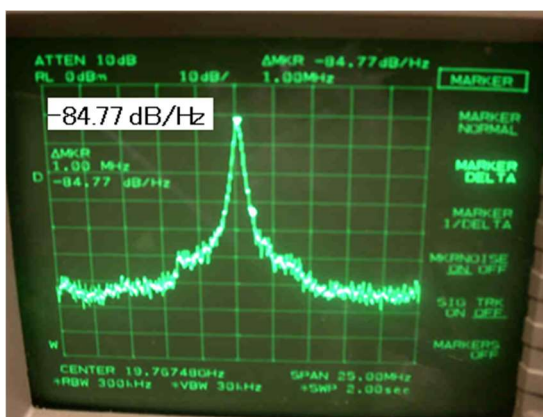


チップサイズ:1.5mm X 1.2mm

図 2.23 VCO MMIC のチップ写真



(a) 基本波スペクトラム



(b)位相雑音特性(1MHz オフセット)

図 2.24 VCO の出力スペクトラムと位相雑音特性

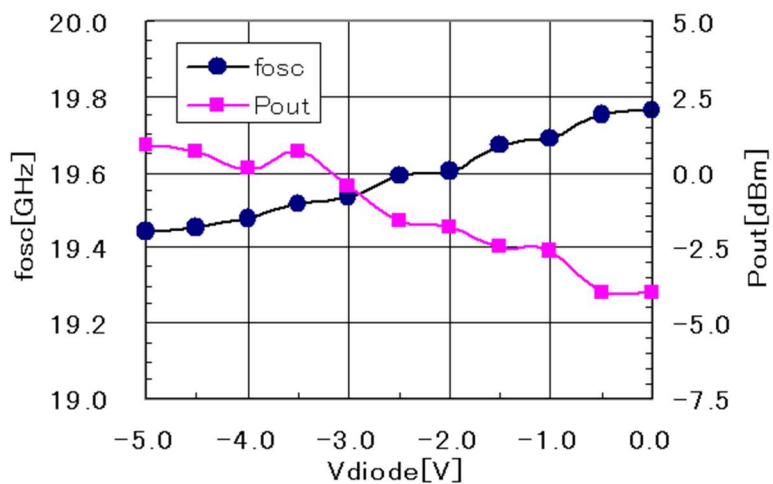


図 2.25 VCO の発振周波数、出力電力のダイオード電圧依存性

図 2.26 にスイッチ変調器の回路図を示す。スイッチ変調器はシングルバランス型差動回路により構成した。図 2.27 には同じくこのスイッチ変調器部の特性を評価するために試作したテストチップの写真を、図 2.28 にはテストチップで評価したシングルバランス型差動ミキサ回路の変換利得の LO パワー依存性を示す。最後にこれら VCO とスイッチ変調器を集積化した VCO 付きスイッチ変調器 MMIC のチップ写真を図 2.29 に示す。チップサイズは 3.0mm×3.0mm である。

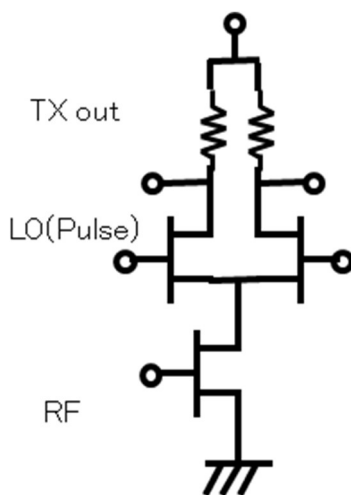
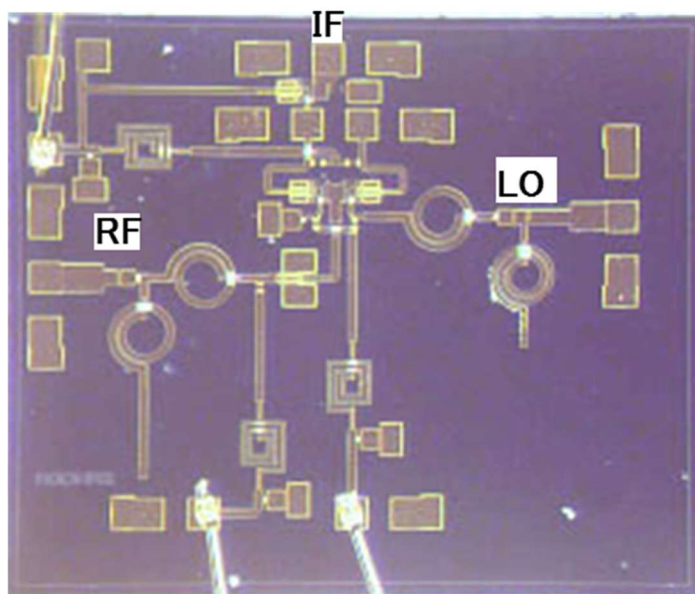
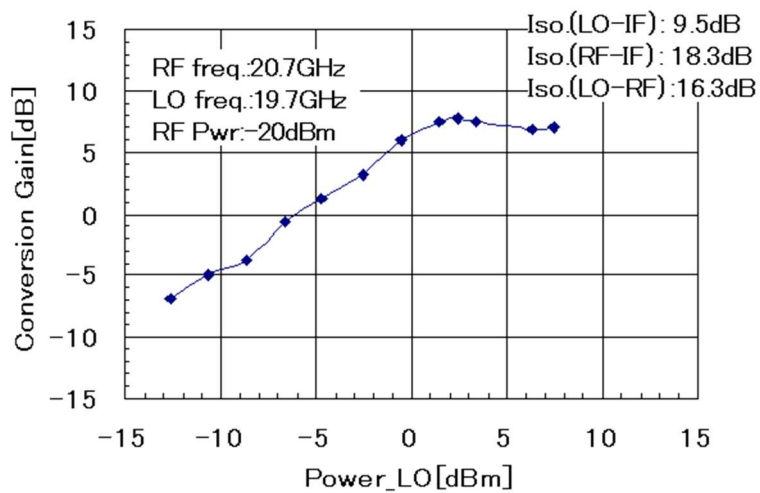


図 2.26 スイッチ変調器の回路図

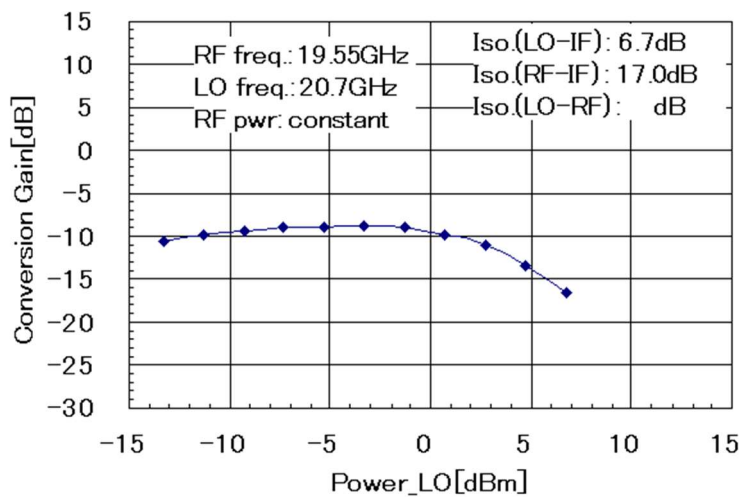


チップサイズ:1.8mm × 1.45mm

図 2.27 スイッチ変調器 MMIC のチップ写真



(a) アップコンバージョン時



(b) ダウンコンバージョン時

図 2.28 シングルバランス型差動ミキサ回路の変換利得の LO パワー依存性



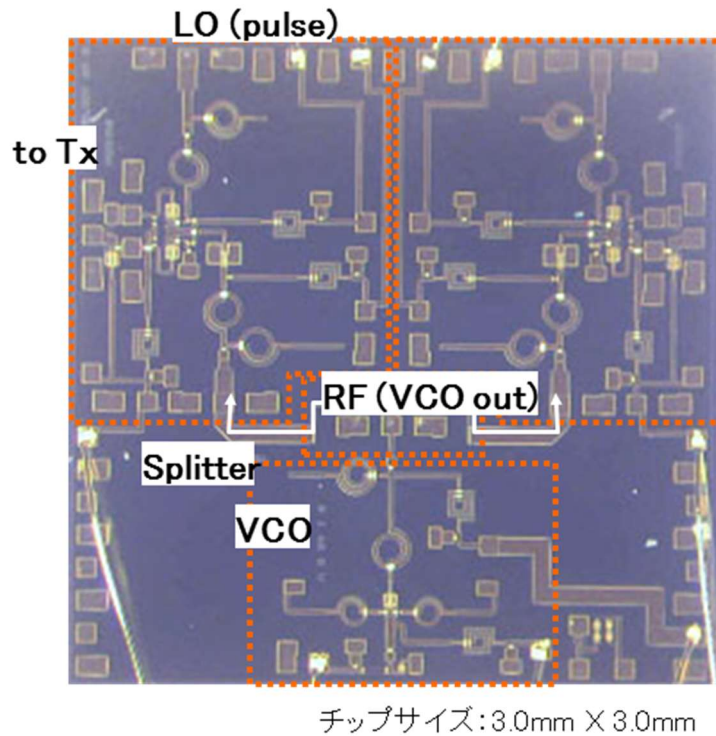


図 2.29 VCO 付きスイッチ変調器 MMIC のチップ写真

## (2) 直交受信ミキサ MMIC

図 2.30 に直交受信ミキサ(QRM)の回路図を示す。ドレインローカル注入型ミキサ(ドレインミキサ)を基本ミキサとし、LNA の RF 信号を同相、直交信号に分配する  $90^\circ$  ハイブリッド回路(90HYC)、SW-VCO 部の変調信号分配用のウイルキンソン分配回路(WD)を集積化した。ドレインミキサはゲートミキサに比べて RF-LO 間アイソレーションを確保でき、レジスティブミキサに比べて変換損失を抑制できる。試作した直交受信ミキサ MMIC のチップ写真を図 2.31 に示す。チップサイズは  $3.0\text{mm} \times 1.6\text{mm}$  である。図 2.32 に本 MMIC の評価結果を示す。LO 電力  $8\text{dBm}$  時に変換利得  $-3.0\text{dB}$  が得られた。このときのドレイン電圧  $0.3\text{V}$ 、ゲート電圧  $-0.7\text{V}$ 、RF 周波数  $20.7\text{GHz}$ 、LO 周波数  $19.7\text{GHz}$  である。LO 電力が設計値より多く必要であったが、概ね目標を満たす性能が得られ、レーダフロントエンドに使用可能と考える。



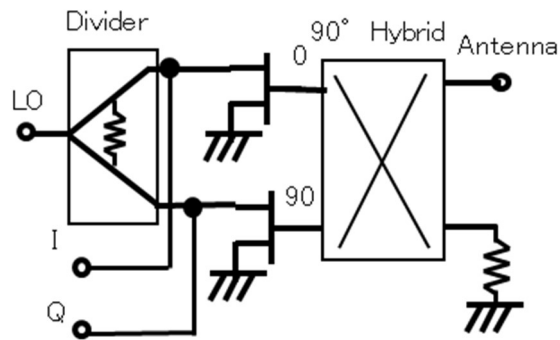
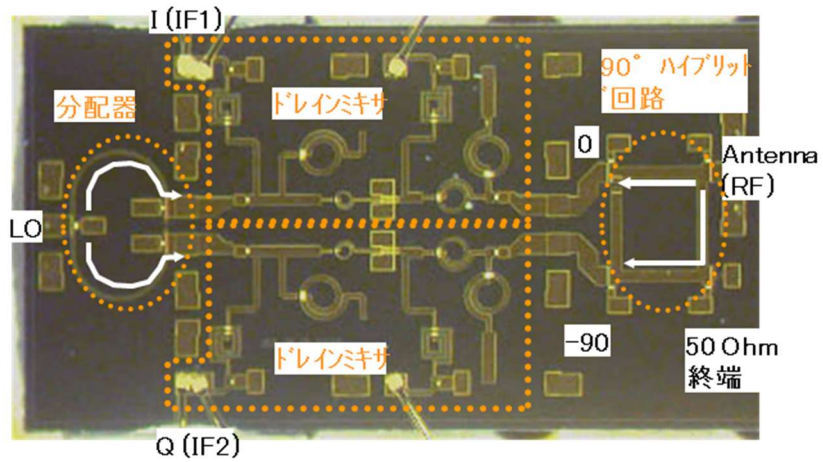


図 2.30 直交受信ミキサの回路図



チップサイズ: 3.0mm X 1.6mm

図 2.31 直交受信ミキサ MMIC のチップ写真

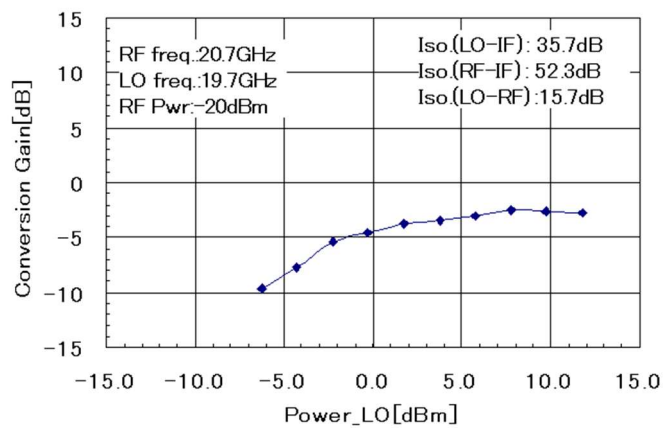


図 2.32 直交受信ミキサの受信器特性(変換利得の LO パワー依存性)

### (3) PA MMIC

PA(Power Amplifier)はソース接地の3段構成とした。チップ写真を図 2.33 に示す。チップサイズは 1.67mm×1.2mm である。図 2.34 にこの PA 小信号特性の測定結果を示す。小信号利得はピーク周波数で 23.5dB に達し、その周波数特性は設計とよく一致している。図 2.35 には入出力特性を示す。P<sub>1dB</sub> は 13.0dBm、飽和出力は 15dBm を超える結果となり、レーダフロントエンドとして十分使用できる性能を示した。

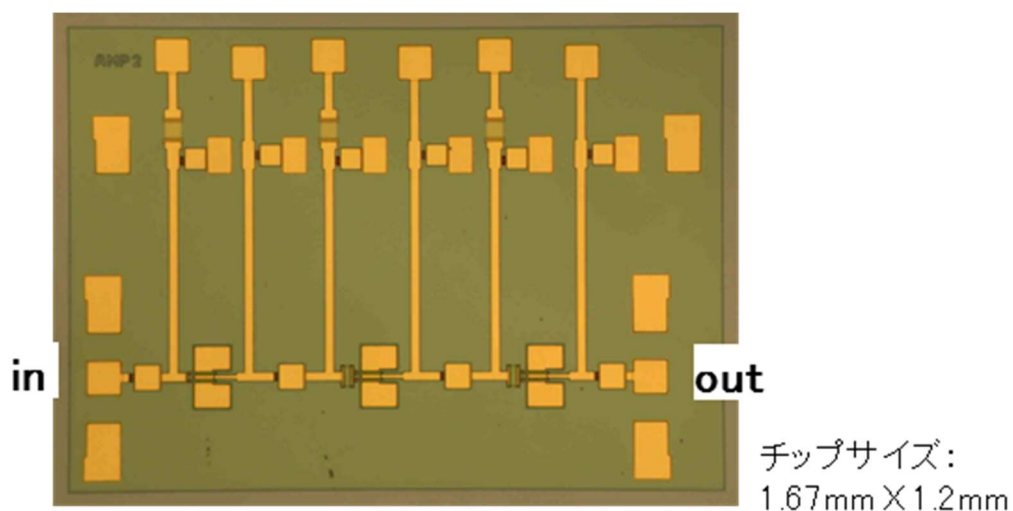


図 2.33 PA MMIC のチップ写真

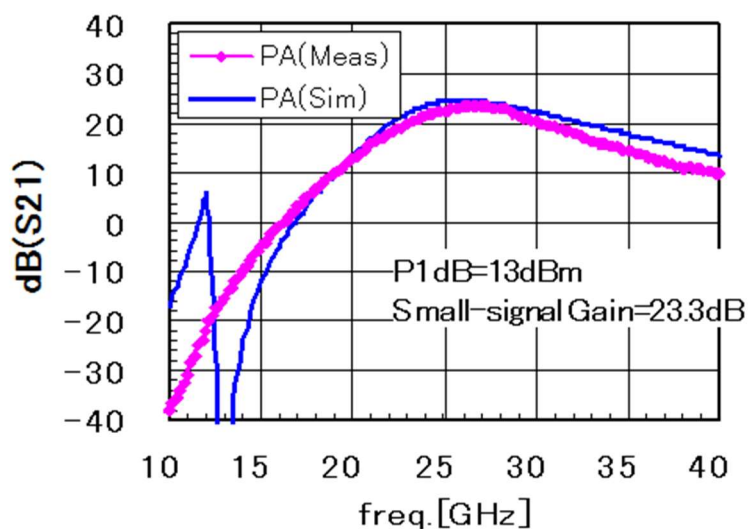


図 2.34 PA MMIC の小信号特性

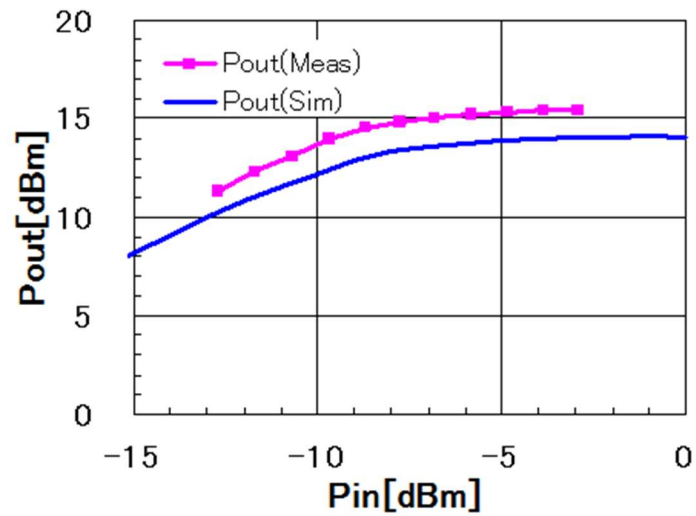


図 2.35 PA MMIC の入出力特性

#### (4) LNA MMIC

LNA(Low Noise Amplifier)も PA 同様ソース接地の 3 段構成とした。チップ写真を図 2.36 に示す。チップサイズは 3.0mm×1.2mm である。この MMIC の小信号特性の測定結果を図 2.37 に示す。小信号利得の最大値は 30dB、NF の最小値は 3.2dB であり、目標性能を満たすものである。

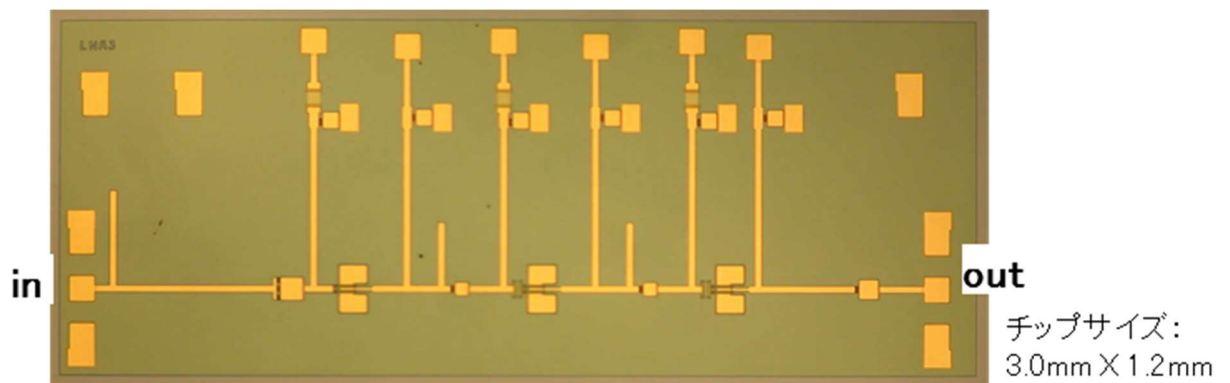


図 2.36 LNA MMIC のチップ写真

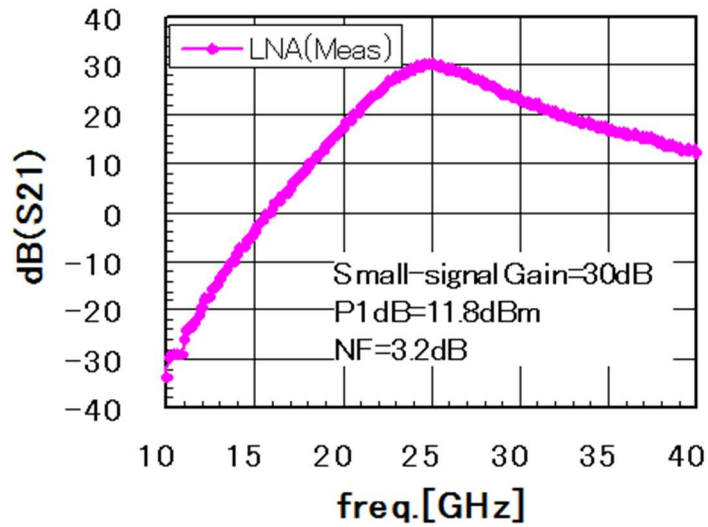


図 2.37 LNA MMIC の小信号特性

表 2.2 に今回設計試作した MMIC チップセットの目標特性と測定結果をまとめる。一部さらなる設計変更が必要な部分もあるが、概ね結果は良好であり、本ファウンドリプロセスは 24GHz 帯 UWB パルスレーダ MMIC を実現する十分なポテンシャルがあることがわかった。

表 2.2 24GHz 帯パルスレーダ用ミリ波 MMIC チップセットの特性まとめ

		目標値	測定値	電源電圧
VCO	発振周波数[GHz]	24	19.43- 19.76	Vd=3.0V
	出力電力[dBm]	> 3	0.7	
直交 受信ミキサ	変換利得[dB]	> -5.0	-3.0	Vd=0.3V
	LO電力[dBm]	< 3	8	Vg=-0.7V
PA	小信号利得[dB]	30	23.5	Vd=3.0V
	P -1dB[dBm]	15	13.0	
LNA	小信号利得[dB]	> 30	30.3	Vd=3.0V
	NF[dB]	< 5	3.2	

### 2.4.3 GaAs 系 HBT を用いた準ミリ波レーダ用 MMIC チップセット

次に、HFET に比べ特性の均一性に優れ、より高集積化に有利な HBT による MMIC の設計試作に挑戦した。使用したのは WIN Semiconductor 社の  $1\mu\text{m}$  InGaP/GaAs HBT プロセス<sup>[2.16]</sup>である。動作周波数は  $f_T=65\text{GHz}$ 、 $f_{\text{max}}=83\text{GHz}$  と前節の PHEMT プロセスに比べて低い、負荷駆動能力が高くばらつきも少ないことからさらに高集積で高機能な MMIC の実現が期待できる。

前節で述べた MMIC はレーダとして最も一般的なパルス方式レーダ用のものである。構成はシンプルであるが、デューティ比の非常に小さいパルス状のバースト波を送信し、受信までの遅延時間を計測するこの方式は、デューティ比に起因して無線部で非常に大きなピーク平均比をもった信号を扱う必要があり、高アイソレーションの高周波スイッチや高利得、高出力アンプなど、ミリ波帯無線部構成部品に対する要求が厳しく、実際の商品に展開するには低コスト化が困難であるという課題がある。

これに対して、連続波を利用するスペクトラム拡散型レーダは、拡散符号で搬送波を連続的に位相変調して送信、符号の自己相関特性を利用して、距離を測定するため、送信波のピーク平均比は小さく抑えることができ、波帯無線部の低コスト化により適している。単純なパルス方式に比べシステムが複雑なために IC にはより高機能・高集積化が求められるが、高集積化に有利な HBT プロセスを用いて、このスペクトラム拡散レーダ用の MMIC チップセットの設計試作に挑戦した。

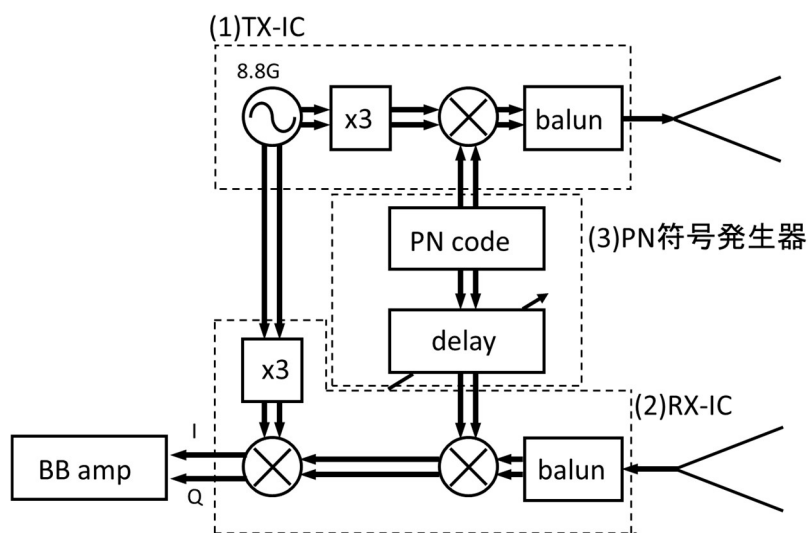


図 2.38 26GHz 帯スペクトラム拡散レーダのブロック図と MMIC チップセット

図 2.38 に開発した直接シーケンススペクトラム拡散 (DSSS : direct sequence

spread spectrum)レーダ<sup>[2.17]</sup>のブロック図を示す。レーダそのものの動作原理は第 6 章で詳述するが、本レーダも前節のパルスレーダ同様、車載用の近距離 UWB レーダシステムを目標としている。レーダの仕様を表 2.3 に示す。キャリアの中心周波数は 26.4GHz で、拡散符号には  $2^{11}-1$  の M 系列符号を用い、チップレート 2.5Gcps で拡散する。図中、点線で囲った送信部(1)、受信部(2)、PN 符号発生器(3)の 3 種類の MMIC を設計・試作した<sup>[2.18]</sup>。

表 2.3 26GHz 帯スペクトラム拡散レーダの仕様

Item	Description
Signal processing	Direct sequence spread spectrum
Center frequency	26.4GHz
Receiver architecture	Homodyne
PN code	$2^{11}-1$ M-Series
Chip rate	2.5Gcps
Refresh rate	100ms
Detection range	14m

#### (1) 送信器 MMIC (TX-MMIC)

送信器 MMIC は、8.8GHz のローカル発振器とその出力を 3 逓倍する逓倍器、BPSK 変調器から構成される。すべて回路は差動回路で設計した。本レーダシステムではホモダイン方式を用いているため、発振器にはそれほど厳密な周波数制御は必要ない。そのため、ローカル発振器はスパイラルインダクタを用いた共振器からなる差動 VCO で構成した。

試作した送信器 MMIC のチップ写真を図 2.39 に示す。チップサイズは 2.9mm×1.4mm である。

本 IC の VCO 出力特性の測定結果を図 2.40 に示す。すべての電圧制御周波数において -8dBm 以上の出力電力が得られており、受信器 IC(チップサイズ RX-IC)側の逓倍器も十分駆動できる。3 逓倍器の特性については、逓倍器の部分だけ取り出して用意したテストチップで評価した。結果を図 2.41 に示す。8.8GHz の基本波入力電力に対する 3 倍高調波(26.4GHz)の出力電力(逓倍波電力)をプロットした。基本波(8.8GHz)の漏れ出力も同時にプロットしているが、入力電力 -5dBm 以上で 15dB 以上の基本波抑制が実現できているのがわかる。ダブルバランス BPSK 変調器の出力はオンチップバランによってシングルエンド出力に変換し、アンテナ等他の機器と接続できるようにしている。

本 IC を PCB 基板に実装し、PN 符号発生器から実際に 2047 ビットの M 系列符号をいれてスペクトラム拡散出力の評価をした。出力スペクトラムの測定結果を図 2.42 に示す。キャリアリークのない、良好な結果が得られた。

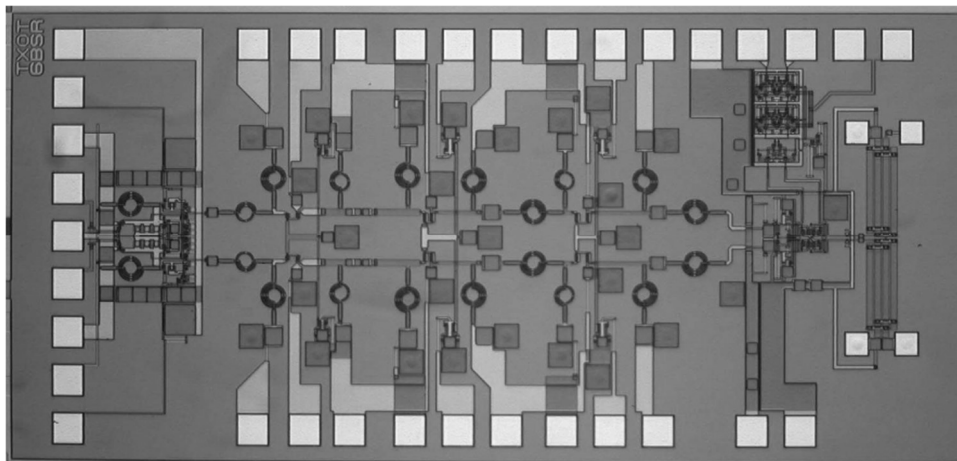


図 2.39 送信器 MMIC(TX-MMIC)のチップ写真(チップサイズ : 2.9mm×1.4mm)

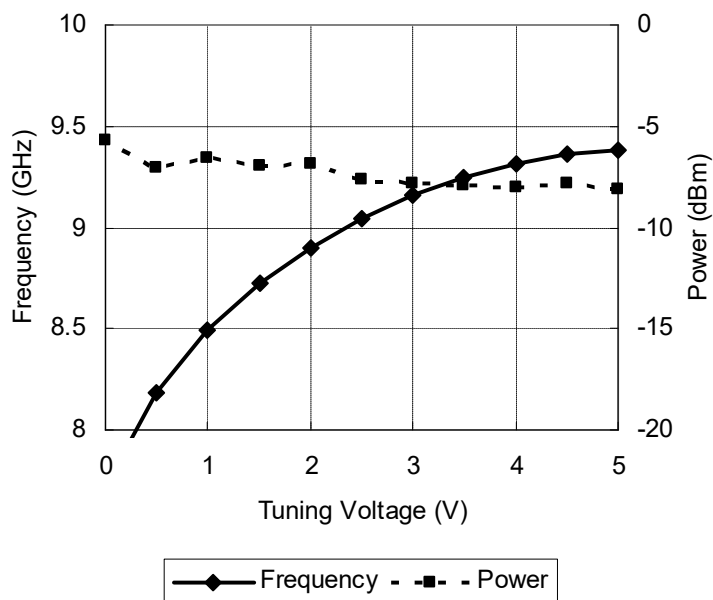


図 2.40 VCO の出力特性

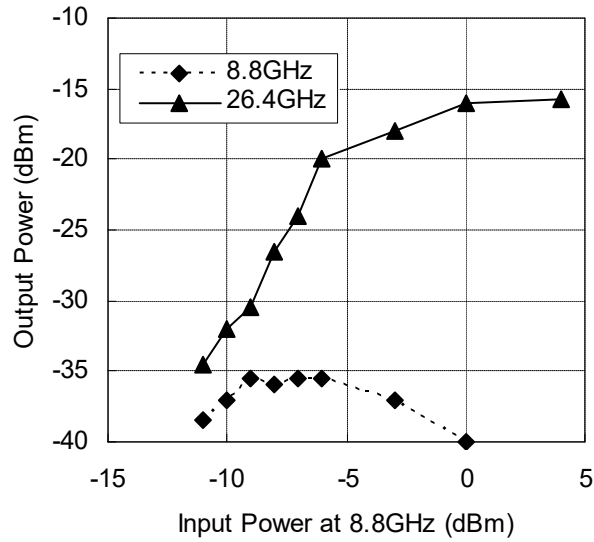


図 2.41 3 乗倍器の入出力特性

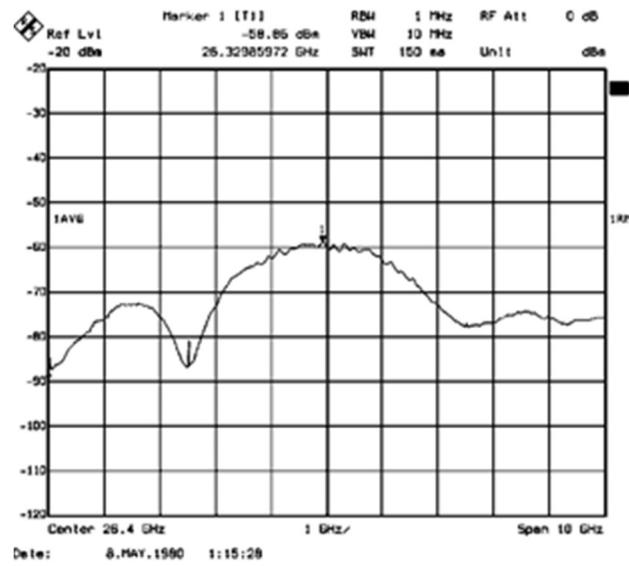


図 2.42 送信器 MMIC のスペクトラム拡散出力

## (2) 受信器 MMIC(RX-MMIC)

受信器 MMIC は前述の送信器 MMIC の VCO からの入力を受け 3 乗倍器する 3 乗倍器、逆拡散のための BPSK 変調器、直交復調器、単相入力を差動に変換するオンチップバランから構成される。チップ写真を図 2.43 に示す。チップサイズは 3.4mm×



1.4mm である。

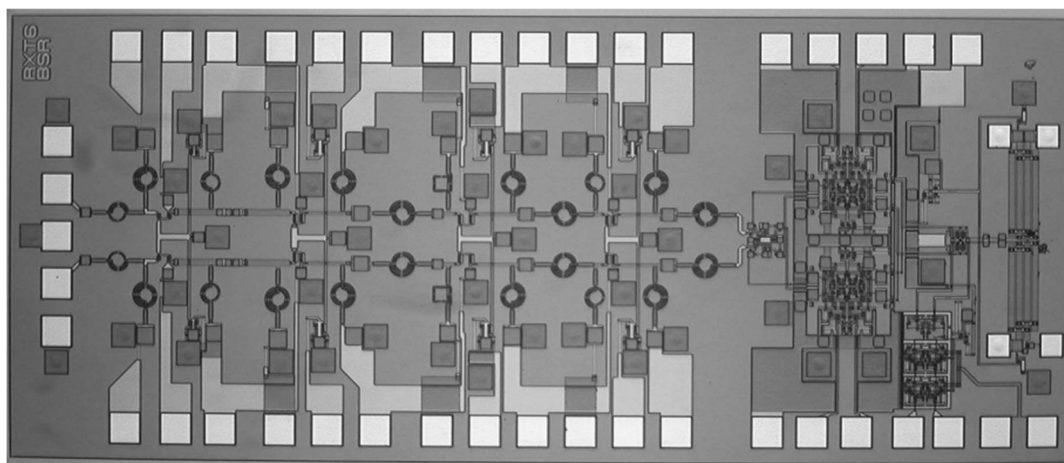


図 2.43 受信器 MMIC(RX-MMIC)のチップ写真(チップサイズ : 3.4mm×1.4mm)

### (3) PN 符号発生器

アナログ回路だけではなく、デジタル回路である 2.5Gcps の PN 符号発生器 IC も前述の MMIC と同じファウンダリプロセス(InGaP/GaAs HBT)を用いて設計・試作した。PN 符号発生は LFSR(Linear Feedback Shift Register)で行い、オンチップの 2.5GHz クロック発生器でこの LFSR を駆動する構成とした。PN 符号発生器のチップ写真を図 2.44 に示す。チップサイズは 2.1mm×2.6mm である。出力電力 0.6Vpp, 立ち上がり/立ち下がり時間 100ps/60ps, RMS ジッタ 30ps の優れた特性でのエラーフリー動作を確認した。

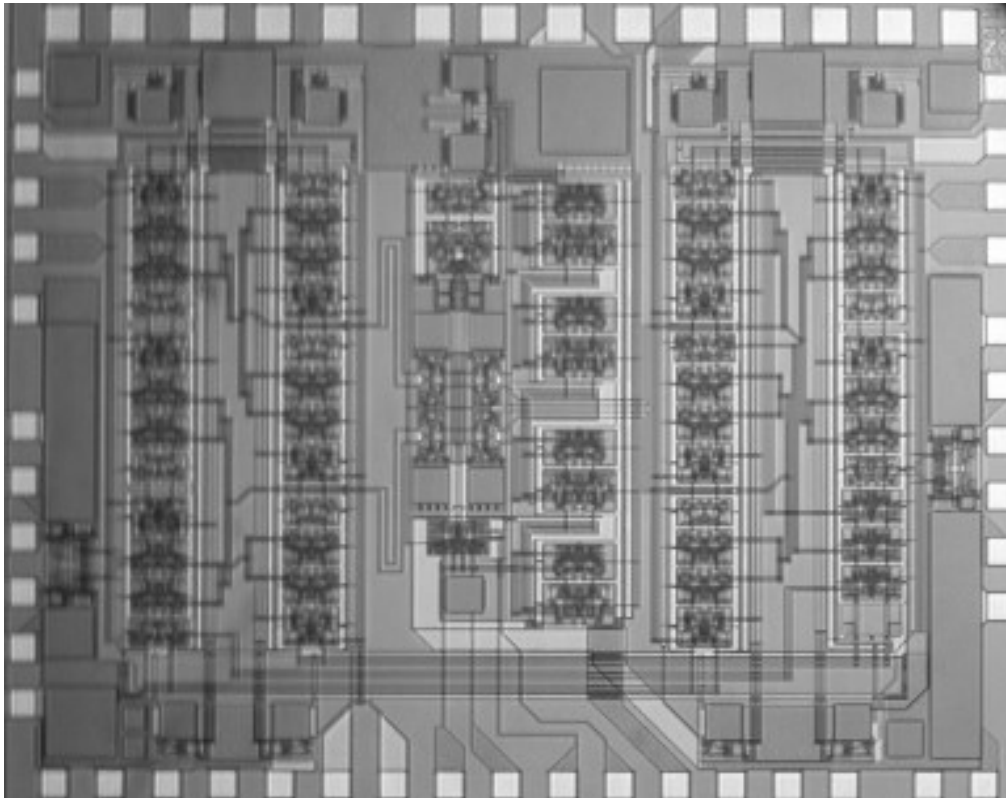


図 2.44 PN 符号発生器 IC のチップ写真(チップサイズ : 2.1mm×2.6mm)

表 2.4 スペクトラム拡散レーダ用 MMIC チップセットの性能まとめ

Item	Description
Current Consumption from 5V supply	TX-MMIC:90mA RX-MMIC:120mA
Total Power of the Spread Spectrum Output of the TX-MMIC	-15dBm
Gain of the RX-MMIC	-2dB
NF of the RX-MMIC	28dB

スペクトラム拡散レーダとして評価した MMIC チップセットの性能を表 2.4 にまとめる。

実際にこれらのチップセットを用いて 26GHz 帯スペクトラム拡散レーダのテストボードを作製し、レーダ性能を評価した。図 2.45 にレーダテストボードの写真を示す。

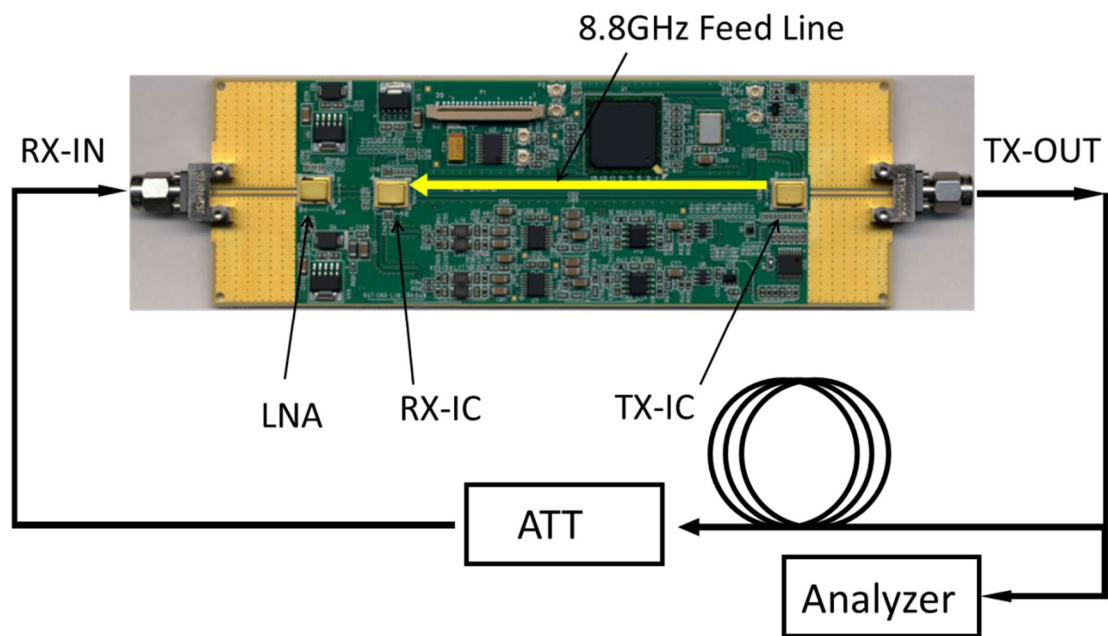


図 2.45 MMIC チップセットを用いて作製したレーダテストボードとセットアップ

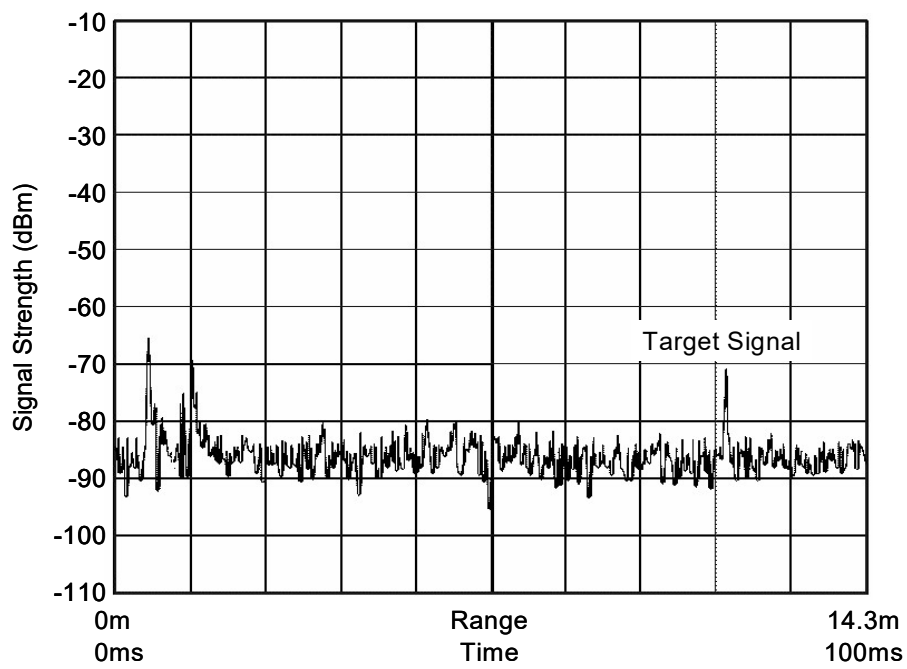
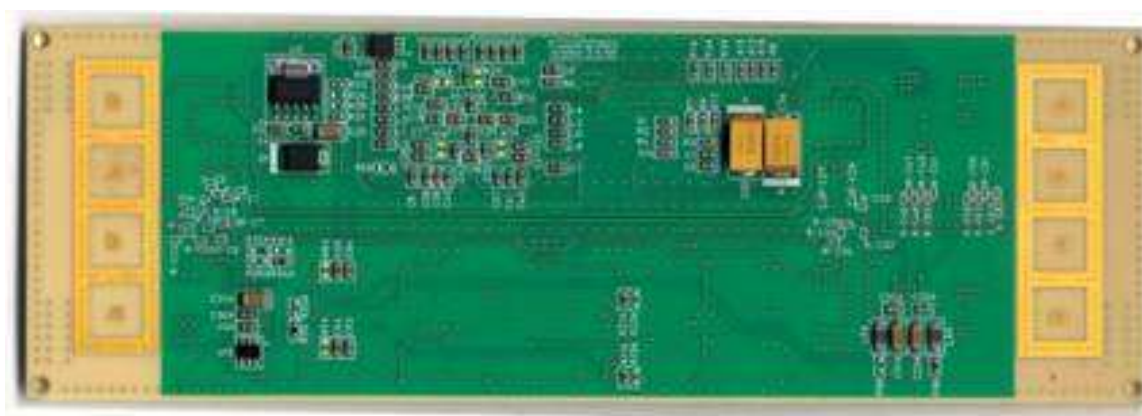


図 2.46 レーダテストボードのRX-MMICのベースバンド出力

受信器 MMIC の前に NF 4dB、利得 46dB の LNA を付加し、長い伝送ケーブル、減衰器をつないで、ターゲット動作をシミュレートした。レーダの等価等方放射電力 (EIRP: Equivalent Isotropically Radiated Power) -43dBm/MHz、受信アンテナの利得が 18dBi で 10m 先にレーダ反射断面積-10dBm のターゲットがある場合を模して、伝送ケーブルの長さを 20m とし、LNA の入力電力を-116dBm にセットして評価した。この条件は、10m に歩行者がいる場合を模している。結果を図 2.46 に示す。10m 先のターゲットがはっきりと認識できているのがわかる。実際にレーダ動作が実現できていることから、このファウンダリプロセスを用いたこの MMIC チップセットの完成度は高いと評価できる。



(a) 裏面(部品実装部)



(b) 表面(アンテナ放射部)

図 2.47 26GHz 近距離車載レーダモジュール

完成度の高いこの MMIC チップセットを用いて、実際に 26GHz 近距離用車載レーダの開発を遂行した。開発したアンテナ一体型レーダモジュールのプロトタイプを図 2.47 に示す。本節で示した RX-MMIC, TX-MMC、さらに別途開発した LNA チップを搭載し、PN 発生回路や信号処理などのデジタル回路は FPGA にて構成している。レーダ回路のほとんどは PCB 基板の裏面に構成し、表面は電源用の IC やコンデンサなどの受動部品が少し乗る程度である。アンテナは基板の端部に形成されており、表面にある放射部に、裏面から電磁結合によって電力を供給する構成となっている。

## 2.5 まとめ

本章では、GaAs 系化合物半導体を用いたミリ波デバイス技術とその集積化技術について述べた。

ヘテロ接合を巧みに活かしたイントリンシクトランジスタの性能を、実デバイス上で取り出すためのデバイス・プロセス技術の工夫によって、化合物半導体においても工業的に十分実用化可能な技術に仕上げられえることを示した。

さらに化合物半導体デバイスを周辺回路素子とともに半導体基板上に集積化する MMIC 技術について、近年進展の著しいファウンドリプロセスとその設計ツールを用いて、HFET, HBT それぞれでレーダ用 MMIC チップセットを設計・試作し、それらが準ミリ波用レーダ IC として十分な性能を示し、実際のレーダとして活用できることを示した。

GaAs 系化合物半導体を用いた MMIC は、新しいミリ波システム・サービスを実証し、その普及を牽引する先駆けの技術として間違いなく最重要技術であり、これまでの貢献に加え、今後の発展もまだまだ期待できる技術であると筆者は確信する。

## 第 2 章の参考文献

- [2.1] <http://museum.ipsj.or.jp/computer/super/0001.html>
- [2.2] T. Mimura, S. Hiyamizu, T. Fujii and K. Nanbu, "A New Field-Effect Transistor with Selectively Doped GaAs/n-AlGaAs Heterojunctions", Jpn. J. Appl. Phys. Vol.19, No.5, pp. L 225-L 227, 1980
- [2.3] M. Tanabe, T. Matsuno, N. Kashiwagi, H. Sakai, K. Inoue and A. Tamura, "0.1 $\mu$ m AlGaAs/InGaAs high electron mobility transistor fabrication by new method of thinned resist pattern reversed by metal", Journal of Vacuum

Science & Technology B, Vol.14, pp3248-3251, 1996.

- [2.4] M. Tanabe, T. Matsuno, H. Sakai, M. Yanagihara, K. Inoue and A. Tamura, "0.1 $\mu$ m AlGaAs/InGaAs HEMT Fabrication by UV-Lithography", The 23rd State-of-the-Art Program in Compound Semiconductors (SOTAPOCS XXIII), pp.195-201, 1995
- [2.5] 田辺充、松野年伸、川島克彦、森川治、酒井啓之、柳原学、井上薫、田村彰良、「UVリソグラフィーを用いた0.2 $\mu$ mゲートAlGaAs/InGaAsHEMTの作製」、1995年応用物理学会春季応用物理学関係連合講演会 28a-ZL-3, p.237, 1995
- [2.6] P. M. Asbeck, M. F. Chang, J. A. Higgings, N. H. Sheng, G. J. Sullivan, K. Wang, "GaAlAs/GaAs heterojunction bipolar transistor: issues and prospects for application". IEEE Trans. Electron Devices, Vol.ED-36, pp.2032-2042, 1989
- [2.7] H. Shimawaki, Y. Amamiya, N. Furuhashi, and K. Honjo, "High fmax AlGaAs/InGaAs and AlGaAs/GaAs HBTs fabricated with MOMBE selective growth in extrinsic base regions", 51st Annual Device Research Conf., Session IVA-6, 1993
- [2.8] H. Okada, S. Shikata and H. Hayashi, "Electrical Characteristics and Reliability of Pt/Ti/Pt/Au Ohmic Contacts to p-Type GaAs", Jpn. J. Appl. Phys. Vol.30 pp.L558-560, 1991
- [2.9] K. Eda, M. Inada, Y. Ota, A. Nakagawa, T. Hirose and M. Yanagihara "Emitter-Base-Collector Self-Aligned Heterojunction Bipolar Transistors Using Wet Etching Process", IEEE Electron Device Lett. Vol.EDL-7 pp.694-696, 1986
- [2.10] Manabu Yanagihara, Hiroyuki Sakai, Yorito Ota, Mitsuru Tanabe and Akiyoshi Tamura, "L-Shaped Base Electrode with 0.5 $\mu$ m Contact width for High Fmax HBTs", The 23rd State-of-the-Art Program in Compound Semiconductors (SOTAPOCS XXIII), pp.202-209, 1995
- [2.11] M. Yanagihara, H. Sakai, Y. Ota and A. Tamura, "High fmax AlGaAs/GaAs HBT with L-shaped Base Electrode and Its Application to 50GHz Amplifier", 1996 Topical Workshop on Heterostructure Microelectronics (TWHM'96), pp.192-194, 1996
- [2.12] Manabu Yanagihara, Hiroyuki Sakai, Yorito Ota and Akiyoshi Tamura, "High fmax AlGaAs/GaAs HBT with L-shaped Base Electrode and Its Application to 50GHz Amplifier", Solid-State Electronics Vol.41 No010 pp.1615-1620, 1997
- [2.13] 柳原学、酒井啓之、中村守雄、太田順道、田村彰良、「L型微細ベース電極を有するAlGaAs/GaAsHBT」、1995年応用物理学会春季応用物理学関係連合講演会 28p-ZL-3, p.274, 1995

- [2.14] 柳原学、酒井啓之、太田順道、田邊充、井上薫、田村彰良、「Ni/Ti/Pt コンタクトと L 型構造のベース電極による高  $f_{max}$  AlGaAs/GaAs HBT」、応用物理学会 応用電子物性分科会 p.295, 1996
- [2.15] C.G. Yuan, S.M. Joseph Liu, D.W. Tu, R. Wu, J. Huang, F. Chen and Y.C. Wang, "0.15 Micron Gate 6-inch pHEMT Technology by Using I-Line Stepper" CS MANTECH Conference, May 18th-21st, 2009, Tampa, Florida, USA
- [2.16] [https://www.winfoundry.com/en\\_US/support.aspx?sn=7](https://www.winfoundry.com/en_US/support.aspx?sn=7)
- [2.17] 根来昇、福田健志、宇治田信二、永井秀一、西嶋将明、酒井啓之、田中毅、上田大助、「スペクトラム拡散方式を用いた 26GHz UWB 近距離車載レーダ」平成 19 年電気関係学会関西支部連合大会、S6-1、2007
- [2.18] Takeshi Fukuda, Noboru Negoro, Shinji Ujita, Shuichi Nagai, Masaaki Nishijima, Hiroyuki Sakai, Tsuyoshi Tanaka, and Daisuke Ueda, "A 26GHz Short-Range UWB Vehicular-Radar Using 2.5Gcps Spread Spectrum Modulation", 2007 IEEE MTT-S International Microwave Symposium, TH1C-2, p.1311-1314, 2007

## 第3章 新しい化合物半導体 GaN を用いたミリ波 MMIC

### 3.1 はじめに

近年、ワイドギャップ半導体として知られる窒化ガリウム (GaN) が、急速に注目を集めている。もっとも良く知られている応用分野はその広いバンドギャップを利用して実現した青色 LED、これを用いた高効率ディスプレイ、照明などへの応用で、この技術の発明と実用化に貢献した業績により赤崎勇先生、天野浩先生、中村修二先生の3名の日本人がノーベル物理学賞を受賞(2014年)したことは記憶に新しい。

GaN は光エレクトロニクス分野だけでなく、電子デバイスの分野でも古くから注目されている。表 3.1 に GaN の材料物性の特徴を、Si や GaAs と比較して示す。

表 3.1 GaN の材料物性

	Si	GaAs	GaN
バンドギャップ(eV)	1.12	1.43	3.39
チャネル電子移動度(cm <sup>2</sup> /Vs)	1400	6000	2000
電子ピーク速度(cm/s)	1E+7	2E+7	2.6E+7
破壊電界(V/cm)	4E+5	5E+5	3E+6
電子密度(cm <sup>-2</sup> )	~1E+13	2E+12	~2E+13
熱伝導率(W/cmK)	1.5	0.46	1.3
比誘電率	11.4	13.1	9.5

電子デバイス応用として魅力的な GaN の材料物性の特徴として下記が挙げられる。

#### ①ワイドバンドギャップ

GaN は、バンドギャップが 3eV を超える半導体であり、Si に比べて約 1 桁高い絶縁破壊電電界を有する。そのため、素子寸法の短縮により高周波化を図っても、耐圧特性劣化の影響を最小限に抑えることができる。

#### ②ヘテロ構造や混晶が実現可能

GaN は、GaAs 等の従来の III-V 族化合物半導体と同様に、高周波トランジスタ動作に適した良質のヘテロ接合構造をエピタキシャル成長技術により形成できる。特に AlGaN/GaN ヘテロ接合界面には、ピエゾ分極と自発分極による高濃度で高移動度の 2 次元電子ガス (2DEG) が発生するため、大電流化や寄生抵抗低減に有利である。同じワイドバンドギャップ材料である炭化シリコン (SiC) やダイヤモンドと比較して、用途に応じて最適かつ多様なデバイス構造を提供できる魅力を持つ。



### ③電子飽和速度が速い

短チャネル化したデバイスでは電子が飽和速度近くで走行するため、Si や GaAs よりも高い電子飽和速度を有する GaN では高い遮断周波数( $f_t$ )が得られる。

このような特長から、GaN デバイスは高周波でかつ高出力という、従来の半導体材料では難しかった特性の両方を同時に実現できる可能性があり、新しい半導体デバイス応用領域の開拓が期待される。また、窒化物半導体は毒物とされる砒素を含まない半導体である。そのため、今後の環境調和型の超高速エレクトロニクスにとっても重要な半導体材料としても注目されている。

図 3.1 に最近の各半導体材料で構成した電子デバイスの動作周波数と出力電圧の応用可能範囲をアプリケーションが必要とする領域と合わせて示した。

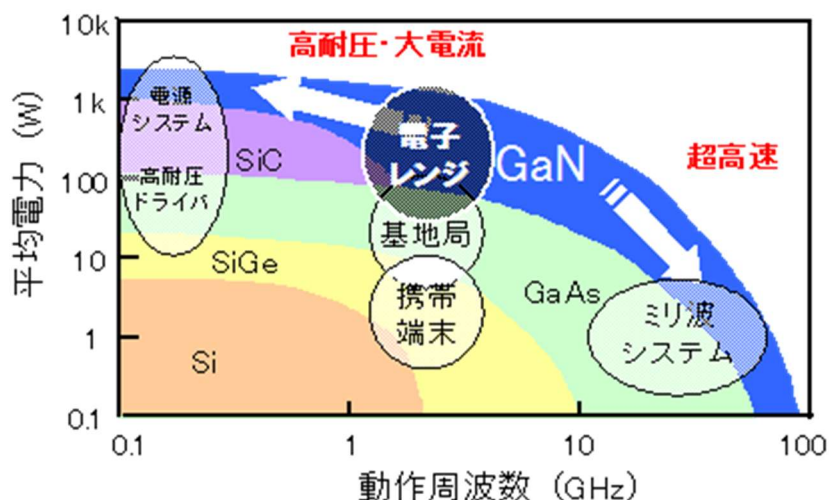


図 3.1 各半導体材料の性能ダイアグラム

高周波かつ高出力という特長を有する GaN は、当初から携帯電話基地局用の送信増幅器への応用が考えられてきたが、ミリ波応用に関しても GaAs を凌駕するポテンシャルがあると期待され、これまでも盛んに研究開発が行われてきた<sup>[3.1-3.4]</sup>。特に高周波化のためにゲート電極を微細化しても高耐圧性を確保できることは、このデバイスの注目すべき特長である。

本章では、ミリ波帯で高性能動作を実現するもう一つの化合物半導体としてこの GaN デバイスを取り上げる。ここでも集積化技術に重点を置き、受信・送信に適した基板の選択、小型・低コストの集積化への工夫について述べる。

ミリ波帯 GaN デバイスを広く普及させるには、デバイスの製造コストの低減が必須

であるが、第 2 章で述べた GaAs とは異なり、GaN は大口径のバルク基板の製造がまだまだ困難であり、SiC などの別基板の上に GaN を結晶成長させたものを基板として用いるのが一般的である。SiC 上の GaN は結晶品質もよく、また SiC は高い熱伝導性を有するために、特に高出力デバイスを作製した際に放熱性に優れるという特徴もある。一方で、SiC 基板自身がいまだ高価で大口径化が難しく、GaN デバイスの製造コストを押し上げる最大の要因になっている。したがって、この SiC を低コストで大口径化が可能な Si やサファイアに置き換えることができれば、GaN デバイスの製造コストを飛躍的に低減することが可能になる。

図 3.2 にミリ波通信機のフロントエンド部の構成を示す。Si やサファイア基板の使用にはそれぞれ一長一短の特徴があるが、図 3.2 に示すように、通信応用で用いる場合、例えば送信用デバイスには放熱に優れた Si 基板を用い、受信用デバイスには絶縁性に優れ誘電損失が小さいサファイア基板を用いるといった使い分けが考えられる。

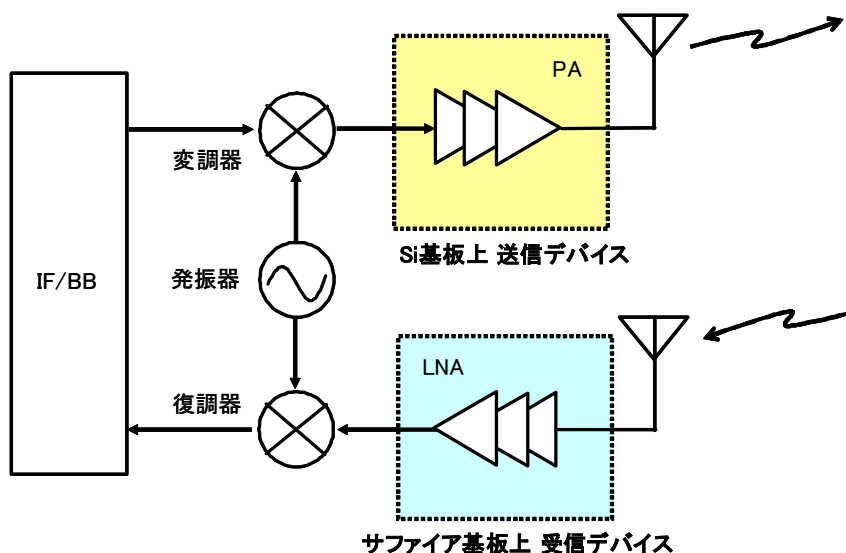


図 3.2. 低コスト GaN デバイスを用いたミリ波送受信システム構成例

本章では、これら低コスト基板を用い、ミリ波長距離通信応用を目指した GaN の送受信デバイス技術と、その集積化技術について述べる。また GaN MMIC の実装技術としてサファイア基板を用いた新しいコンセプトのチップサイズパッケージについても述べる。

### 3.2 サファイア基板を用いた GaN 受信 MMIC デバイス

まず、サファイア基板を用いた受信デバイスについて述べる。サファイアは絶縁性に優れ、誘電損失も小さいことからミリ波帯での寄生損失が小さく、MMIC の基板として非常に有望である。熱伝導性が悪いため、デバイスの放熱特性に劣るが、とくに特に大きな発熱を伴わない受信系の MMIC では大きな問題にはならないと考える。

はじめに、受信用に開発したサファイア基板上での GaN HFET 技術について述べる。ミリ波帯で動作可能な受信デバイス・回路を実現するためには、いうまでもなく集積する HFET が高利得を有し、最大発振周波数( $f_{max}$ )が高いこと、雑音指数が低いことが必要である。このような特性を実現するには、第 2 章で述べた短ゲート化に加えて、短チャネル効果抑制のための AlGaN 障壁層の薄膜化が重要になる。しかし AlGaN を薄膜化するとチャネルに十分な電子濃度を確保できず、寄生抵抗が高くなってしまう問題がある。GaN では表面パッシベーションによりチャネルの電子濃度を増加できる可能性があり、またこのパッシベーション膜をゲート絶縁膜として用いた MIS 型 HFET とすることでゲート電流を低減し、低雑音化が期待できる。図 3.3 にゲート絶縁膜に結晶状 SiN 膜を用いて作製した AlGaN/GaN MIS-HFET<sup>[3,5]</sup>の断面構造図を示す。結晶状 SiN 膜は AlGaN/GaN ヘテロ構造のエピタキシャル成長後高温で形成しているため良好な界面特性を実現し、トランジスタの高周波特性の向上が期待できる。

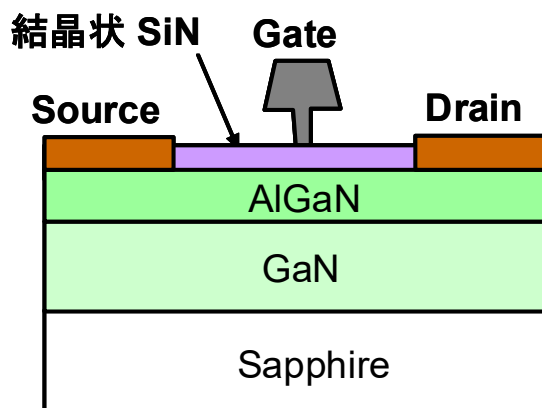


図 3.3. 結晶状 SiN 膜を用いた AlGaN/GaN MIS-HFET の断面図

実際にサファイア基板上に MOCVD 法で AlGaN/GaN ヘテロ構造および SiN パッシベーション膜を連続成膜してこの AlGaN/GaN MIS-HFET を作製した。ゲート電極は、SiN 膜上に電子線リソグラフィを用いて形成した。ゲート長は 100nm である。

図 3.4 に試作した結晶状 SiN 膜付 AlGaIn/GaN HFET の小信号高周波特性を示す。 $f_T$ 、 $f_{max}$  は、それぞれ 71GHz、203GHz であり、ミリ波帯での動作が十分可能である。

図 3.5 に同 HFET の 28GHz での雑音指数と利得のドレイン電流依存性を示す。雑音指数 1.4dB と低い値が得られている。

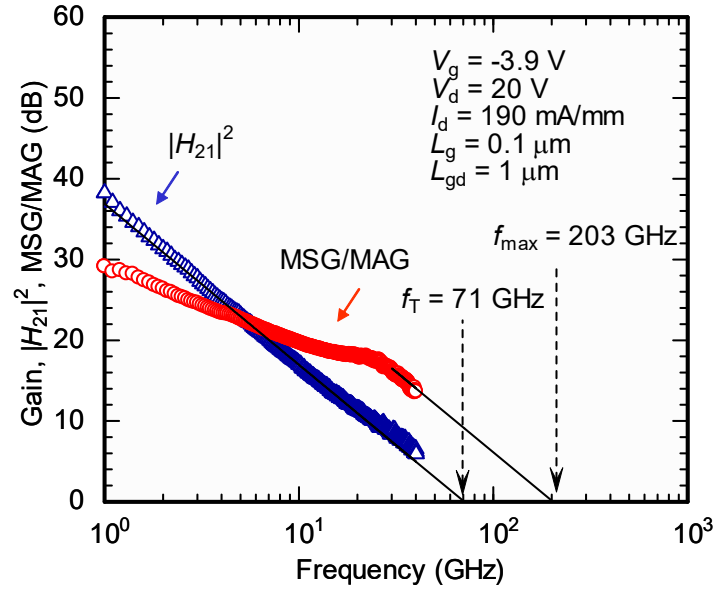


図 3.4 AlGaIn/GaN HFET の小信号高周波特性

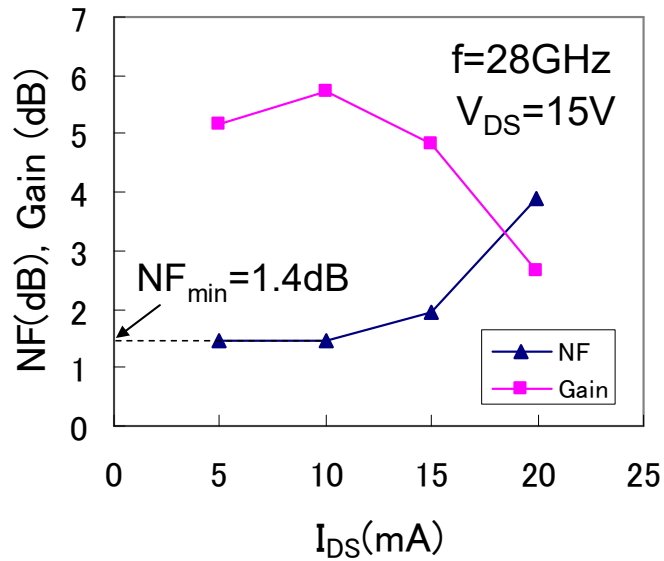


図 3.5 AlGaIn/GaN HFET の雑音指数と利得のドレイン電流依存性

次に集積化技術について述べる。この AlGaIn/GaN HFET を実際に通信機などのフロントエンド用デバイスとして用いるには、第 2 章でも述べたように低コスト化、高性能化の観点からトランジスタを整合回路とともに集積化 (MMIC 化) することが必須となる。図 3.6 にサファイア基板上に短ゲート AlGaIn/GaN HFET とマイクロストリップ伝送線路を集積化した GaN ミリ波 MMIC 構造の例を示す。

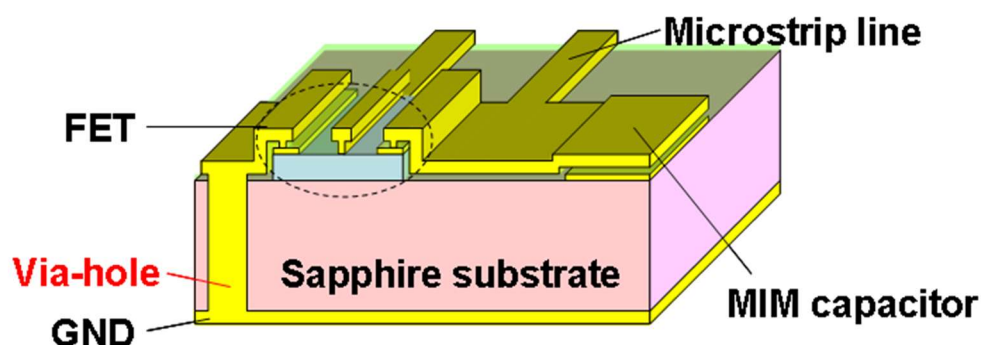


図 3.6 サファイア基板を用いた GaN MMIC の構造図

しかしながら、サファイア基板上の GaN MMIC の形成は第 2 章で述べた GaAs 基板の時ほど単純ではない。サファイア基板は絶縁性に優れ、誘電損失が非常に小さいため伝送線路などの受動素子を低損失化できるという特長がある一方で、化学的に安定な材料であるために、加工が難しいという問題がある。MMIC の伝送線路としてマイクロストリップ線路を用いる場合、図 3.6 に示すように基板の裏面に GND プレーンを形成するが、回路接続上、表面と基板裏面の GND とを接続するためのビアホール形成が必須となる。ところが、化学的に安定なサファイアを高速でエッチングすることは非常に困難である。

この問題を解決するために、高出力パルスレーザを用いたレーザドリルによるビアホール形成技術を新たに開発した<sup>[3.6-3.9]</sup>。図 3.7 にレーザドリルによって形成したビアホールの断面 SEM 写真を示す。プロセスフローは以下の通りである。まず HFET を形成後、高出力パルスレーザをサファイア基板の表面側から照射し、図 3.7(a)に示すような深い穴を形成する。次に穴側壁を覆うように電解メッキにより電極を形成する。その後、研磨によりサファイアを薄層化し、裏面電極を形成する。このビアホール形成プロ

セスでは、パターン形成および加工はすべて表側から行うので、従来の基板薄層化後に裏面側からエッチングを行う方法に比べて容易に行うことができる。図 3.7(b)に電極形成後のビアホールの断面写真を示す。穴に沿ってきれいに電極が形成されおり、良好な GND コンタクトが得られているのがわかる。

ビアホールの S パラメータ測定から抽出した寄生インダクタおよび寄生抵抗は、それぞれ 14pH、0.18Ω と小さな値であった。

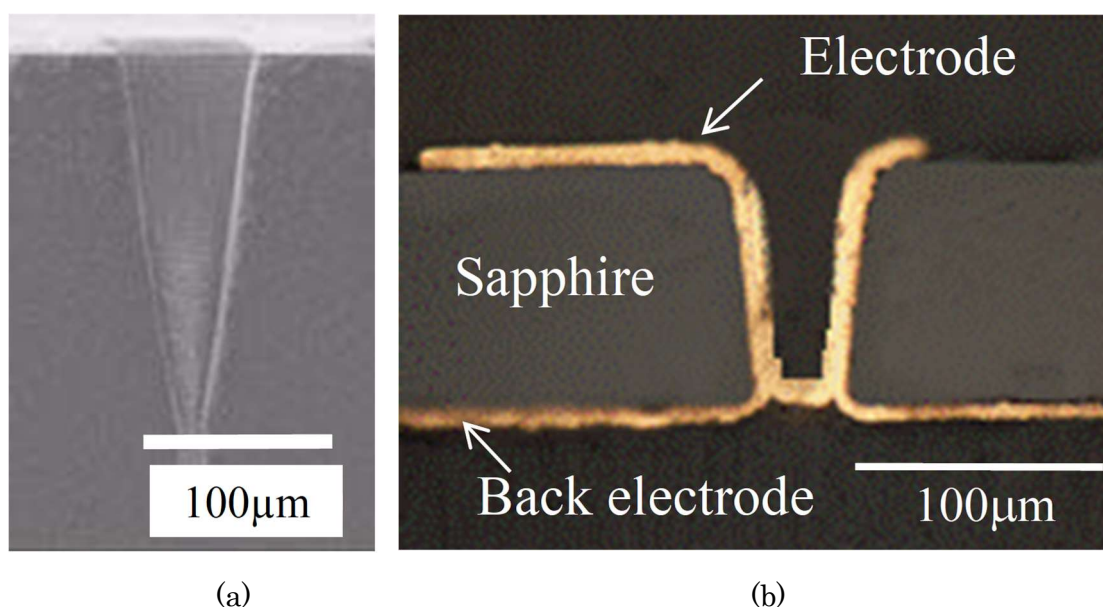


図 3.7 (a)レーザドリル後の断面 SEM 写真と (b)電極形成後のビアホール断面写真

本技術を用いて、サファイア基板上に AlGaIn/GaN HFET とマイクロストリップ線路、ビアホールを集積化した MMIC を実際に設計、試作した<sup>[3.6-3.9]</sup>。図 3.8 に試作した準ミリ波帯 3 段増幅器 MMIC のチップ写真を示す。チップサイズは 3.5mm×2.2mm である。整合回路、バイアス回路はすべて MMIC に集積化されており、各整合回路は HFET の入出力インピーダンスに対して利得整合するように設計した。

図 3.9 にこの MMIC の利得の周波数依存性の測定結果を示す。26GHz で 22dB という高い利得と、25GHz から 28GHz に至る広帯域でフラットな増幅特性が得られた。



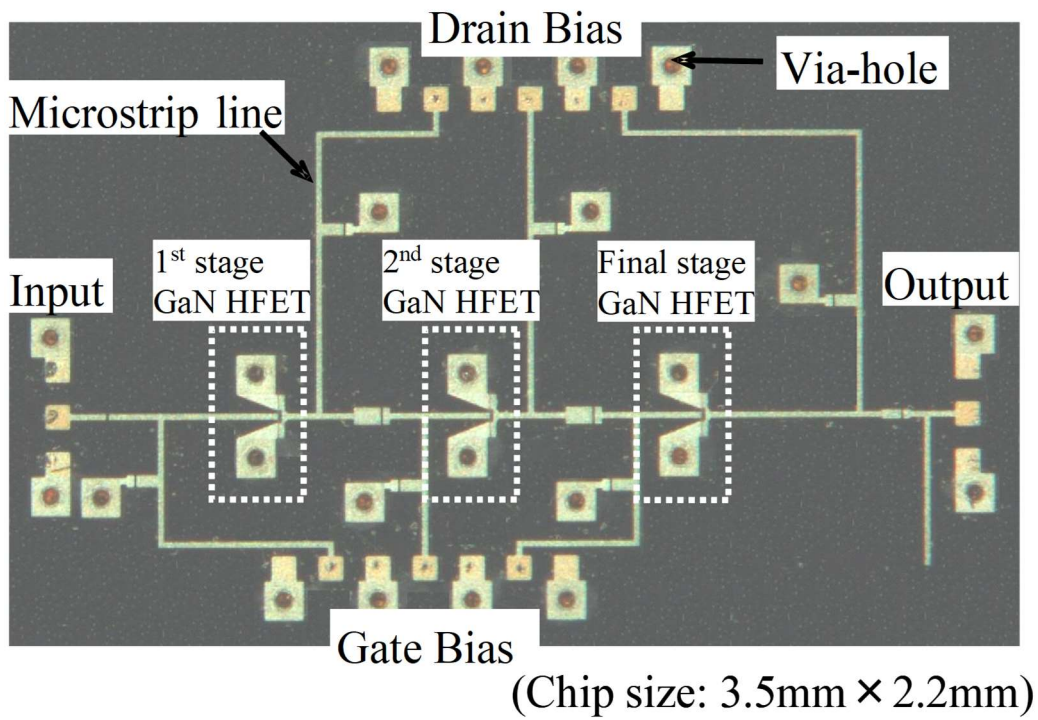


図 3.8 GaN 準ミリ波帯 3 段増幅器 MMIC のチップ写真

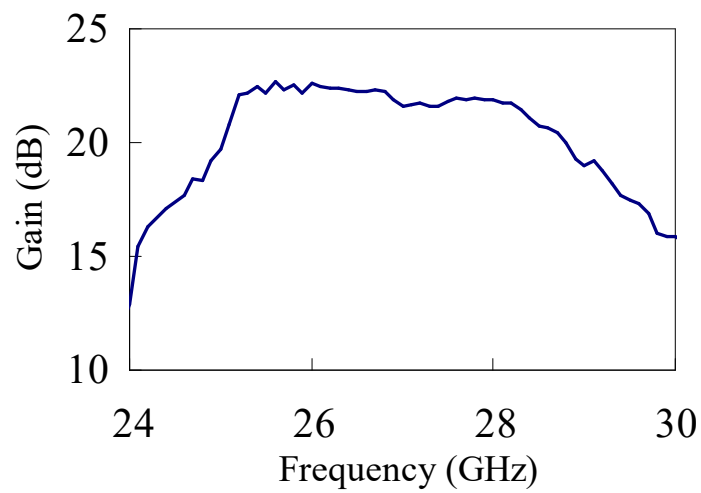


図 3.9 GaN 準ミリ波帯 3 段増幅器 MMIC における利得の周波数依存性

ここまで、GaN HFET デバイスの MMIC 集積化技術について述べてきたが、さらにこの MMIC を回路基板へ集積化するための新しい実装技術について述べる。

このようなミリ波 GaN MMIC を実際に通信機等に应用するには MMIC の回路基板への実装方法が問題となる。GaAs 等で用いられているセラミックパッケージは、信頼性が高く成熟した技術であるが、パッケージ内でミリ波チップとパッケージのリードとをワイヤボンドで接続する必要があり、さらなる高周波化に限界がある上、小型化・低コスト化にも課題が残る。一方ワイヤボンディングを用いないフリップチップ実装は寄生インダクタンスが低減でき、小型化にも有利なためミリ波帯の新しい実装技術として注目されているが、むき出しとなるチップの保護の問題や、チップ上の GND と基板上の GND の接続の課題がある。

そこで開発したサファイア基板とレーザドリルによるビアホール形成技術を用いて、サファイア基板をパッケージの一部として使う新しい GaN チップサイズパッケージ (CSP) を提案する<sup>[3.10]</sup>。

図 3.10 に提案したサファイアビア GaN CSP の模式図を、図 3.11 に断面構造図を示す。

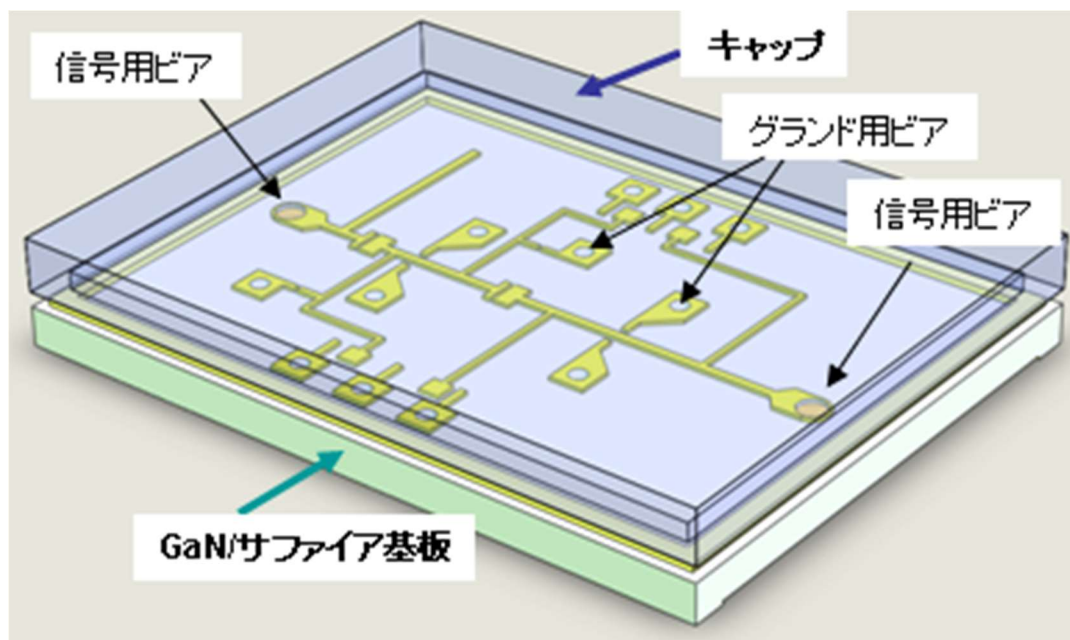


図 3.10 サファイアビア GaN チップサイズパッケージの模式図



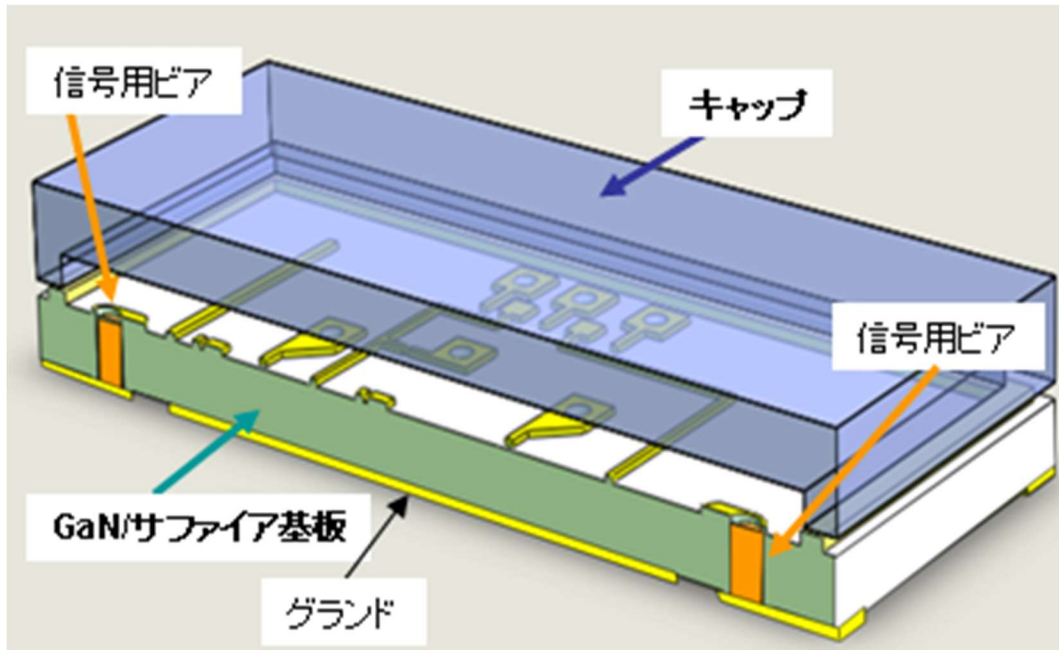


図 3.11 サファイアビア GaN チップサイズパッケージの断面構造図

チップサイズパッケージ(CSP)では、チップと実装基板の接続が課題となる。本構成においては、サファイア基板上の GaN MMIC の入出力端子にレーザドリルで高周波信号伝送用ビアホール（信号用ビア）を形成し、GaN チップ裏面から信号端子を取り出す構造とすることで、従来に比べて実装工程を簡略化した。フリップチップではなく、チップを上向けで実装できる。信頼性確保のため、チップ上部はシリコン等で作製されたキャップにより気密封止する。

新たに形成した信号ビアの透過特性を、入出力部の信号用ビアの信号線を基板裏面のコプレーナ線路で相互に接続したテストパターンを用いて評価した。図 3.12 に信号ビア損失評価用 TEG(Test Element Group)の写真を、図 3.13 に同 TEG を用いて測定した信号ビアの透過特性を示す。信号用ビア 1 個の挿入損失は 25GHz で 0.13dB（テストパターンの反射損失は 25dB 以上）と十分低い値が得られ、この周波数帯で十分使用できる実装方式であることを確認した。

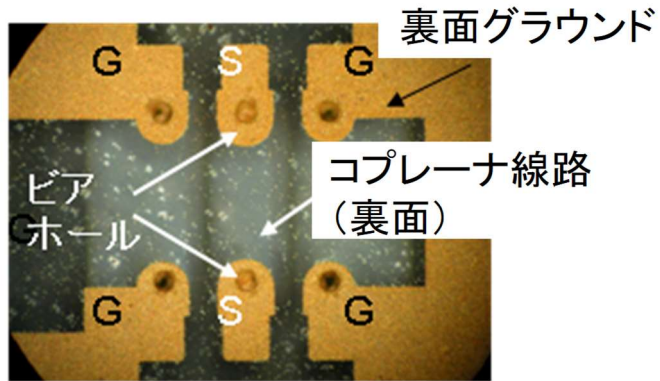


図 3.12 信号ビア損失評価用 TEG の写真

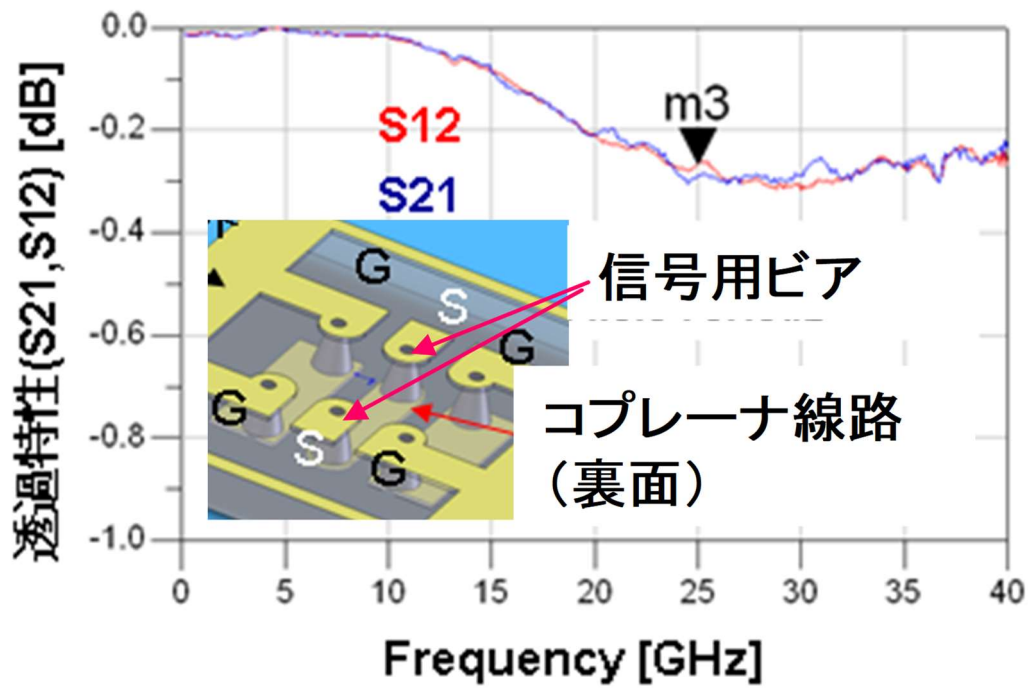
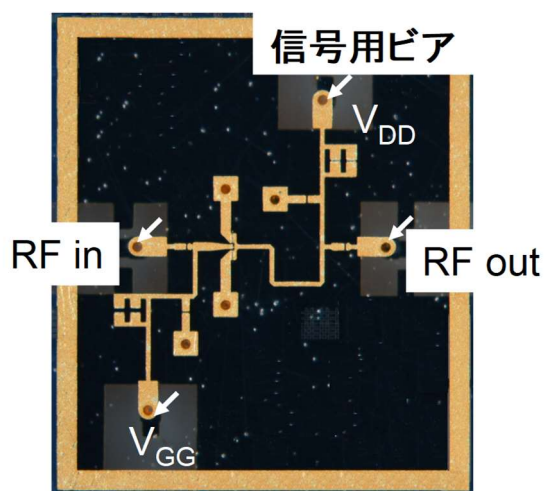


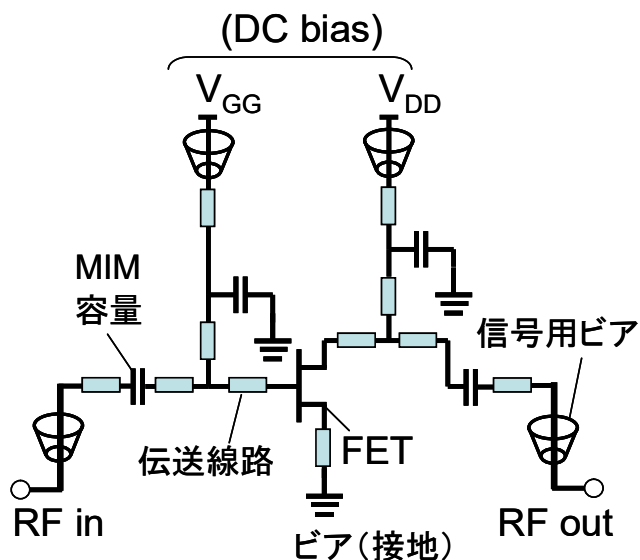
図 3.13 信号ビアの透過特性

本技術を用いて、入出力部に信号用ビアを有する Ka 帯 1 段アンプ GaN MMIC を実際に設計・試作した<sup>[3.10]</sup>。図 3.14 にチップ写真(a)と回路図(b)を示す。

試作したチップに Si チップからなるキャップを装着してパッケージングし、回路基板に実装した状態でその高周波特性を評価した。結果を図 3.15 に示す。Ka 帯において 7dB の利得が得られ、また Si キャップの有無によって利得が大きく変わらないことを確認した。



(a)チップ写真



(b)回路図

図 3.14 (a)GaN MMIC のチップ写真と(b)回路図

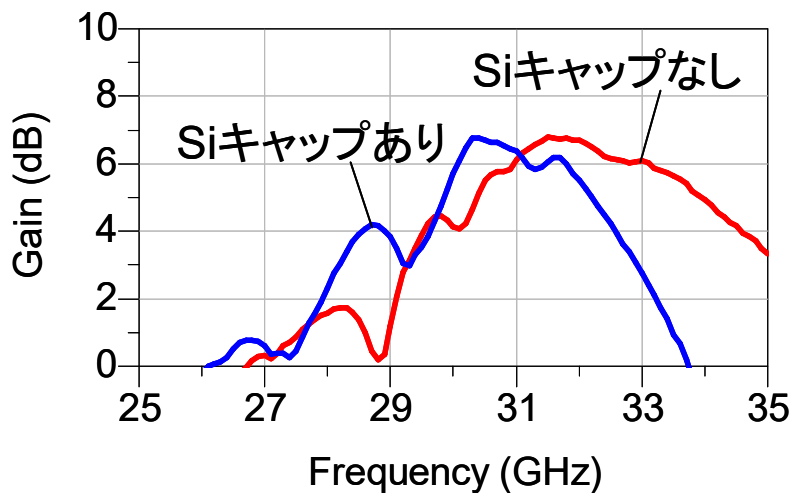


図 3.15 GaN MMIC CSP の高周波特性

### 3.3 Si 基板を用いた GaN 送信デバイス

次に、Si 基板を用いた送信用デバイスについて述べる。Si 基板はサファイアに比べてはるかに放熱性に優れ、また半導体 LSI 用基板として広く普及しているため、大口径化が進み、コスト低減に大きく貢献する。

送信デバイス用 HFET は、高抵抗 Si(111)基板上にバッファ層、GaN 層、AlGaIn 層を形成し、ゲート絶縁膜、ソース、ドレイン、ゲート電極を形成した構造とした<sup>[3.11-3.14]</sup>。高出力化を実現するためには、ドレイン電流と動作電圧をともに大きくすることが要求される。ドレイン電流向上のために、Si 基板上の GaN の結晶性を改善した。新たな多層構造を有する下地層の導入により AlGaIn/GaN ヘテロ構造におけるシートキャリア濃度を増大し、1.1A/mm と大きなドレイン電流を実現した。また動作電圧向上のために、ゲート絶縁膜には前述の結晶状 SiN 膜を採用した。これによりゲート破壊耐圧を向上し、55V という高いドレイン電圧の印加を可能にした。

図 3.16 にこの Si 基板上 GaN MIS-FET の小信号高周波特性を示す。26.5GHz で 10.4dB の利得があり、準ミリ波帯の高出力増幅器(PA)を構成するには十分な利得である。

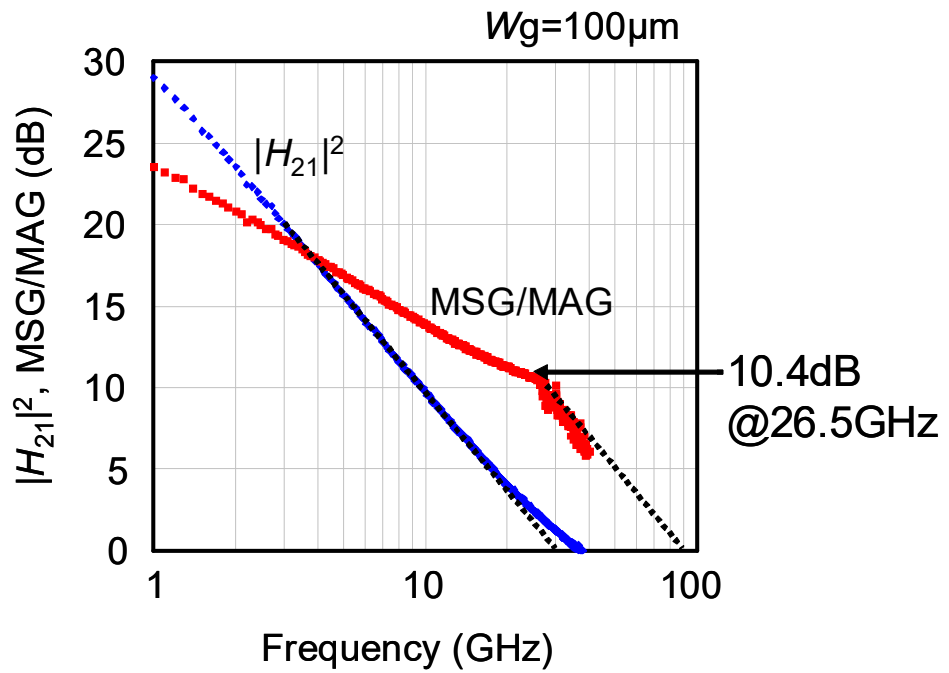


図 3.16 Si 基板上 GaN MIS-FET の小信号高周波特性

高出力増幅器用に試作したゲート幅 5.4mm の GaN MIS-HFET のチップ写真を図 3.17 に示す。マルチフィンガーのユニットセルを 12 個配置した。チップサイズは、5.0mm×0.6mm である。

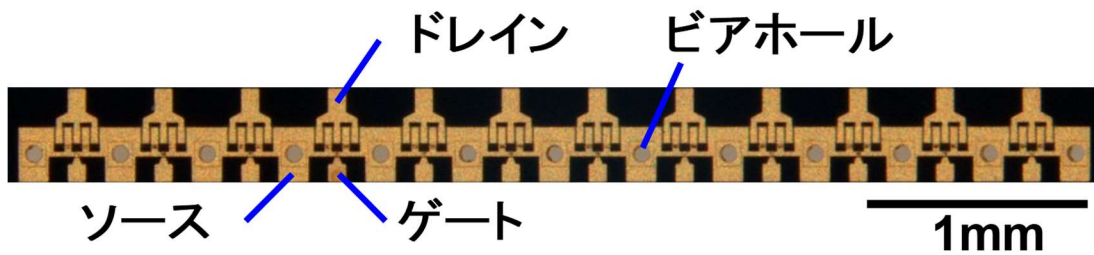


図 3.17 高出力 GaN トランジスタのチップ写真

図 3.18 に、本チップを実装したパワーアンプモジュールの写真を示す。筐体に図 3.17 に示したゲート幅 5.4mm の GaN MIS-FET チップと入出力整合用セラミック基板を実装し、入出力にコネクタを接続した 1 段の高出力増幅器モジュールとした。整合回路は入力側を利得整合、出力側を電力整合とし出力電力が最大となるように設計した。

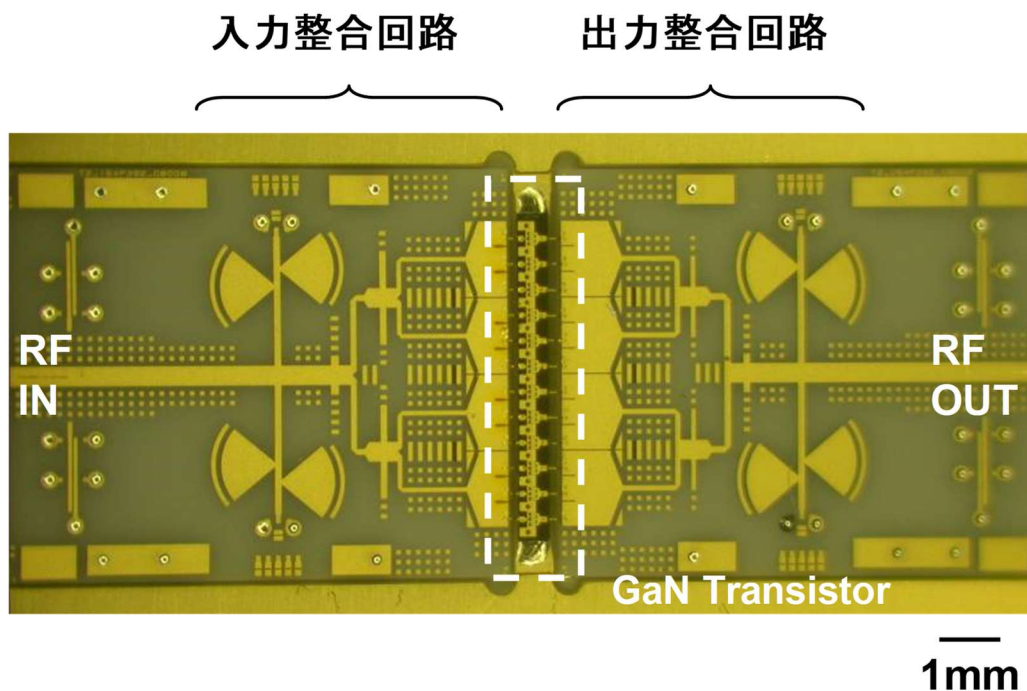


図 3.18. 高出力 GaN パワーアンプモジュールの写真

このモジュールを用いて GaN MIS-HFET の高周波パワー測定を行った。測定周波数 26.5GHz で、動作モードは AB 級で行った。結果を図 3.19 に示す。飽和出力のドレイン電圧に対する飽和出力をプロットした。ドレイン電圧の増加につれて飽和出力は向上し、ドレイン電圧 55V 時の出力は 10.7W に達した。ドレイン電圧 55V 印加時の入出力パワー特性を図 3.20 に示す。線形利得は 4.1dB であった。

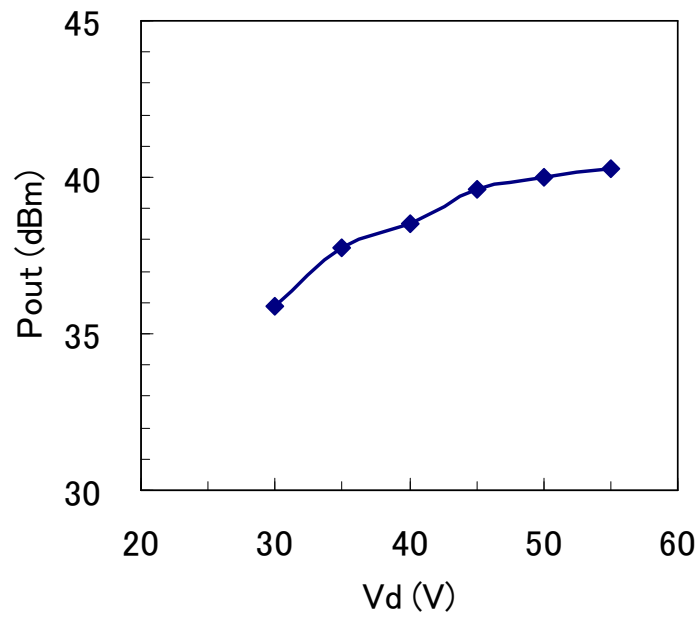


図 3.19 高出力 GaN MIS-HFET の飽和出力のドレイン電圧依存性

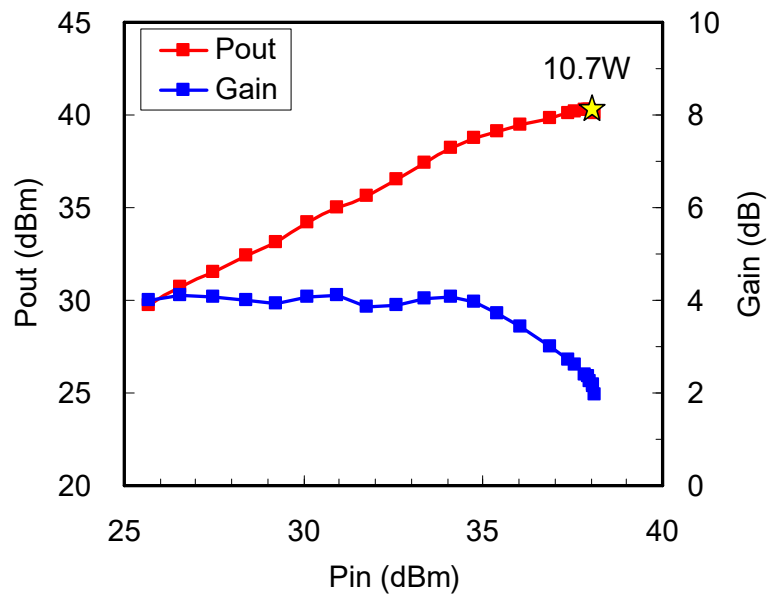


図 3.20 高出力 GaN MIS-HFET の入出力特性



最後に、Si 基板上に作製された高出力 GaN トランジスタ<sup>[3.15-3.17]</sup>の出力の比較を図 3.21 に示す。作製した高出力 GaN トランジスタは、準ミリ波帯以上の周波数領域において Si 基板上 GaN トランジスタとして世界最高出力を示した。

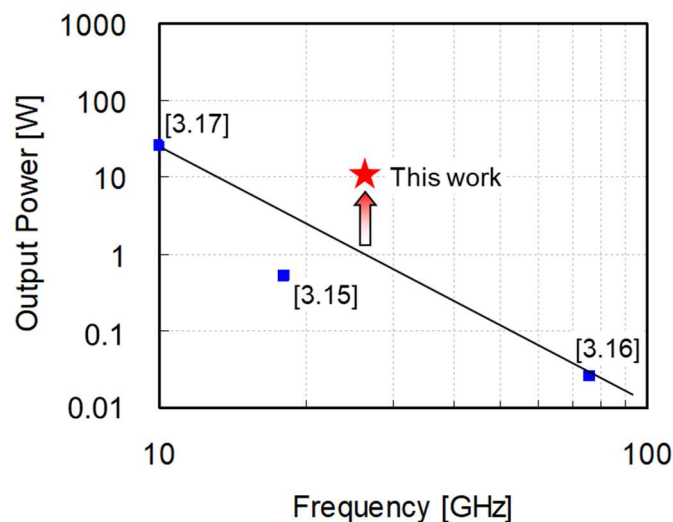


図 3.21 Si 基板上 GaN トランジスタ出力の周波数依存性

### 3.4 まとめ

本章では、GaN 系化合物半導体を用いたミリ波デバイス技術とその集積化技術について述べた。

受信用には低損失のサファイア基板を用い、レーザ加工プロセスによるビアホール形成技術を確認してマイクロストリップ線路ベースの MMIC を実現した。試作した 3 段増幅器 MMIC は 26GHz 帯で 22dB の利得を示した。また、このサファイア基板上のビアホールを応用した新しい GaN CSP を提案し、Ka 帯での動作を確認した。

送信用には放熱性に優れた Si 基板を用い、結晶状 SiN ゲート絶縁膜を用いた GaN MIS-HFET で破壊耐圧を向上し、55V の電源電圧で 10.7W(26.5GHz)の高出力を実現した。

なお本研究の一部は、総務省から「電波資源拡大のための研究開発」に関する委託契約の助成を受けて行われた。

GaN 系化合物半導体を用いた MMIC は、高周波でかつ高出力動作が可能という独特の特長を有し、長距離の広帯域通信など Si 系デバイスでは実現が困難な領域の展開が期待される。ミリ波 GaN デバイスの集積化技術の進展により、従来になかった新しいシステム応用が今後提案され、広く民生に普及していくものと思われる。



### 第3章の参考文献

- [3.1] Y. Hirose, Y. Ikeda, M. Ishii, T. Murata, K. Inoue, T. Tanaka, H. Ishikawa, T. gawa, and T. Jimbo, "Low noise and low distortion performances of an AlGa<sub>N</sub>/Ga<sub>N</sub> HFET", IEICE Trans. Electron., vol. E86-C, PP. 2058-2064, 2003.
- [3.2] M. Higashiwaki, T. Mimura, and T. Matsui, "High-Performance Short-Gate InAlN/GaN Heterostructure Field-Effect Transistors," Jpn. J. Appl. Phys., Vol.45, pp.L843-845, 2006.
- [3.3] M. Higashiwaki, T. Matsui, and T. Mimura, "AlGa<sub>N</sub>/Ga<sub>N</sub> MIS-FETs With  $f_T$  of 163 GHz Using Cat CVD Si<sub>N</sub> Gate-Insulating and Passivation Layers," IEEE Electron Dev. Lett., vol.27, pp.16-18, 2006.
- [3.4] T. Murata, M. Hikita, Y. Hirose, Y. Uemoto, K. Inoue, T. Tanaka, and D. Ueda, "Source Resistance Reduction of AlGa<sub>N</sub>-Ga<sub>N</sub> HFETs with Novel Superlattice Cap Layer," IEEE Trans. Electron Devices, vol.52, pp. 1042-1047, 2005.
- [3.5] M. Kuroda, T. Murata, S. Nakazawa, T. Takizawa, M. Nishijima, M. Yanagihara, T. Ueda, and T. Tanaka, "High  $f_{max}$  with High Breakdown Voltage in AlGa<sub>N</sub>/Ga<sub>N</sub> MIS-HFETs Using In-Situ Si<sub>N</sub> as Gate Insulators", 30th IEEE Compound Semiconductor IC (CSIC'08) Symp., 2008, pp.250-253.
- [3.6] Tomohiro Murata, Masayuki Kuroda, Shuichi Nagai, Masaaki Nishijima, Hidetoshi Ishida, Manabu Yanagihara, Tetsuzo Ueda, Hiroyuki Sakai, Tsuyoshi Tanaka And Ming Li, "A K-band AlGa<sub>N</sub>/Ga<sub>N</sub>-based MMIC Amplifier with Microstrip Lines on Sapphire", 2008 IEEE MTT-S International Microwave Symposium, WEP2D-05, pp.1293-1296, 2008
- [3.7] Tomohiro Murata, Masayuki Kuroda, Shuichi Nagai, Masaaki Nishijima, Hidetoshi Ishida, Manabu Yanagihara, Tetsuzo Ueda, Hiroyuki Sakai, Tsuyoshi Tanaka And Ming Li, "AlGa<sub>N</sub>/Ga<sub>N</sub>-based Millimeter Wave Monolithic ICs with Laser-Drilled Via-holes Through Sapphire", 2008 Asia-Pacific Workshop on Fundamental and Applications of Advanced Semiconductor Devices, 2008
- [3.8] 村田智洋、黒田正行、永井秀一、西嶋将明、石田秀俊、柳原学、上田哲三、酒井啓之、田中毅、Ming Li、「サファイア上マイクロストリップ線路を用いた準ミリ波帯 AlGa<sub>N</sub>/Ga<sub>N</sub> MMIC」2008年電子情報通信学会総合大会、C-10-14、2008
- [3.9] 村田智洋、黒田正行、永井秀一、西嶋将明、石田秀俊、柳原学、上田哲三、酒井啓之、田中毅、Ming Li、「サファイア基板上準ミリ波帯 AlGa<sub>N</sub>/Ga<sub>N</sub> MMIC」電子情報通信学会技術研究報告（信学技報）MW、マイクロ波 108(195)、37-40、2008-08-21
- [3.10] 村田智洋、黒田正行、永井秀一、西嶋将明、酒井啓之、上田哲三、田中毅、上田大

- 助、「高周波信号用ビアを有するサファイア基板上 GaN MMIC のチップサイズパッケージ」、2010 年電子情報通信学会総合大会、C-10-3、2010
- [3.11] Noboru Negoro, Masayuki Kuroda, Tomohiro Murata, Masaaki Nishijima, Yoshiharu Anda, Hiroyuki Sakai, Tetsuzo Ueda, and Tsuyoshi Tanaka, “K-band AlGa<sub>N</sub>/Ga<sub>N</sub> MIS-HFET on Si with High Output Power over 10W”, 9th Topical Workshop on Heterostructure Microelectronics, 2011
- [3.12] Noboru Negoro, Masayuki Kuroda, Tomohiro Murata, Masaaki Nishijima, Yoshiharu Anda, Hiroyuki Sakai, Tetsuzo Ueda, and Tsuyoshi Tanaka, “K-Band AlGa<sub>N</sub>/Ga<sub>N</sub> MIS-HFET on Si with High Output Power over 10W”, IEICE Transactions on Electronics Vol.E95-C No.8, pp.1327-1331, 2012
- [3.13] 酒井啓之、黒田正行、根来昇、村田智洋、永井秀一、西嶋将明、按田義治、上田哲三、田中毅、「準ミリ波長距離伝送に向けた低コスト基板上 GaN デバイス」電子情報通信学会技術研究報告(信学技報)ED, 電子デバイス 110(342), 53-58, 2010-12-09
- [3.14] 酒井啓之、黒田正行、根来昇、村田智洋、永井秀一、西嶋将明、按田義治、上田哲三、田中毅、「低コスト基板を用いたミリ波帯 GaN 送受信デバイス」, 2011 Microwave Workshops and Exhibition (MWE2011), WS01-02, 2011
- [3.15] D. Ducatteau, A. Minko, V. Hoël, E. Morvan, E. Delos, B. Grimbert, H. Lahreche, P. Bove, C. Gaquière, J. C. De Jaeger, and S. Delage, “Output Power Density of 5.1/mm at 18 GHz with an AlGa<sub>N</sub>/Ga<sub>N</sub> HEMT on Si Substrate”, IEEE Electron Device Lett., vol. 27, No. 1, pp. 7-9, Jan. 2006.
- [3.16] S. Yoshida, M. Tanomura, Y. Murase, K. Yamanoguchi, K. Ota, K. Matsunaga, and H. Shimawaki, “A 76 GHz Ga<sub>N</sub>-on-Silicon Power Amplifier for Automotive Radar Systems,” IEEE MTT-S Intl. Microwaves Symp., 2009, pp. 665-668.
- [3.17] D. M. Fanning, L. C. Witkowski, C. Lee, D. C. Dumka, H. Q. Tserng, P. Saunier, W. Gaiowski, E. L. Piner, K. J. Linthicum and J. W. Johnson, “25 W X-band Ga<sub>N</sub> on Si MMIC”, GaAs MANTECH Conf Proc., pp. 227-230, 2005.

## 第4章 フリップチップ実装を用いた新概念のミリ波 IC

### 4.1 はじめに

第2章、第3章で、化合物半導体を用いたミリ波デバイス技術とその集積化について述べた。化合物半導体のもつ優れた材料性能により、ミリ波という高い周波数帯でも十分な性能を発揮するトランジスタを工業的にも安定に低コストで実現するデバイス・プロセス技術についても述べた。さらに、これらの優れた性能をもつ化合物半導体デバイスを集積化し、実際ミリ波の装置やシステムの具現化手段として、周辺部品も合わせて半導体基板にモノリシックに集積化する MMIC 技術についても述べた。半導体プロセスの微細化技術を用いて極めて正確に、かつ一体化した回路が形成できることを GaAsHFET、GaAsHBT それぞれのファウンダリプロセスで実証し、実際に近距離車載レーダモジュールのプロトタイプを作製した。GaN では受信送信と回路の特徴に合わせた基板を使つての集積化技術を開発、独自のプロセス技術によって MMIC を実現し、新しいパッケージ技術を提案してミリ波フロントエンド回路の集積化を実証した。

このように、化合物半導体を用いた MMIC 技術は、性能面、サイズ面ではミリ波回路の集積化に大きな貢献をしたが、ミリ波システムを民生レベルで実用化し普及させるには低コスト化という大きな課題が残っている。まず第1に高価なヘテロ接合基板の使用がある。携帯電話等の普及に伴ってマイクロ波での GaAs MMIC が広く普及したこともあり、GaAs 基板も大口径化し価格も以前に比べてずっと安くはなっているが、ミリ波 MMIC の場合、前述したように超高周波 HBT や HFET を実現するのに GaAs 基板上に異種の半導体をエピ成長した高価なヘテロ接合基板が必要になる。GaN についても同様である。GaN に比べれば安価であるサファイアや Si の低コスト基板も、GaN デバイスを実現するための GaN 膜のエピタキシャル成長にかかる費用は決して安くはない。比較的面積の大きな受動素子や分布定数線路の高価なヘテロ接合基板上への集積化は、チップサイズを増加させ、チップコストの大きな増大を招く。さらに、GaAs の半絶縁性基板やサファイアの絶縁基板を利用して MMIC 上にマイクロストリップ線路を形成する場合、裏面メタライズやバイアホール形成など、複雑なプロセスが余分に必要になり、この工程がまたチップコストを増加させる。

また、MMIC は基本的に特殊用途向けに周辺回路を一体化するのでカスタム色が強く、同じトランジスタを用いる場合でも用途に合わせてすべてのマスクを変更する必要があり、汎用性に乏しい。さらにすべて一体化しているために部分検査が困難であり、スクリーニング(事前検査)により歩留まり向上が図れないという課題もある。

その他にも設計の自由度が小さいという課題もある。ミリ波帯ではデバイスの周波数特性に余裕がなく、デバイスの極限性能を引き出す設計が必要になる。たとえば、HFET は低雑音特性に優れるため LNA の初段増幅器に適しているが、負荷駆動能力では HBT

の方が優れ、高利得や高出力回路を構成するには HBT を利用したい。デバイスの極限性能を用いた設計ではそれぞれの回路に適した極限のデバイスを利用したいところであるが、HFET と HBT ではヘテロ接合基板の設計が異なるため、同じ MMIC に同時に両方のトランジスタを作製することができない。

本章では、これらの課題を解決するために筆者が考案した、フリップチップ実装技術と Si 基板上のマイクロストリップ線路を用いた新しいコンセプトのミリ波 IC –MFIC(Millimeter-wave Flip-Chip IC)について述べる。MFIC は能動素子にだけ高性能の化合物半導体を用い、受動素子や線路は安価な Si 基板上形成するいわばハイブリッド IC で、化合物半導体 MMIC の課題を解決し、高性能と低コストの両立を実現する技術である。

## 4.2 MFIC の構造と特長

図 4.1 に提案する MFIC(Millimeter-wave Flip-Chip IC)<sup>[4.1-4.10]</sup>の断面構造図を示す。Si 等の低コストの半導体基板上に半導体プロセスで薄膜状のマイクロストリップ線路を形成し、これにヘテロ接合トランジスタなどの能動素子をフリップチップ実装した構成となっている。このような構成とすることで、従来の MMIC に比べて多くの特長が期待できる。

第一に高価なヘテロ接合基板でなく安価な Si 基板上に受動回路や線路を形成するので容易に低コスト化が図れる。しかも、受動回路や線路の作製には半導体プロセスを用いるのでその精度は MMIC と同等である。

第二に HFET と HBT といった異種のトランジスタも同一基板に集積できるため、MMIC に比べて設計自由度が大きく広がる。また同じトランジスタを用いても Si 基板上の受動回路を変更することで異なる用途の IC を設計することができるため、トランジスタの汎用性を飛躍的に高めることができる。

第三に、受動素子と能動素子を別々に検査できるので、実装前の検査(スクリーニング)によって容易に歩留まり向上が図れる。

新しいコンセプトであるこの MFIC を実現するには、主に次の 3 つの技術が鍵となる。

- ① Si 基板上のマイクロストリップ線路形成技術
- ② ミリ波帯での低損失フリップチップ実装技術
- ③ MFIC 設計技術 (実装部を含めたモデリング等)

次節以降では、これらの技術について詳しく述べていく。

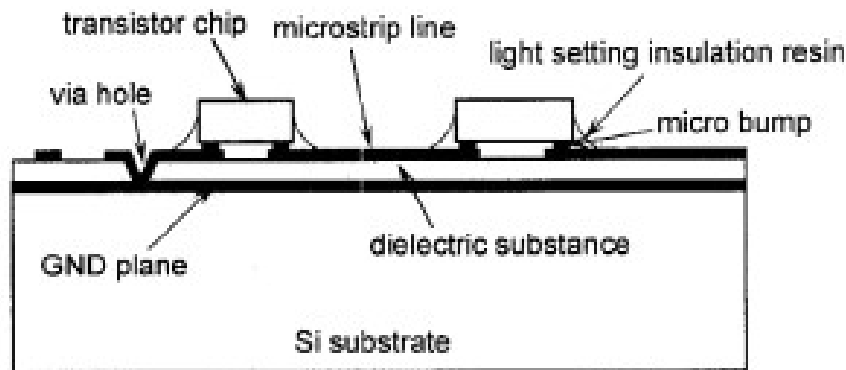


図 4.1 MFIC(Millimeter-wave Flip-Chip IC)の断面構造図

### 4.3 Si 基板上の薄膜マイクロストリップ線路

マイクロストリップ線路は高ドーパの Si 基板の上に半導体プロセスのバックエンドプロセスを用いて形成する。表 4.1 に実際に試作したマイクロストリップ線路の構造を示す。損失の小さな線路を実現するには比較的厚くかつ平坦な誘電体膜の形成が重要となる。そこで、Si-LSI の配線工程で実績のある TEOS p-CVD (Tetraethoxysilane plasma Chemical Vapor Deposition) プロセスを用い、高品質で比較的厚い SiO<sub>2</sub> 膜を実現した。

表 4.1 マイクロストリップ線路の構造

レイヤー	材料	膜厚
マイクロストリップ線 (信号線)	Au (メッキ)	3 $\mu$ m
	Pd (蒸着)	100nm
	Ti (蒸着)	150nm
誘電体	SiO <sub>2</sub> (TEOS p-CVD)	9 $\mu$ m
GNDプレーン	AlSiCu (スパッタ)	1 $\mu$ m
基板	n <sup>+</sup> -Si ( $\rho=0.08\Omega\text{cm}$ )	—

図 4.2 に試作したマイクロストリップ線路の断面 SEM 写真を示す。図 4.3 にウエハプローブを用いてオンウエハで測定した 50 $\Omega$  線路(幅 18 $\mu$ m、長さ 10mm)の挿入損失の周波数特性を示す。測定結果は市販のシミュレータでの計算結果とよく一致しており、60GHz での損失は 0.55dB/mm であった。

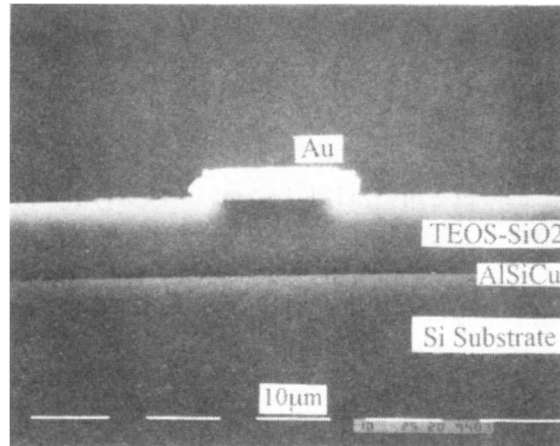


図 4.2 Si 基板上の薄膜マイクロストリップ線路の断面 SEM 写真

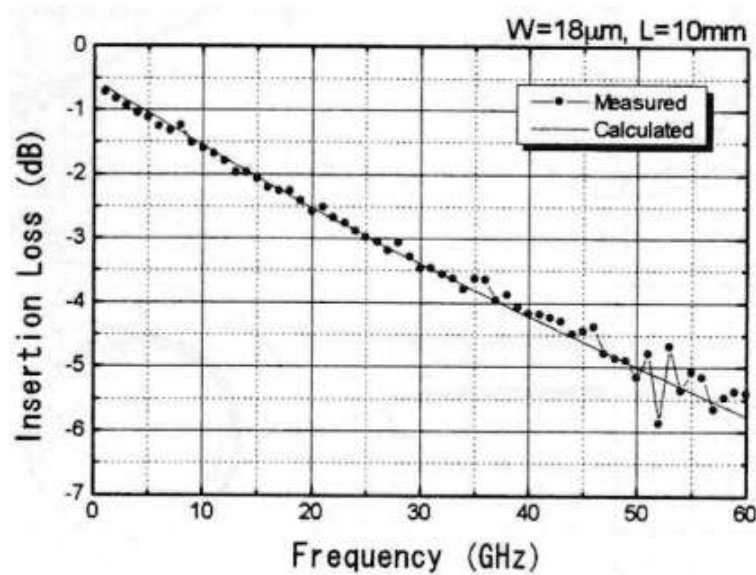


図 4.3 基板上的の薄膜マイクロストリップ線路の挿入損失の周波数特性

#### 4.4 マイクロバンプボンディング(MBB)実装技術

フリップチップ実装は MFIC を実現する上でもっとも重要な技術である。筆者らはミリ波帯での寄生効果を極力低減するため、多ピンの Si-LSI の実装用に開発された MBB(Micro Bump Bonding)技術<sup>[4.11]</sup>を MFIC に応用した。

MBB 技術はマイクロバンプと呼ばれる小さな金バンプを挟んで光硬化型樹脂の収縮力で基板の上にチップを固定するもので、通常のはんだ等を用いたフリップチップ実装技

術に比べて、バンプサイズが非常に小さいのが特徴である。図 4.4 に MBB の簡単な実装フロー図を示す。Au 等からなるマイクロバンプを有するチップをあらかじめ光硬化型樹脂を塗布した基板に加圧接続し、UV 照射により樹脂を硬化させチップを固定する。実装後のバンプの大きさは直径で 40~50 $\mu\text{m}$ 、高さはわずか 1~2 $\mu\text{m}$  であり、バンプによる寄生インダクタンスを大きく低減できる。また、図 4.4 で示したようにこの実装工程は熱工程を必要としないので、熱に弱い化合物半導体チップの実装に適している。実装の位置合わせ精度も  $3\sigma$  で 5.5 $\mu\text{m}$ (50 $\mu\text{m}$  ピッチ実装時)と、ミリ波領域での実装精度としても十分である。

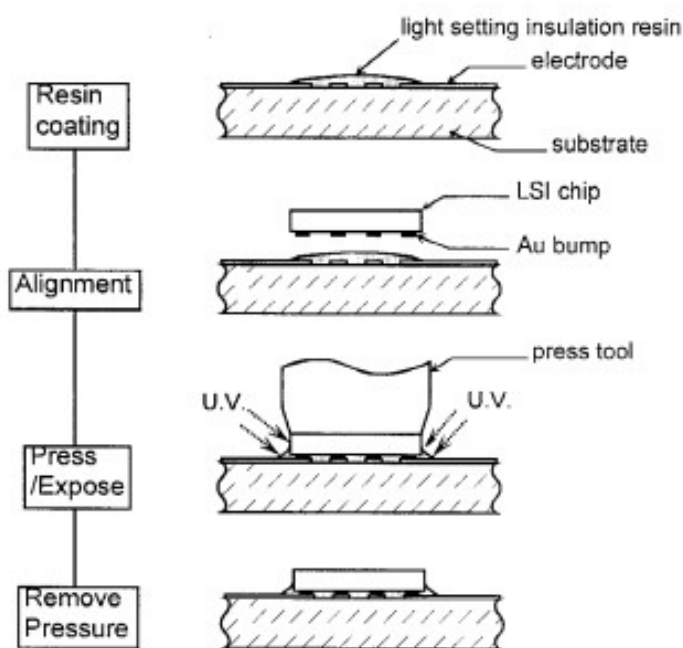


図 4.4 MBB(Micro Bump Bonding) の実装フロー図

ミリ波帯での MBB 部の影響は電磁界解析を用いて見積もった。図 4.5 に 解析に用いた MBB 部のモデルと等価回路を示す。マイクロバンプを円筒形の完全導体と仮定し、基板のパッド端から、チップの反対側のパッド端までの 2 ポートネットワークの S パラメータを計算した。計算に用いたバンプのサイズは 70 $\mu\text{m}$  角で、その他のディメンジョンは表 4.1 の値を用いた。計算には市販の汎用電磁解析ソフト(電磁界シミュレータ)を用いた。20~60GHz での計算結果を図 4.5(b)に示した等価回路による計算結果と合わせて図 4.6 に示す。両者は非常によく一致しており、MBB 部は 60GHz までこの等価回路モデルで十分記述できると考えられる。フィッティングにより得られた等価回路のパラメータは  $C_1=C_2=25\text{pF}$ 、 $C_3=100\text{pF}$  に対して  $L=5\text{pH}$  であり、MBB 部はパッド電極による容量成分が支配的である。

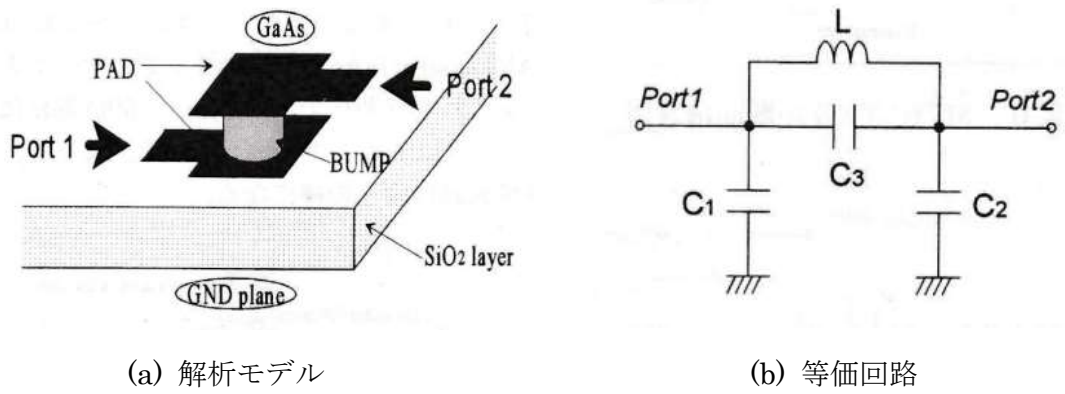


図 4.5 MBB の解析モデルと等価回路

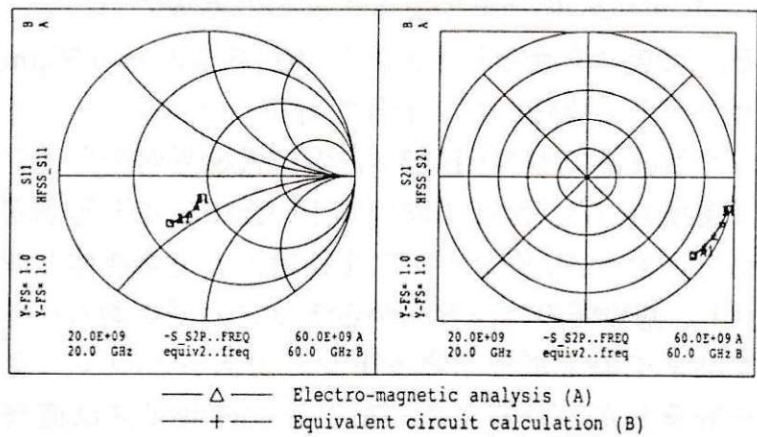


図 4.6 MBB 部の S パラメータ(計算値)

この MBB 部のモデルの有効性を確かめるために実際に Si 基板上のマイクロストリップ線路に HFET チップを MBB 実装した簡単な MFIC の TEG (Test Element Group) を試作し、ミリ波帯での特性を評価した。図 4.7 にこの MFIC-TEG の断面構造図を示す。ゲート長  $0.2\mu\text{m}$  の AlGaAs/InGaAs HFET チップのゲートパッド、ドレインパッドはそれぞれ MBB 実装によって Si 基板上の長さ  $675\mu\text{m}$  の  $50\Omega$  線路に接続され、ソースパッドはチップ近傍で Si 基板上の GND プレーンに接地された GND パターンと接続されている。したがってこの MFIC-TEG の等価回路は図 4.8 で表すことができる。



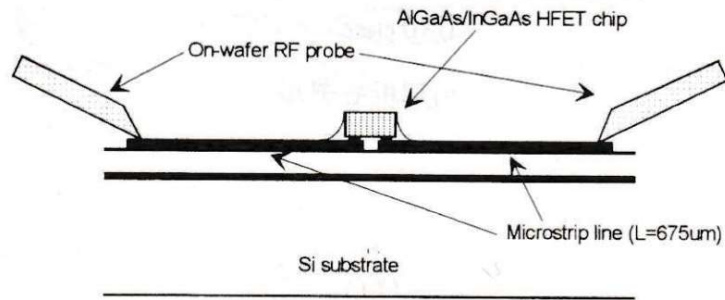


図 4.7 MFIC-TEG の断面構造図

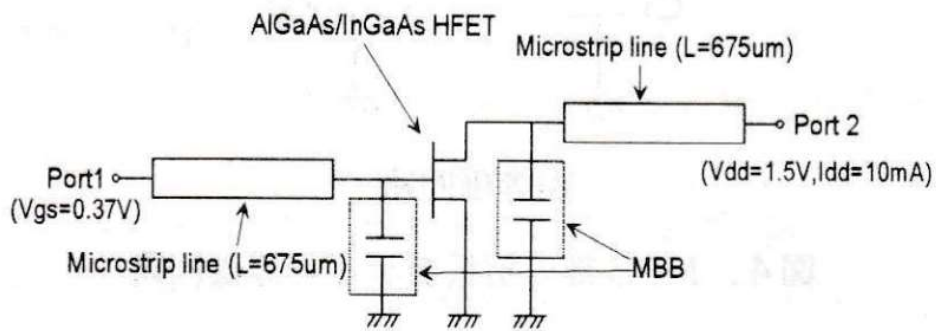


図 4.8 MFIC-TEG の等価回路図

この MFIC-TEG の S パラメータをネットワーク・アナライザと高周波プローブを用いてオンウエハで測定し、図 4.8 の等価回路によるシミュレーション結果と比較した。回路シミュレーションに際しマイクロストリップ線路のパラメータは図 4.3 の計算と同じ値を用い、HFET については予めオンウエハで測定したチップの S パラメータを直接代入した。MBB 部には図 4.5(b) の等価回路モデルを用いた。

結果を図 4.9 に示す。□印が実測値、+印がシミュレーション値である。両者は 60GHz まで非常に良い一致を示しており、本モデルを用いることで、MBB 部の影響は少なくとも 60GHz まで十分正確に見積もれることがわかる。

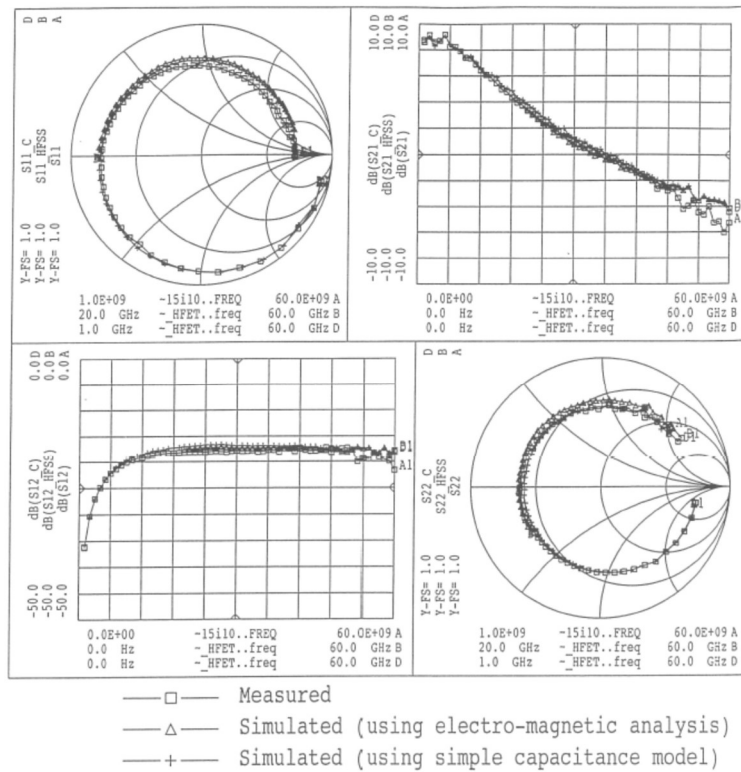


図 4.9 MFIC-TEG の S パラメータの実測値と計算値の比較

#### 4.5 MFIC アンプの設計と試作

これらの結果をもとに実際にいくつかの K 帯 MFIC アンプの設計・評価を行った。図 4.10 は、前述の HFET チップを能動素子に用いて設計した一段アンプの回路図を示している。ソース接地構成とし、先端開放スタブにより入出力整合回路を形成した。マイクロストリップ線路の損失が比較的大きいので低インピーダンス線路を用いることで整合回路の損失低減を図っている。設計にはオンウエハで測定した HFET チップの S パラメータを用い、MBB 部には前節で述べた等価回路モデルを使用した。

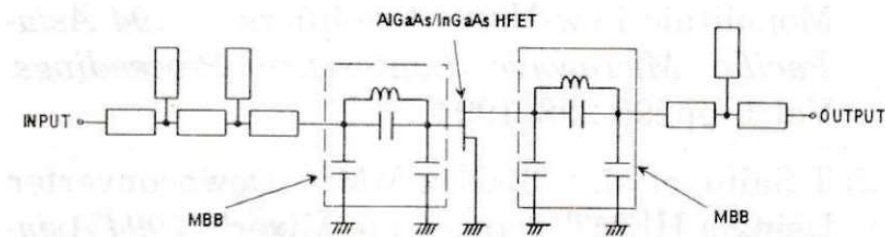


図 4.10 HFET チップを用いた MFIC アンプの回路図

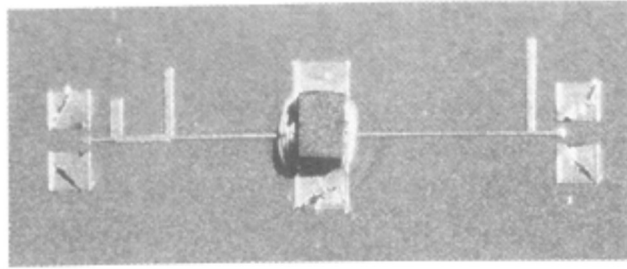


図 4.11 試作した MFIC アンプの写真

図 4.11 に試作した MFIC の写真を示す。HFET のチップサイズは  $0.4\text{mm} \times 0.5\text{mm}$  で MFIC 全体の大きさは測定用パッドを含めて  $4.5\text{mm} \times 1.2\text{mm}$  である。図 4.12 にこの MFIC アンプの周波数特性のオンウエハ測定結果を示す。入出力の反射特性、伝達特性ともに設計値とよく一致しており、 $20\text{GHz}$  帯において設計通りの性能を示しているのがわかる。

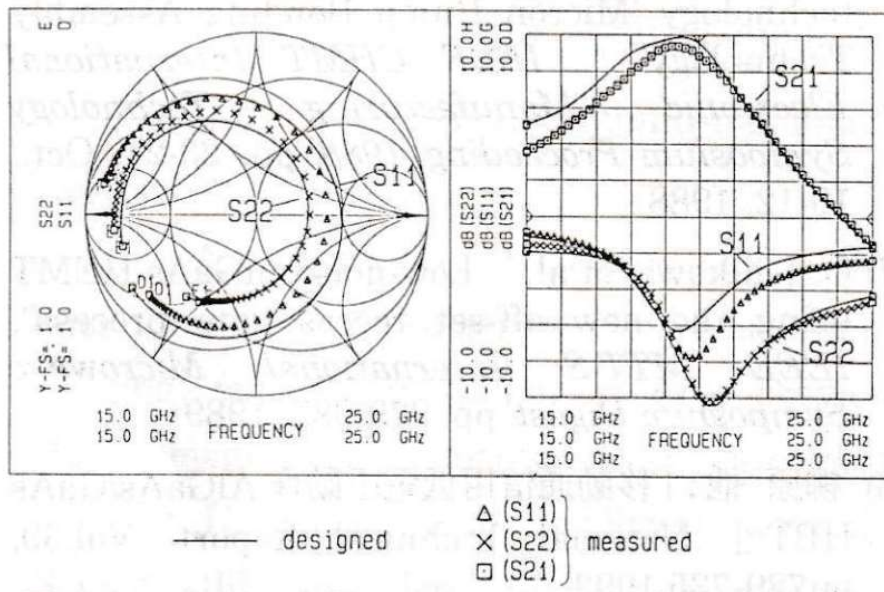


図 4.12 HFET を用いた MFIC アンプの周波数特性

図 4.13 にオンウエハで測定した同アンプの NF 特性を示す。  $20\text{GHz}$  で  $\text{NF}=2.7\text{dB}$  が得られており、Si 基板上的マイクロストリップ線路や MBB 部の損失の影響を含んでもリーズナブルな特性が得られている。

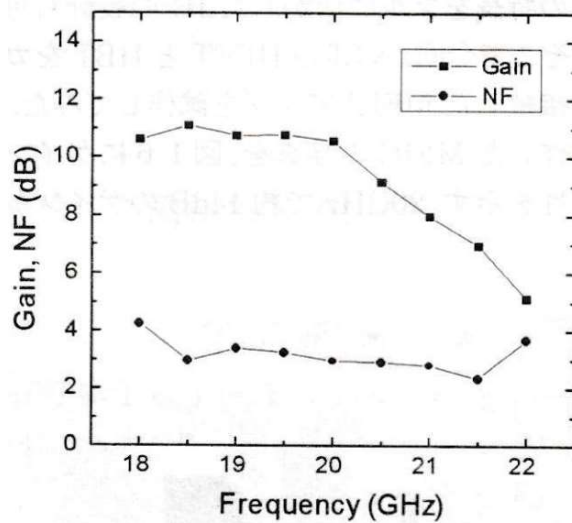


図 4.13 HFET を用いた MFIC アンプの NF 特性

同様に、能動素子として AlGaAs/GaAs HBT を用いた MFIC アンプも設計・試作した。図 4.14 に MFIC の写真、図 4.15 にオンウエハで測定した MFIC アンプの周波数特性を示す。HBT を用いた場合でも HFET MFIC と同様、設計値と実測値はよく一致しており、フリップチップ実装の影響を含め、MFIC は十分正確に設計できる IC であると言える。

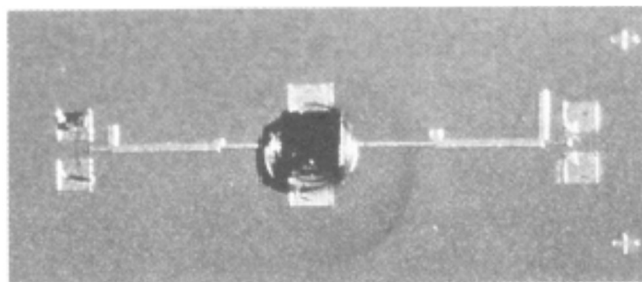


図 4.14 HBT を用いた MFIC アンプの写真

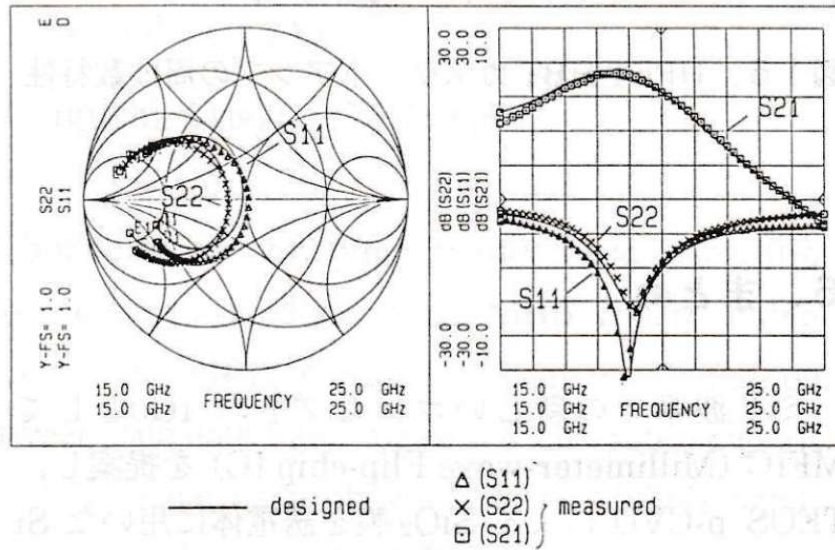


図 4.15 HBT を用いた MFIC アンプの周波数特性

はじめに述べたように、MFIC は異なる種類のトランジスタを同時に集積化することができる。したがって、例えば初段に低雑音特性に優れた HFET、後段に高利得の HBT を用いた多段アンプといった、各トランジスタの性能をフルに活かした IC の設計も可能である。そこで実際に、前述の HFET と HBT をカスケードに接続した MFIC アンプを設計・試作してみた。図 4.16 に MFIC の写真を、図 4.17 に MFIC の利得の高周波特性の測定結果を示す。20GHz で約 14dB の利得が得られた。

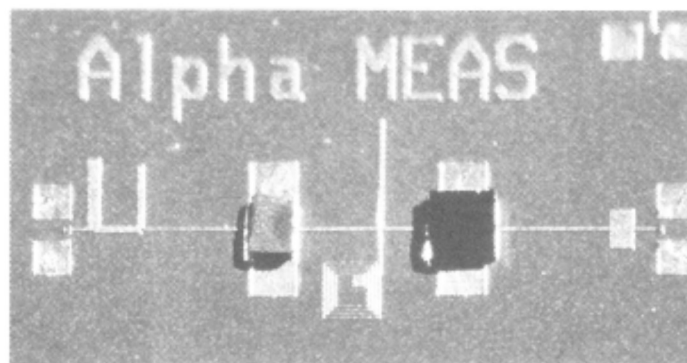


図 4.16 HFET/HBT を用いた MFIC カスケードアンプの写真

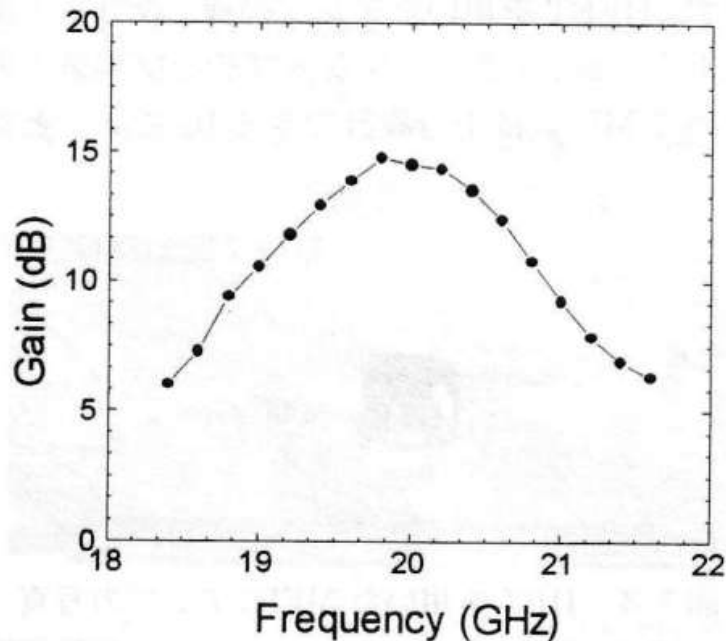


図 4.17 HFET/HBT カスケードアンプの周波数特性

#### 4.6 BCB 誘電体を用いた低損失 MFIC

本章では、Si 基板上の薄膜マイクロストリップ線路と MBB によるフリップチップ実装を用いた新しいコンセプトの MFIC を提案し、実際にいくつかの MFIC アンプを設計試作し、低コストで高性能なミリ波 IC が実現できることを示してきた。しかしながら、これらのプロトタイプ of MFIC には解決すべき課題も残っている。

第 1 はマイクロストリップ線路の損失である。MFIC では薄膜のマイクロストリップ線路を用いているため線路幅が細く、線路の挿入損失がやや大きい。第 2 は MBB 部の詳細なモデル化と精度の向上である。マイクロバンプのインダクタンスは確かに小さいが、パッド電極の容量成分は無視できない。特に 40GHz を超えるような高い周波数帯では MBB 実装部の正確なモデル化が新たな課題となる。

本節ではこれらの課題を解決するために新たに BCB(Benzocyclobuten)誘電体を導入した、MFIC の進化形<sup>[4.12-4.23]</sup>について述べる。なお、筆者らが初めて検討したこの Si 基板上の BCB 誘電体を用いた配線技術は、後のミリ波 CMOS といった、Si の高周波集積回路へと大きく発展していったことを付記しておく。

#### 4.6.1 BCB を用いたマイクロストリップ線路

マイクロストリップ線路の損失を低減するには線路導体の導体損失を低減するのが効果的であるが、ミリ波のような高い周波数帯では表皮効果が顕著になるため導体膜の厚膜化はあまり効果的でない。したがって導体損失を低減するには導体の線路幅を大きくする工夫が必要となる。線路の特性インピーダンスを一定に保ったまま線路幅を広げるには、誘電体のさらなる厚膜化が必要となる。前述した p-CVD による  $\text{SiO}_2$  成膜はデポレートが比較的高く平坦性に優れているのが特長であるが、それでも  $10\mu\text{m}$  を超える厚膜化は容易ではない。そこで、Cu 配線などの新しい CMOS LSI のバックエンドプロセス用に関が進められていた低ストレスで厚膜化が可能な誘電体である BCB (Benzocyclobuten) に着目し、MFIC のマイクロストリップ配線への導入を考えた。BCB はスピコートとベーキングという簡単なプロセスで  $10\mu\text{m}$  オーダーの誘電体薄膜の形成が可能で、通常のポリイミドに比べて耐湿性に優れるなどの特長をもつ。

図 4.18 に試作した Si 基板上的 BCB を用いたマイクロストリップ線路の写真を示す。BCB 原料と成膜条件の最適化により、一度のスピコートで  $26\mu\text{m}$  の膜厚を実現した。図 4.19 に試作した特性インピーダンス  $50\Omega$ 、長さ  $10\text{mm}$  のマイクロストリップ線路の挿入損失を、従来の  $\text{SiO}_2$  膜を用いた線路と比較して示す。BCB を用いた新しいマイクロストリップ線路では損失が大幅に低減されているのがわかる。表 4.2 に BCB と  $\text{SiO}_2$  を用いたマイクロストリップ線路の特性をまとめて比較した。BCB は材料の誘電体損質 ( $\tan\delta$ ) が TEOS  $\text{SiO}_2$  膜に比べて一桁小さい。また、BCB は  $26\mu\text{m}$  もの厚膜化を実現したため、 $50\Omega$  線路の線路幅が  $\text{SiO}_2$  膜 ( $9\mu\text{m}$ ) のときの  $16\mu\text{m}$  から  $70\mu\text{m}$  にまで広がり、導体損が大きく低減した。結果としてマイクロストリップ線路の損失は従来の 3 分の 1 以下に低減できた。

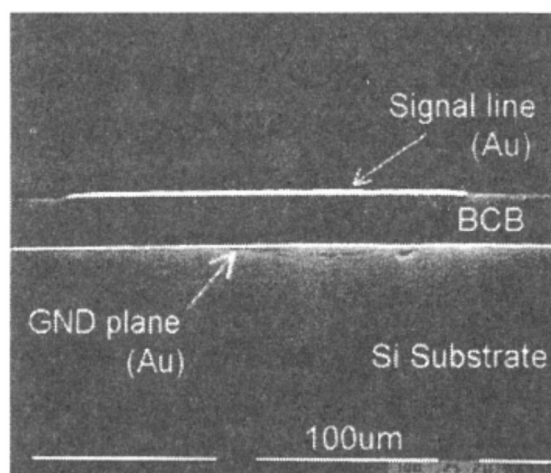


図 4.18 BCB を用いたマイクロストリップ線路の断面 SEM 写真



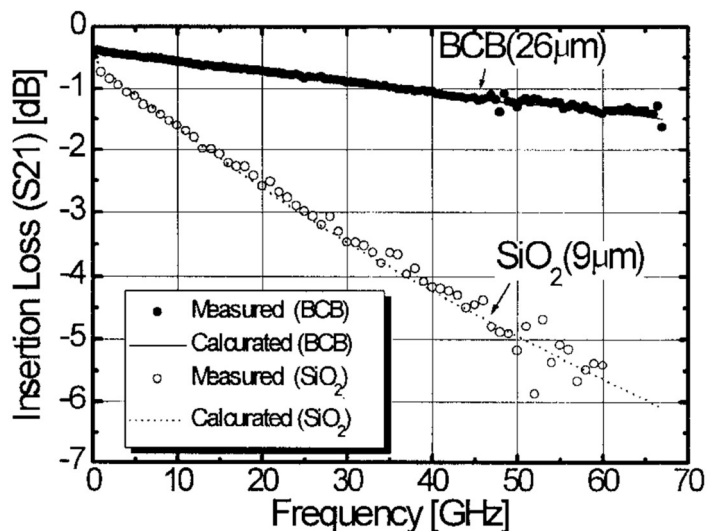


図 4.19 50Ωマイクロストリップ線路(L=10mm)の挿入損失の周波数特性

表 4.2 BCB と SiO<sub>2</sub> 及びこれらを用いたマイクロストリップ線路の特性の比較

誘電体	BCB	SiO <sub>2</sub>
成膜プロセス	スピナーコーティング	p-CVD
膜厚	26μm	9μm
比誘電率	2.7	4
tan-δ	0.004	0.03
50Ω線路の幅	70μm	16μm
50Ω線路の損失	0.5dB/λ	1.6dB/λ

#### 4.6.2 BCB 上の MBB 実装

BCB 誘電体の導入はマイクロストリップ線路の損失低減だけでなく、もう一つの課題であった MFIC の設計精度向上にも大変効果的である。

MBB はバンプの高さが非常に低いために寄生インダクタ成分が無視できるほどに小さいことを 4.4 節で述べた。しかし、バンプの土台であるパッド部は、検査等の都合も考えると 60-80μm 角程度は必要である。これに対し、従来の SiO<sub>2</sub> 膜を用いた MFIC では 50Ω 線路の線路幅が 16μm と細いため、回路構成によっては伝送線路とパッド部の接続部でインピーダンスの不連続が生じ、この不連続部のモデル化が課題であった。ところが前述したように誘電体に BCB を用いることで 50Ω 線路の線路幅がパッド部とほぼ同程度となることから、パッド部の影響が大きく低減されることが期待できる。

この効果を確認するために、4.4 節で述べたのと同様の MBB 部の電磁界解析を行っ



た。図 4.20 に解析に用いた MBB 部のモデルを示す。簡単のためにマイクロバンプは底面積  $50 \times 50 \mu\text{m}^2$ 、高さ  $1 \mu\text{m}$  の四角柱とし、基板上及びチップ側のパッド( $80 \mu\text{m}$  角)にそれぞれ長さ  $40 \mu\text{m}$  の  $50 \Omega$  線路を付加して基板側の線路端からチップ側の線路端までの 2 ポートネットワークの S パラメータを計算した。計算には 4.4 節と同じく市販の汎用電磁解析ソフト(電磁界シミュレータ)を用いた。計算結果を図 4.21 に示す。誘電体に  $\text{SiO}_2$  を用いた従来の MFIC ではパッド部でのインピーダンス不連続の影響で、周波数が高くなるにつれて入力インピーダンス( $S_{11}$ )が  $50 \Omega$  から大きくずれてくるが、BCB を用いた場合は、 $90 \text{GHz}$  程度まではほとんど  $50 \Omega$  近傍にとどまっている。このことは、BCB 誘電体を用いることで少なくとも  $90 \text{GHz}$  程度まで MBB 実装部の影響はほとんど無視できることを示しており、特別なモデル化がなくとも、容易に設計精度が向上できる。

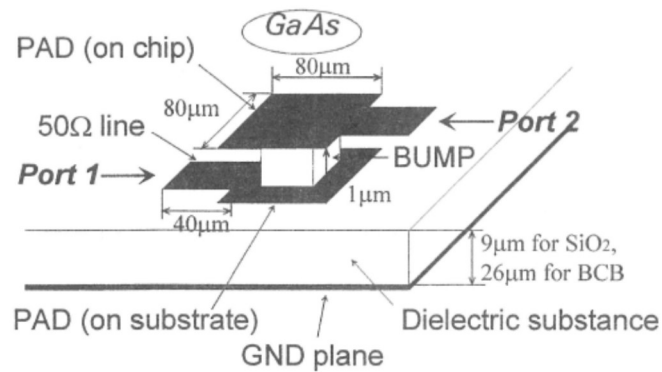


図 4.20 MBB 部の電磁解析モデル図

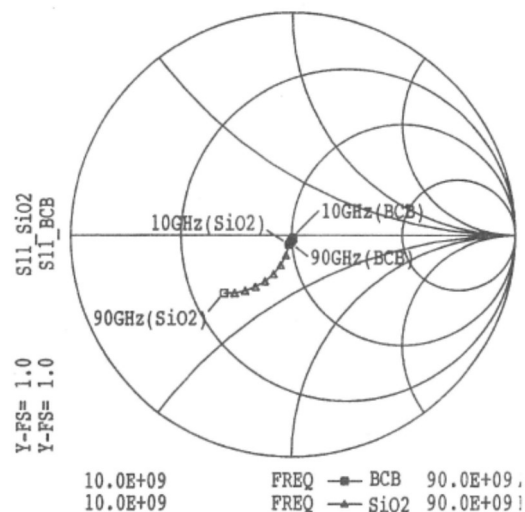


図 4.21 MBB 部の S パラメータ(計算値)

BCB を用いた MFIC の最後の課題は、比較的柔らかい BCB 誘電体上への MBB 実装プロセスである。これについてはバンプのメッキ条件を最適化し、図 4.4 のフロー図中に示したチップを基板に加圧接続するときの圧力をコントロールすることで実現した。

図 4.22 に実際に BCB 上に MBB 実装した MFIC の断面 SEM 写真を示す。BCB の変形もなく、また MFIC 基板上に良好なビアホール（Via Hole）のコンタクトが得られているのがわかる。

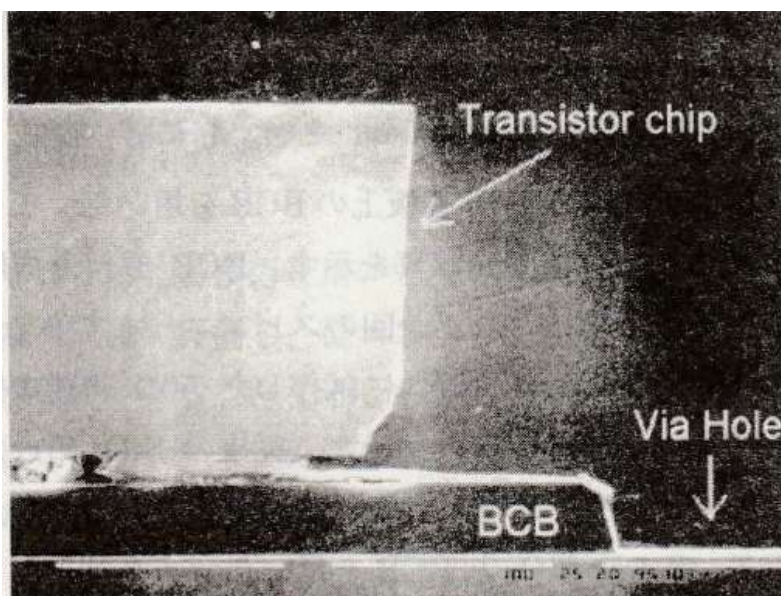


図 4.22 BCB 基板上的 MBB 実装の断面 SEM 写真

#### 4.6.3 BCB を用いた MFIC の設計・試作

この BCB 誘電体によるマイクロストリップ線路を用いて、4.5 節で述べたものよりさらに高い周波数の MFIC を実際に設計・試作した。

図 4.23 に試作した 50GHz 帯 MFIC アンプの写真を示す。50GHz での動作を実現するため、能動素子には、第 2 章 2.3 節で述べた高  $f_{\max}$  の AlGaAs/GaAs HBT を用いた。入出力の整合回路のみ BCB を用いたマイクロストリップ線路で構成し、バイアス回路は外付けとしている。図 4.24 にこの MFIC の周波数特性を示す。1 段アンプながら 50GHz で 8dB の小信号利得が得られており、周波数特性は設計値とよく一致している。

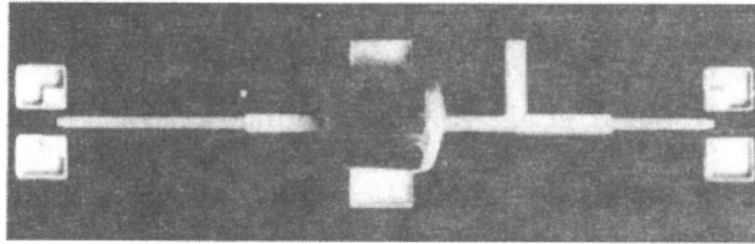


図 4.23 HBT を用いた 50GHz 帯 MFIC アンプの写真

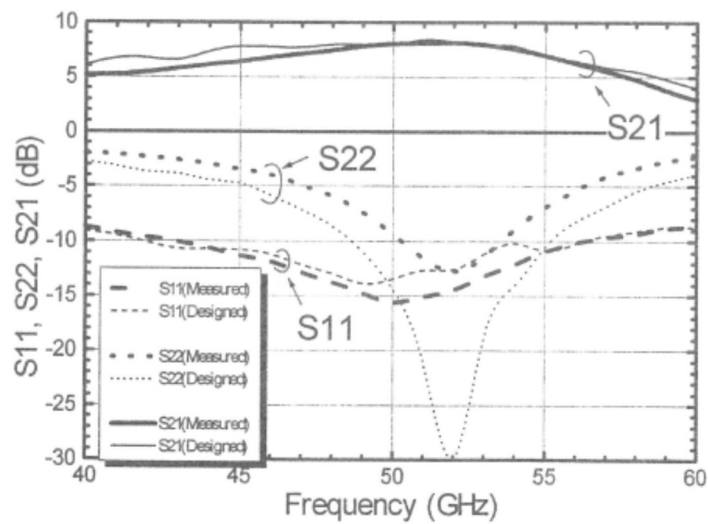


図 4.24 HBT を用いた 50GHz 帯 MFIC アンプの周波数特性

BCB を用いた MFIC の設計精度を確認するために、能動素子に HFET を用いた MFIC も同時に設計試作した。HFET チップには第 2 章 2.2 節で述べた AlGaAs/InGaAs HFET を用いている。MFIC の写真を図 4.25 に、同 IC の周波数特性の測定結果を図 4.26 に示す。HBT MFIC と同様、設計値と実測値は良く一致している。

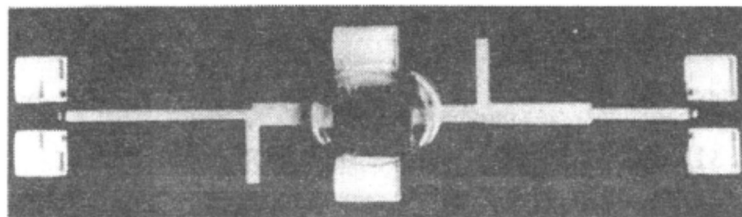


図 4.25 HFET を用いた 50GHz 帯 MFIC アンプの写真

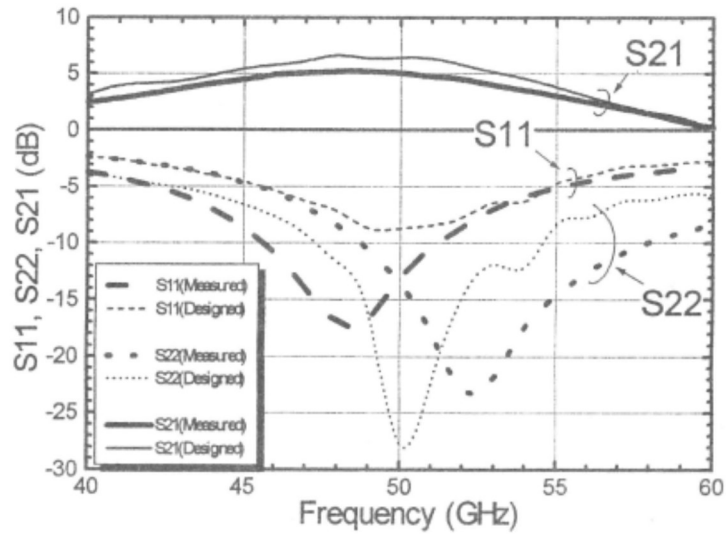


図 4.26 HFET を用いた 50GHz 帯 MFIC アンプの周波数特性

以上のことから、BCB を用いた新しい MFIC は 50GHz 帯においても十分高精度に設計できる IC であることが確認できた。

さらに、異種デバイス混載が自由であるという MFIC の特長を活かした MFIC の設計・試作も行った。図 4.27 に設計した 30GHz ダウンコンバータ IC の回路ブロック図を示す。LNA には低雑音特性に優れた HFET を、LO アンプには高利得の HBT を用い、ミキサは低歪特性を重視して HFET をしきい値電圧以下のパッシブなバイアス条件で使用し、LO 信号はドラインから注入する回路構成とした。さらに実用性の高い IC とするために、直流素子用のキャパシタや不要発信防止のバイアス回路も、整合回路に加えて集積化した。

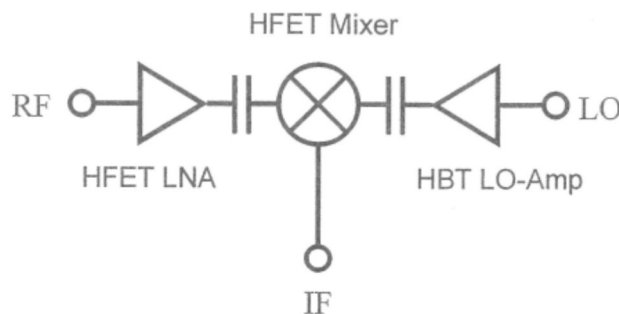


図 4.27 30GHz 帯ダウンコンバータ回路のブロック図

図 4.28 に試作したダウンコンバータ MFIC の写真を示す。層間絶縁膜に SiN を用いた MIM 型キャパシタ素子や、NiCr を用いた薄膜抵抗素子も BCB 上に半導体プロセスで形成した。このダウンコンバータ MFIC の周波数特性を図 4.29 に示す。変換利得は約 2dB で、NF は 6dB であった。図 4.30 に同 MFIC の LO 入力特性を示す。高利得 HBT による LO アンプの内蔵により、比較的低い LO レベルでも良好な変換特性が得られた。

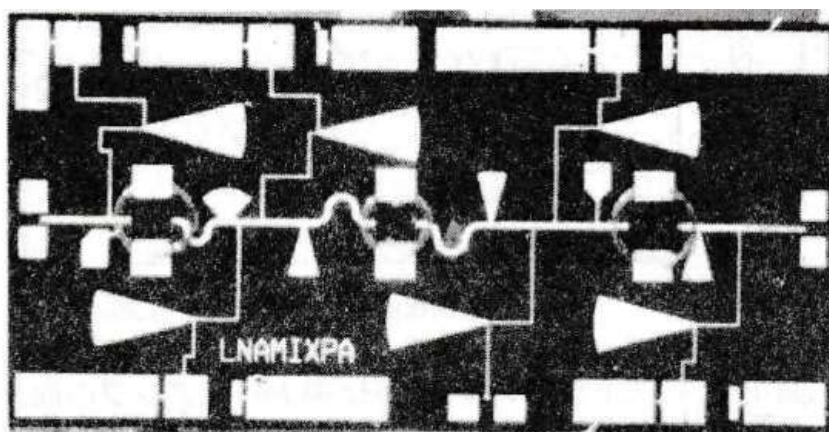


図 4.28 30GHz 帯ダウンコンバータ MFIC の写真

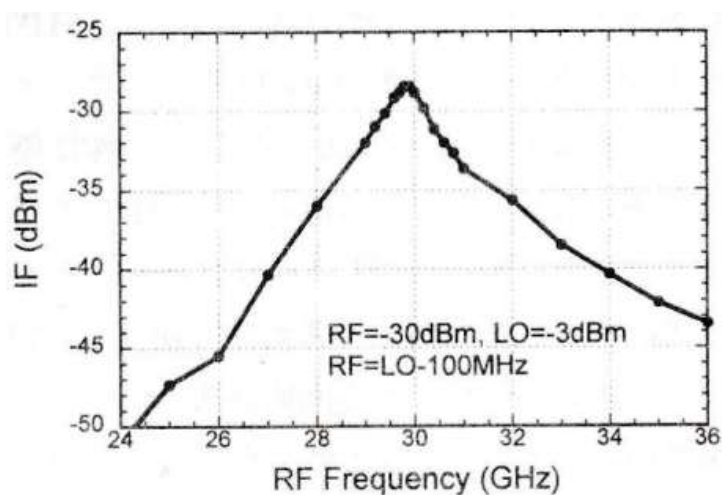


図 4.29 30GHz 帯ダウンコンバータ MFIC の周波数特性

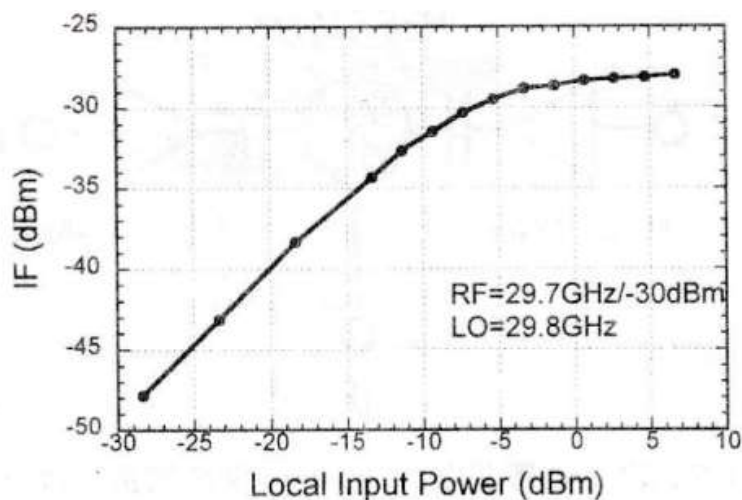


図 4.30 30GHz 帯ダウンコンバータ MFIC の LO 特性

#### 4.7 まとめ

ミリ波 IC の高性能化と低コスト化を同時に実現する新しいコンセプトのミリ波 IC –MFIC– を提案した。

MFIC 実現の鍵となる、Si 基板上のマイクロストリップ線路形成技術や、MBB フリップチップ実装技術について述べ、同技術を用いて 20GHz 帯の MFIC を実際に設計・試作し、その基本動作を確認した。

さらに BCB 誘電体帯を用いた MFIC の改良技術について述べ、同技術による 50GHz 帯 MFIC の設計・試作を通して、MFIC が 50GHz 帯においても十分高精度に設計可能であることを実証した。

また異種半導体トランジスタチップの同一基板への集積化など、MFIC ならではの特長についても実証した。

MFIC はその設計自由度の高さと発展性でミリ波デバイス低コスト化のブレークスルーを実現し、ミリ波応用システム促進への大きな足がかりとなることが期待される。

ここで紹介した Si 基板上の高周波線路技術は、ミリ波 CMOS 等、最新の Si 高周波集積回路技術の進展につながっていく。詳細については第 5 章で述べる。

#### 第4章の参考文献

- [4.1] Hiroyuki Sakai, Yorito Ota, Kaoru Inoue, Takayuki Yoshida, Kazuaki Takahashi, Suguru Fujita and Morikazu Sagawa, "A Novel Millimeter-wave IC on Si Substrate using Flip-chip Bonding Technology", 1994 IEEE MTT-S International Microwave Symposium Digest, Vol.3, pp.1763-1766, 1994
- [4.2] Hiroyuki Sakai, Osamu Morikawa, Takayuki Yoshida, Kaoru Inoue, Kazuaki Takahashi, Suguru Fujita and Morikazu Sagawa, "A New Millimeter-wave Flip-chip IC on Si Substrate", 1994 Asia-Pacific Microwave Conference Proceedings, Vol.1, pp.291-294, 1994
- [4.3] T. Yoshida, K. Hatada, H. Sakai, Y. Ota, K. Inoue, K. Takahashi, S. Fujita and M. Sagawa, "A Novel Millimeter-wave IC on Si Substrate using MBB Technology", IEEE The 2nd VLSI Packaging Workshop of Japan, 1994.
- [4.4] Hiroyuki Sakai, Yorito Ota, Kaoru Inoue, Takayuki Yoshida, Kazuaki Takahashi, Suguru Fujita and Morikazu Sagawa, "A Novel Millimeter-wave IC on Si Substrate using Flip-chip Bonding Technology", IEICE Transactions on Electronics Vol.E78-C, No.8, pp.971-978, 1995
- [4.5] T. Yoshida, H. Fujimoto, K. Hatada, Y. Ikeda, K. Takahashi, S. Fujita, M. Sagawa, H. Sakai and K. Inoue, "A Novel Millimeter-wave IC on Si Substrate using MBB Technology", IEEE Japan International Electronic Manufacturing Technology Symposium, 1995.
- [4.6] K. Takahashi, S. Fujita, T. Yoshida, H. Sakai and M. Sagawa, "An Advanced Millimeter-wave Flip-chip IC Integrating Different Kinds of Active Devices", 1996 IEEE MTT-S International Microwave Symposium Digest, Vol.3, pp.1919-1922, 1996.
- [4.7] 酒井啓之、吉田隆幸、森川治、井上薫、高橋和晃、藤田卓、佐川守一、「フリップチップボンディングを用いた新しいミリ波 IC 『MFIC』 の基礎検討」、1994 年電子情報通信学会秋季大会（秋季信学会 東北大学）、C-39, p.39, 1994
- [4.8] 酒井啓之、井上薫、吉田隆幸、藤田卓、高橋和晃、佐川守一、「フリップチップ実装を用いたミリ波帯 IC の開発」、1995 年電子情報通信学会エレクトロニクスソサイエティ大会（秋季信学会 中央大学）、SC-7-8（シンポジウム講演）, p.282, 1995
- [4.9] 酒井啓之 「マイクロバンプボンディング技術を用いたマイクロ波／ミリ波 IC」 1996 年電子情報通信学会総合大会（春季信学会 東京工業大学）、PC-1-4（パネル討論）, p.496,1996
- [4.10] 酒井啓之、吉田隆幸、井上薫, 「フリップチップ実装を用いたミリ波帯 IC の開発」、SHM（エレクトロニクス実装技術協会）会誌, Vol.12, No.2, pp.3-8, 1996

- [4.11] K. Hatada, H. Fujimoto, T. Kawakita and T. Ochi, "Micron Bump Assembly Technology", IEEE CHMT International Electronic Manufacturing Technology Symposium Proceeding 1988, pp.23-27, 1988
- [4.12] Hiroyuki Sakai, Yorito Ota, Kaoru Inoue, Manabu Yanagihara, Toshinobu Matsuno, Mitsuru Tanabe, Takayuki Yoshida, Yoshito Ikeda, Suguru Fujita, Kazuaki Takahashi and Morikazu Sagawa, "A Millimeter-wave Flip-chip IC using Micro-Bump Bonding Technology", 1996 IEEE International Solid-State Circuits Conference Digest of Technical Papers Vol.39, pp.408-409, 1996
- [4.13] Hiroyuki Sakai, Takayuki Yoshida and Kazuaki Takahashi, "A Low-cost Highly Design Flexible Millimeter-wave Flip-Chip IC for Prospective Commercial Applications", 1997 Asia-Pacific Microwave Conference Proceedings, Vol.2, pp.741-744, 1997
- [4.14] H. Yabuki, K. Takahashi, M. Sagawa, M. Makimoto, T. Yoshida and H. Sakai, "An Advanced Microwave and Millimeter-wave IC using Flip-chip Bonding Technology for Wireless Communication Equipment", World Congress on Manufacturing Technology (The Institution of Engineers, Australia), 1997
- [4.15] Hiroyuki Sakai, Takayuki Yoshida and Morikazu Sagawa, "High Frequency Flip-chip Bonding Technologies and Their Application to Microwave/Millimeter-wave ICs", IEICE Transactions on Electronics Vol.E81-C, No.6, pp.810-818, 1998 (invited paper)
- [4.16] Kazuaki Takahashi, Suguru Fujita, Hiroyuki Yabuki, Takayuki Yoshida, Yoshito Ikeda, Hiroyuki Sakai and Morikazu Sagawa, "Development of K-Band Front-End Devices for band Wireless Communication Systems Using Millimeter-Wave Flip-chip IC Technology", IEICE Transactions on Electronics Vol.E81-C, No.6, pp.25-31, 1998.
- [4.18] Masahiro Maeda and Hiroyuki Sakai, "Millimeter Wave Flip-Chip Front End IC and Power Amplifier using MBB Technology", 29th European Microwave Conference pp.305-308, 1999
- [4.19] 吉田隆幸、池田義人、酒井啓之、藤田卓、「ミリ波フリップチップ IC モジュール」、SHM (エレクトロニクス実装技術協会) 会誌, Vol.13, No.3, pp.28-33, 1997
- [4.20] 酒井啓之、池田義人、吉田隆幸、藤田卓、高橋和晃、佐川守一、井上薫、「BCB 誘電体を用いた低損失ミリ波フリップチップ IC」、1996 年電子情報通信学会総合大会 (春季信学会 東京工業大学)、C-78, p.289, 1996
- [4.21] 酒井啓之、吉田隆幸、井上薫、藤田卓、高橋和晃、佐川守一、「フリップチップ実装を用いた新しいミリ波 IC—MFIC—」、電子情報通信学会技術研究報告 (信学技報) ED94-134, MW94-121, ICD94-196, pp.37-42, 1995



- [4.22] 酒井啓之、「能動部品の方向は？～フリップチップ実装技術のミリ波帯 IC への応用～」、第 37 回エレクトロニクス実装技術研究会「超高周波利用時代における実装部品／材料の変革の方向を探る！」 pp.7-8, 1996
- [4.23] 酒井啓之、吉田隆幸、池田義人、藤田卓、高橋和晃、佐川守一、井上薫、「BCB 誘電体を用いた低損失ミリ波フリップチップ IC」、電子情報通信学会技術研究報告（信学技報）ED96-204, MW96-167, ICD96-192, pp.41-46, 1997

## 第5章 Si系バルクトランジスタを用いたミリ波MMIC

### 5.1 はじめに

これまで、GaAs や GaN など化合物半導体を用いたミリ波デバイスとその IC 化技術について述べてきた。化合物半導体材料がもつ特徴を活かして高周波特性に優れたミリ波トランジスタを実現すると同時に、その優れたデバイスを回路・システムに応用するための、低コストで実用的な集積化技術を開発した。

一方、集積化、低コスト化、実用化の技術がもっとも進展し、広く普及しているのは CMOS LSI に代表される Si バルクトランジスタを用いた集積回路であり、半導体産業のメインストリームになっている。基本材料特性では化合物半導体に劣る Si であるが、微細加工技術の進展によって Si 系トランジスタの高周波特性は著しく向上し、トランジスタ単体の高周波特性( $f_T$ ,  $f_{max}$ )では、それほど微細化が進んでいない化合物半導体を凌駕するものも現れている。Si 系トランジスタの単体性能を集積回路レベルで引き出すことができれば、化合物半導体よりさらに低コストで実用的なミリ波集積回路を現でできる可能性がある。

Si 系トランジスタによるミリ波集積回路実現の最大の課題は、Si 基板上の伝送線路の低損失化である。Si は化合物半導体のような半絶縁性基板を得ることができないため、バルク半導体を使ったマイクロストリップ線路の損失が桁違いに大きくなってしまふ。

このような課題を解決するために、筆者は前章で述べた MFIC 用の Si 基板上の低損失マイクロストリップ線路技術を Si 系トランジスタによるミリ波集積回路(ミリ波 Si MMIC)に応用することを考えた。

本章では、ミリ波 Si MMIC を実現するための集積化技術について述べる。はじめに、前章で述べた Si 基板上の低損失なマイクロストリップ線路技術を Si MMIC に応用した厚膜再配線技術について述べ、続いて回路基板へのチップ実装を考慮した新しい線路構造をもつチップサイズパッケージ技術についても述べる。最後に Si 基板上での伝送線路の小型化を実現する Slow-wave 線路について考察する。

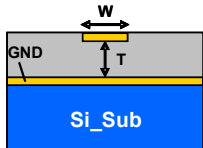
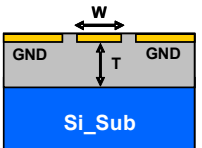
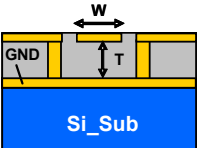
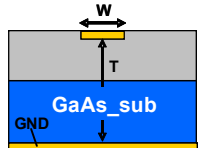
### 5.2 厚膜再配線構造による低損失伝送線路を用いた準ミリ波帯 SiGe-MMIC

Si 基板上の伝送線路を低損失化するために、これまでも様々な形の伝送線路が提案されてきた<sup>[5.1-5.2]</sup>。表 5.1 にその例を示す。

まず、①の薄膜マイクロストリップ線路(MSL)は、SiLSI の配線層のうち最下層配線層で GND プレーンを形成し、上層配線で信号線を形成するもので、GND プレーンに

よって導電性 Si 基板の影響を遮断できるのが特長である。しかしながら、配線層の層間の誘電体膜は多層配線すべてを合計しても、最大  $5.5\mu\text{m}$  程度と薄いため、信号線幅が細くなり、導体損が大きいという課題がある。これに対して②は、最上層配線を用いたコプレーナ線路(CPW)構造で、特性インピーダンスは信号線の線路幅と同平面にある GND プレーンとのギャップ幅の比で定まるため、①に比べて信号線幅を太くすることが出来る。しかしながら、線路幅、ギャップを広くすると相対的に導電性 Si 基板が近づいた結果となり、電界が導電性基板内にも侵入し、Si 基板による損失が大きくなってしまう。③は MSL と CPW を組み合わせたグラウンデッドコプレーナ線路(GCPW)で、電界の Si 基板への侵入は抑えられるが、①の MSL と同じく、配線幅が細くなるので、④の GaAs 基板を用いた MSL と比較するとはるかに大きな伝送損失となる。

表 5.1 半導体基板上的高周波伝送線路の比較

	①薄膜MSL*	②CPW**	③GCPW**	④GaAs MSL
断面構造				
W[um]	10	10	20	70
T[um]	5.5	8	8	100
周波数 [GHz]	30	20	20	26
損失 [dB/mm]	0.3	0.6	0.3	0.058

\*) Mei-Chao Yeh et al., 2005 IEEE MTT-S International Microwave Symposium<sup>[5.1]</sup>

\*\* ) B.Kleveland et al., IEEE J.Solid-STATE CIRCUITS,vol.36,No.10,October 2001,p.1480<sup>[5.2]</sup>

この Si MMIC の伝送線路の損失低減という大きな課題を解決するために、第 4 章で述べた MFIC の Si 基板上的低損失マイクロストリップ線路技術を Si MMIC に応用することを考えた。

図 5.1 に提案する厚膜再配線 Si MMIC<sup>[5.3-5.5]</sup>の断面構造図を示す。第 4 章で述べた厚い BCB 誘電体を用いた低損失マイクロストリップ線路構造を、Si のバックエンドプロセス完了後に再配線プロセスとして追加することで、Si IC に低損失の厚膜マイクロストリップ線路を構成しようとするものである。GND プレーンには比較的厚い Si 基板

の最上層配線を用い、信号線には  $3\mu\text{m}$  と十分厚い Cu 再配線を用いる。伝送線路だけでなくバランなどの機能素子が構成できるよう、信号線の上部にブリッジ用の第二層配線も用意した。BCB 誘電体層の膜厚は、ミリ波帯でも十分な低損失線路が構成できるように  $15\mu\text{m}$  とした。図 5.2 にマイクロストリップ線路を用いてバランを構成した場合の変換損失と BCB 層間膜の膜厚との関係を示す。膜厚を  $15\mu\text{m}$  以上とすることで十分低損失となることが分かる。

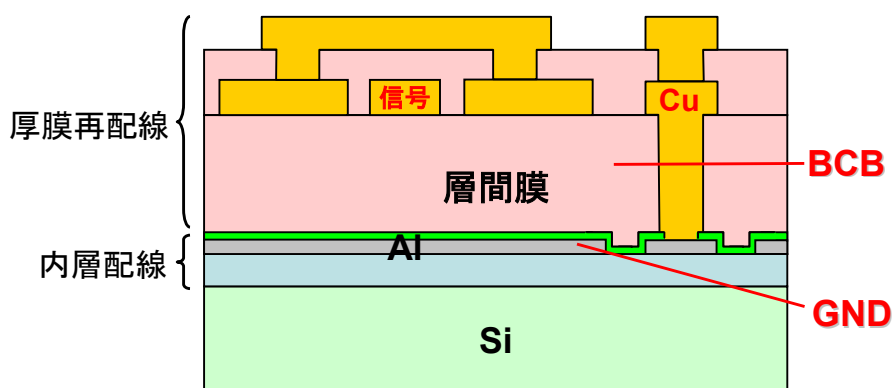


図 5.1 厚膜再配線を用いた Si MMIC の断面構造図

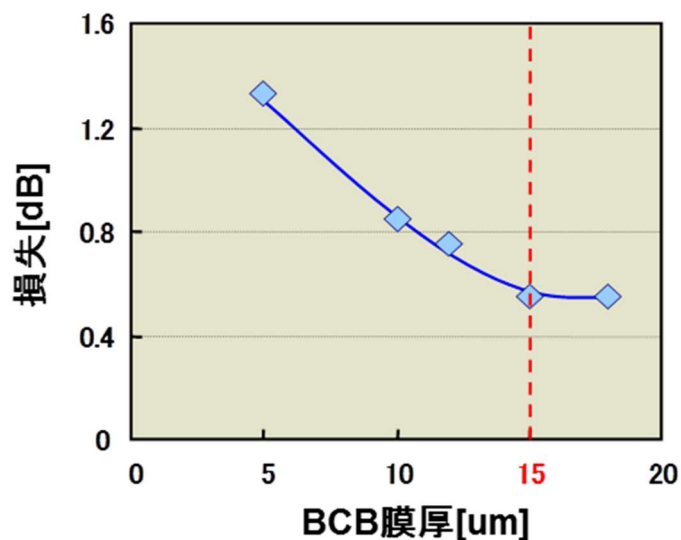


図 5.2 マイクロストリップバラン変換損失の BCB 膜厚依存性

開発した厚膜再配線プロセスにより実際に作製したマイクロストリップ線路の断面 SEM 写真を図 5.3 に示す。非常に平坦な厚膜誘電体が形成できていることがわかる。

このマイクロストリップ線路の挿入損失の周波数特性を図 5.4 示す。26.5GHz での損失は 0.11dB/mm と、従来の薄膜 MSL と比べて大きく低減できた。

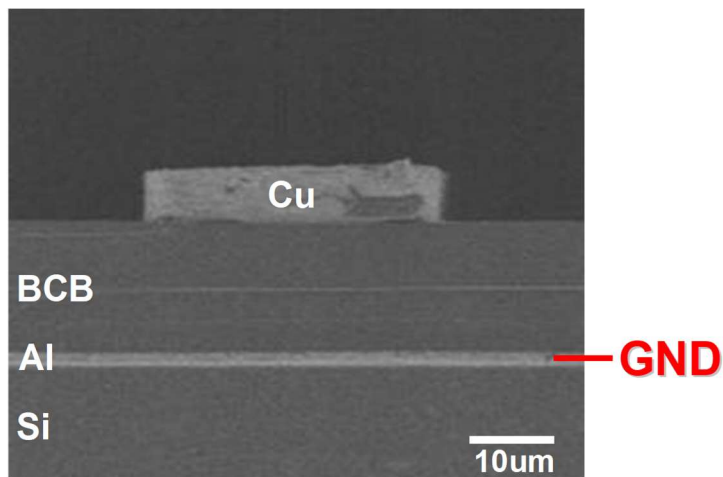


図 5.3 試作した厚膜再配線プロセスによるマイクロストリップ線路の断面 SEM 写真

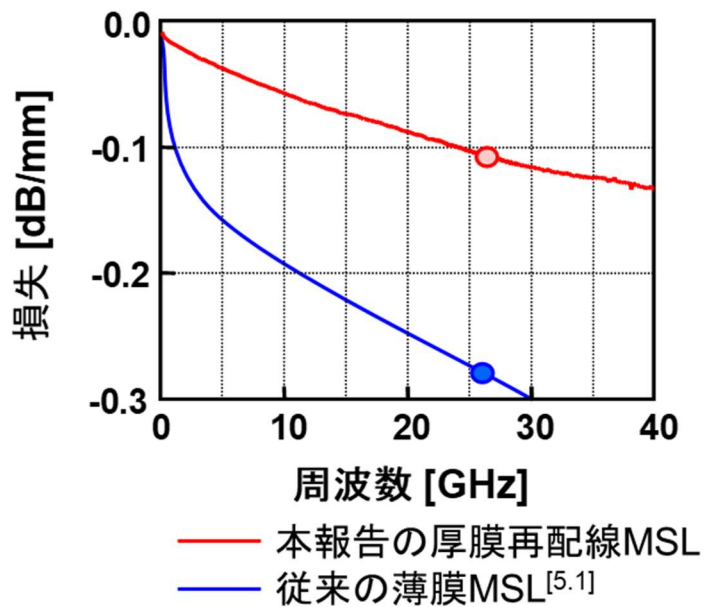


図 5.4 マイクロストリップ線路の挿入損失

0.18 $\mu\text{m}$  SiGe-BiCMOS プロセスに本厚膜再配線プロセスを適用して、実際に準ミリ波帯 Si MMIC を設計・試作した。

図 5.5 に設計した準ミリ波帯 LNA の回路図を示す。

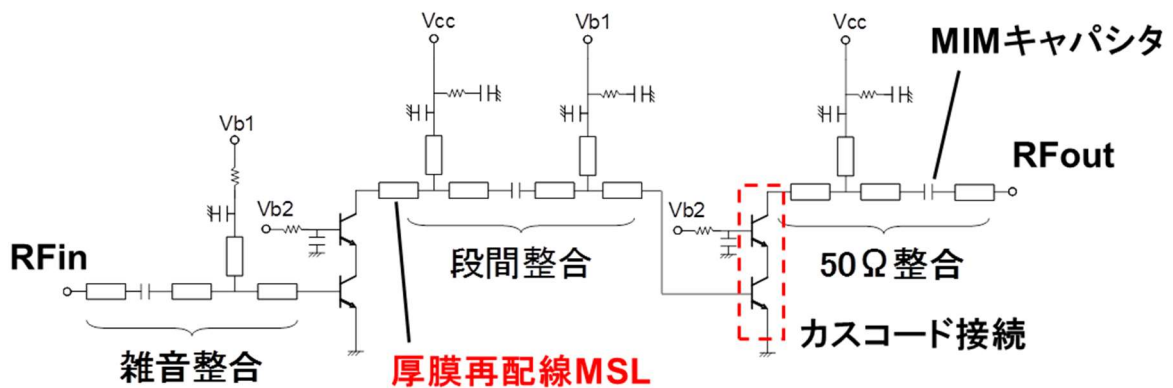


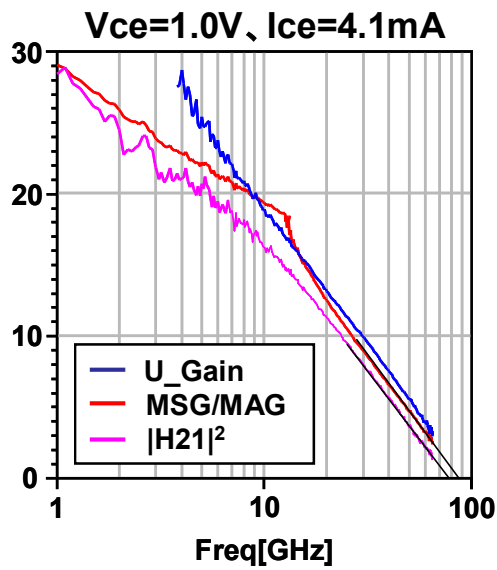
図 5.5 準ミリ波帯 LNA の回路図

準ミリ波帯で十分な利得を得るために、カスコード接続トランジスタの 2 段構成とした。カスコード接続にすることで、NF はやや劣化するが、利得を 5.5dB 向上できた。入出力整合回路は厚膜再配線プロセスによる低損失マイクロストリップ線路で構成し、入力部は雑音整合、出力部は 50 $\Omega$  整合とした。

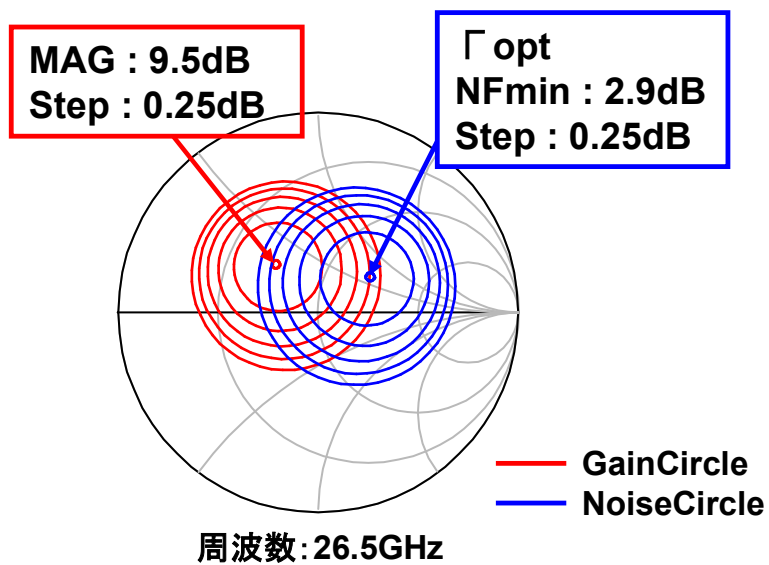
図 5.6 に設計に用いた 0.18 $\mu\text{m}$  SiGe HBT(エミッタ長 8 $\mu\text{m}$ )の高周波特性を示す。 $f_T=75\text{GHz}$ ,  $f_{\text{max}}=85\text{GHz}$ 、26.5GHz での  $\text{NF}_{\text{min}}$  は約 2.9dB である。最大利得を与えるインピーダンスポイントと  $\Gamma_{\text{opt}}$  の位置が比較的近く、またどちらも 50 $\Omega$  に近いいため、LNA の設計は比較的容易となり、LNA 向きのデバイスと言える。

図 5.7 に試作した LNA MMIC のチップ写真を示す。チップサイズは 3.1mm $\times$ 1.0mm である。トランジスタの面積に対して整合回路やバイアス回路の受動素子の面積が非常に大きい。化合物半導体に比べて安価な Si とはいえ、実用化のためにはこれらの面積の低減が課題となる。

図 5.8 に厚膜再配線プロセスによる多層配線の断面 SEM 写真を示す。厚膜の誘電体、配線金属ともフラットで、良好なビア接続も得られているのがわかる。



(a) 電流利得利得と MSG/MAG,ユニラテラル利得の周波数特性



(b) NF サークルと利得サークル

図 5.6 SiGe HBT(エミッタ長 8 $\mu$ m)の高周波特性

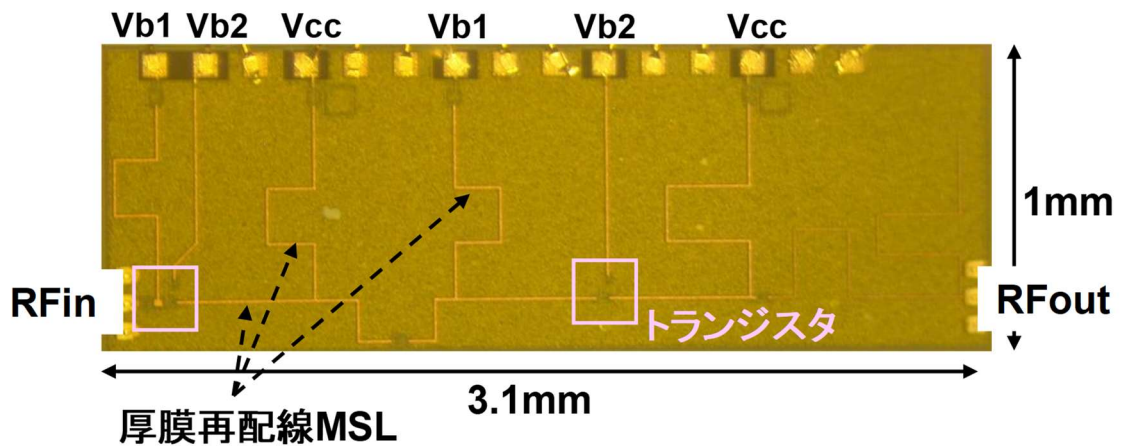


図 5.7 試作した SiGe LNA MMIC のチップ写真

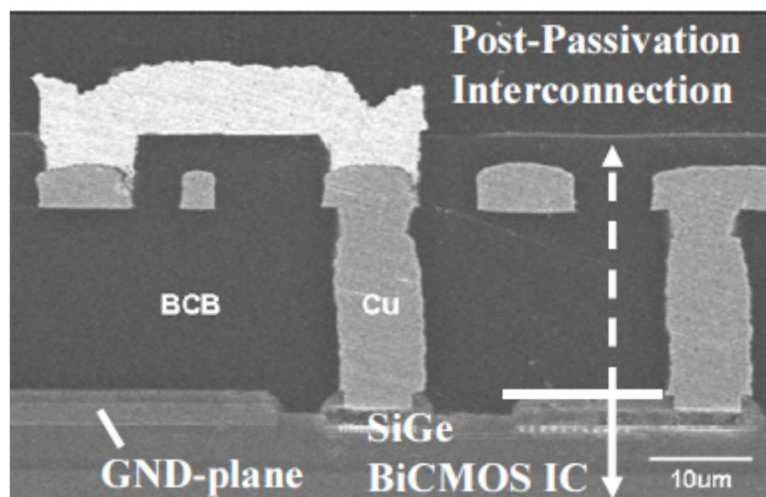


図 5.8 厚膜再配線プロセスによる多層配線の断面 SEM 写真

図 5.9 にこの LNA-MMIC の利得の周波数特性の測定結果を示す。3dB 帯域で 15GHz という広帯域特性が得られ、最大利得は 26.5GHz で約 20dB、その時の NF は約 3.5dB であった。電源電圧は 2.8V、このときの消費電流はわずか 6.5mW である。

表 5.2 に今回試作した LNA の特性をまとめた。比較のため、既に発表されている同じ 0.18 $\mu$ m SiGe-BiCMOS を用いた LNA<sup>[5.5]</sup>と、GaAs HEMT を用いた LNA<sup>[5.6]</sup>の値も合わせて示した。今回試作した LNA は、他の LNA に比べて帯域が広く、消費電力が低い結果となっている。このことは損失の少ない伝送線路を用いて整合回路を形成したことの大きな効果と考えられる。



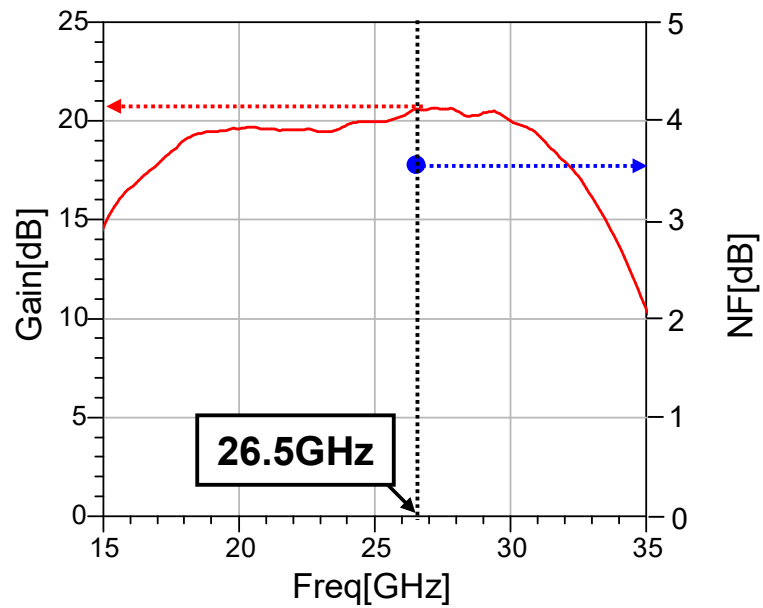


図 5.9 LNA-MMIC の高周波特性

表 5.2 準ミリ波帯 LNA MMIC の特性比較

	本報告	[1]	[2]
プロセス	0.18um SiGe-BiCMOS	0.18um SiGe-BiCMOS	GaAs HEMT
stage	2	2	3
伝送線路	厚膜再配線 MSL	薄膜MSL	MSL
3dB帯域[GHz]	15	3	12
Gain[dB]	20	25	27
NF[dB]	3.5	3.8	1.8
消費電力[mW]	6.5	20	340

[1] H.Hashemi et al., ISSCC2004,21.7<sup>[5.6]</sup>

[2] UMS CHA3688aQDG データシート<sup>[5.7]</sup>

以上、厚膜再配線プロセスを用いた新しい Si MMIC 技術について述べた。厚膜 BCB 誘電体による低損失なマイクロストリップ線路により、Si デバイスでも高性能なミリ波 IC 実現できることを示した。

### 5.3 IMSL 線路を用いたミリ波 CMOS WLCSP 技術

前節では、再配線プロセスによる低損失線路を Si 回路に集積化した新しいミリ波 Si MMIC 技術について述べた。本節では、この新しい Si MMIC を回路基板に実装するのに優れた再配線線路技術について述べる。

第 3 章でも述べたが、ミリ波帯の様な高周波領域においては波長がデバイスの寸法に近づいてくるため、実装時の寄生効果が回路の特性に大きな影響を与える。そこでワイヤボンダ実装に比べて接続部の寄生効果が小さいフリップチップ実装技術が広く用いられている。MMIC チップのパッド上にはんだ等のバンプを形成し、チップをフェイスダウンで回路基板の配線パターンの上に乗せ、パッド上のバンプを回路基板の電極に接続する技術である。ボンディングワイヤに比べて接続部のバンプは非常に小さく、寄生インダクタンスの影響を大きく抑えることができる。

しかしながら、マイクロストリップ線路やコプレーナ線路(CPW)を用いた MMIC をフリップチップ実装した場合、実装状態が高周波特性に影響を及ぼしてしまうという新たな課題が生じる。バンプの高さが低いため、フェイスダウンで配置したチップ上の線路が回路基板と非常に近くなりチップ上の伝送線路が回路基板の影響を受けてしまう。

本節ではこの課題を解決するために提案したインバーテッドマイクロストリップライン (IMSL) と呼ばれる伝送線路を使った新しいウェハレベルチップサイズパッケージ (WLCSP) 技術<sup>[5.8-5.9]</sup>について述べる。WLCSP の構造の一部を用いて厚い誘電体層とグランド層を構成し、CMOS プロセスで形成した信号線路と組み合わせてマイクロストリップ線路を実現する。この構造を用いることで、導電性の Si 基板及び実装基板の影響を遮断して低損失な伝送線路が実現できる。

表 5.3 に提案する IMSL を用いた WLCSP 構造と従来の CPW の構造との比較を示す。提案する WLCSP は、CMOS プロセスによる信号線路とその上に形成される厚膜誘電体層、さらにその上部に Cu 配線層を用いたグランド層を有し、基板にフリップチップ実装することで、マイクロストリップ線路構造を構成する。ひっくり返してマイクロストリップ線路となることから、Inverted Microstrip Line (IMSL) と呼ぶ。チップ上部にグランド層があることで接地が安定し、小型で回路レイアウトの自由度が大きい。

一方、CPW は信号線路の両側にグランドパターンが存在するために、チップサイズが大きくなり、レイアウトの自由度が制約されるという課題がある。また、CPW をフ

リップチップ実装した場合、実装状態により伝送線路の特性が影響を受けてしまう。

表 5.3 提案する IMSL 構造と従来の CPW 構造の特徴の比較

	IMSLを用いたWLCSP		CPWでのリップチップ実装	
	断面図	鳥瞰図	断面図	鳥瞰図
構造	<p>Si 信号線路 WLCSP最上層 回路基板 WLCSP</p>	<p>信号線路 WLCSP最上層 回路基板</p>	<p>Si GND 信号線路 filler bump 回路基板</p>	<p>信号線路 GND 回路基板 filler</p>
特徴	<ul style="list-style-type: none"> <li>・グラウンドの安定化</li> <li>・回路レイアウト及び再設計が容易</li> <li>・小型</li> <li>・実装の影響を受けず、低損失</li> </ul>		<ul style="list-style-type: none"> <li>・信号線路の両側にグラウンド層があるためチップサイズが大型化</li> <li>・伝送線路は実装の影響を受ける</li> </ul>	

図 5.10 にリップ実装した CPW の特性インピーダンスをバンプの高さを変えてシミュレーションした結果を示す。特性インピーダンスがバンプ高さにより変化しているのがわかる。これはチップと回路基板が接近したことで電界が回路基板に入り込むためである。CPW ではこのようにバンプの高さが変わるだけで、線路の特性が変わるといふ問題があるが、IMSL の場合(同図赤色の点線)は、線路の特性インピーダンスは低誘電体膜とグラウンド層で決定されるのでバンプの高さは影響せず、実装の影響を受けにくい。

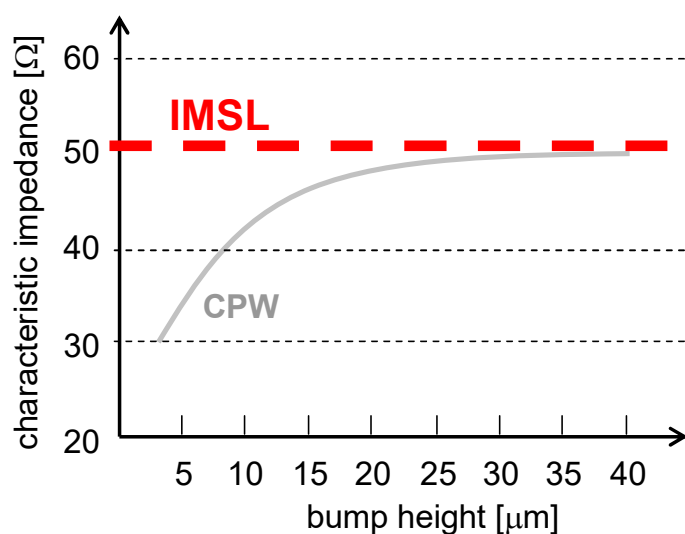


図 5.10 特性インピーダンスに及ぼすバンプ高さの影響

一方で、IMSL 構造は導電性 Si 基板と層間絶縁膜の下に形成されるため、Si 基板の導電率や層間絶縁膜の膜厚が線路の伝送損失に影響を与える可能性がある。図 5.11 に電磁界シミュレータで計算した導電性 Si 基板下の IMSL の電界分布断面図を示す。信号線路とグランド層の間に形成する誘電体膜はポリベンゾオキサゾール (PBO) を用いたと想定した。同図から、一部の電界が導電性の Si 基板へ入込んでいるのは明らかで、IMSL の伝送損失の原因となることが懸念される。信号線路からの電界はグランドである WLCSP トップメタルの方へ結合しているが、信号線路から見たグランド層までの距離より、Si 基板までの距離が近いことから、電界の一部が Si 基板の内部に回り込んでしまう。

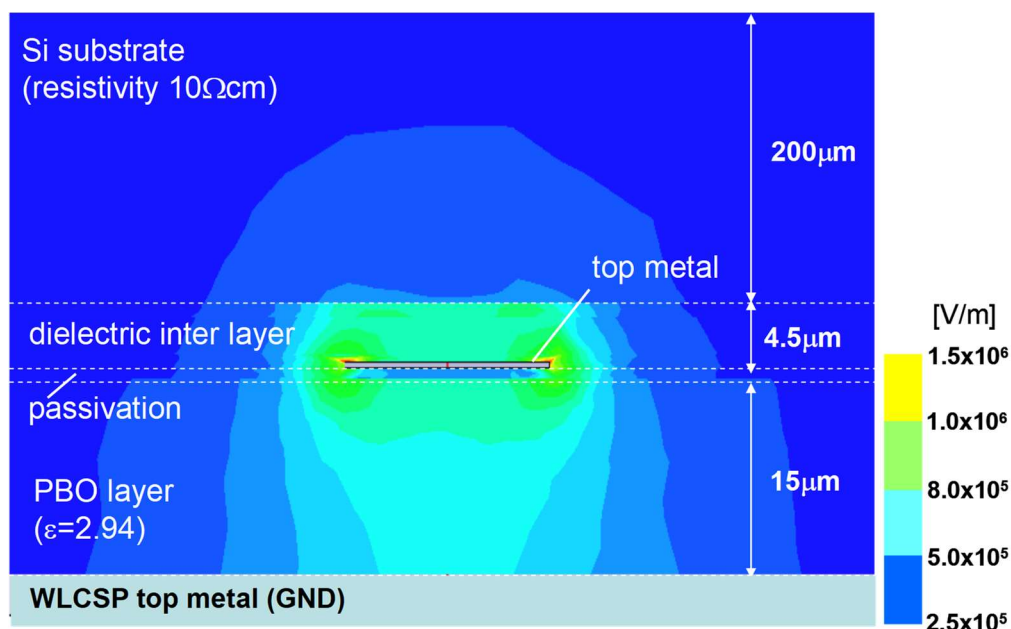


図 5.11 . Si 基板を用いた IMSL の電界分布図

この課題を解決するために、層間絶縁膜の厚膜化と Si 基板の高抵抗化の 2 通りのアプローチを検討した。図 5.12 に電磁界シミュレーションによって計算した Si 基板の抵抗率と IMSL の伝送損失の関係を示す。Si 基板の抵抗率を増加させることで、伝送損失は大きく減少し、 $200\ \Omega\text{cm}$  を超えると飽和傾向にある。また、層間絶縁膜を厚くすることで、Si 基板の抵抗率は低い場合の伝送損失が低減するが、 $200\ \Omega\text{cm}$  を超えるとほとんど差は無くなる。

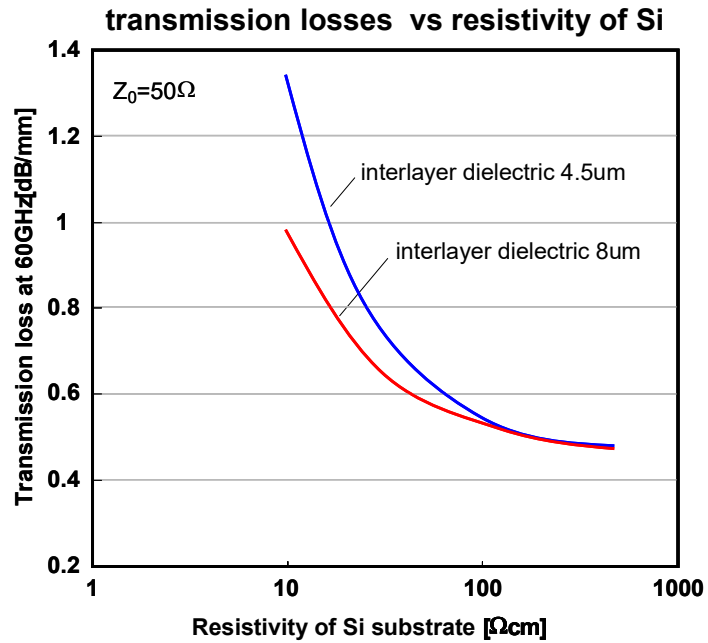


図 5.12 IMSL の伝送損失の基板抵抗依存性

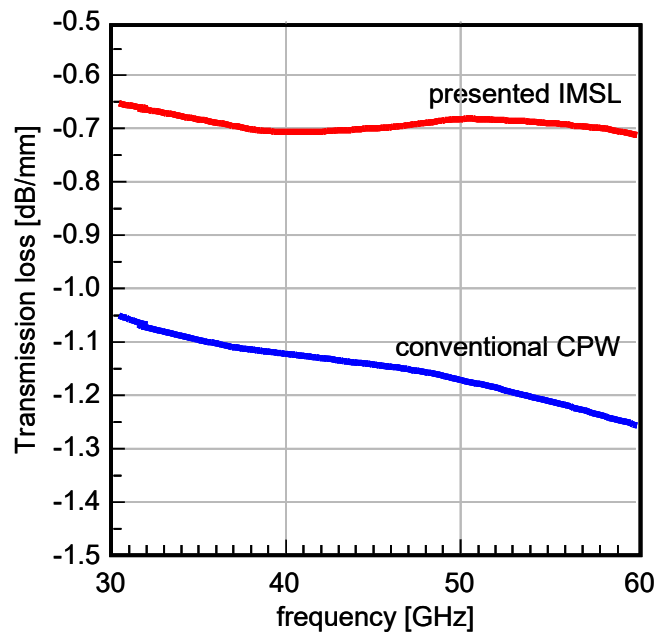


図 5.13 200 $\Omega\text{cm}$  の Si 基板上に試作した IMSL と CPW の伝送損失の比較

Si MMIC 上の IMSL の具体的なプロセスフロー以下の通りである。まず CMOS プロセスの最終段階で層間絶縁膜上に信号線路を形成する。次に膜厚  $15\mu\text{m}$  の PBO 膜を

CMOS IC のパッシベーション膜の上に積層する。その後、グランド層とバンプを PBO 膜上に形成する。その後ウェハをダイシングによって個別チップへ分割し、セラミックで作成した回路基板上へフリップチップ実装する。

図 5.13 に実際に  $200\ \Omega\text{cm}$  の導電率を持つ Si 基板を用いて試作した IMSL と CPW の伝送損失の実測結果を示す。IMSL の伝送損失は  $60\text{GHz}$  で約  $0.7\text{dB}$  であり、同じ基板抵抗で試作した CPW と比較し低損失であることが確認できた。

次に  $110\text{nm}$  CMOS プロセスを用いて、実際にミリ波帯アンプの設計・試作を行った。n-MOSFET の  $f_T$  は  $65\text{GHz}$ 、 $f_{\text{max}}$  は  $176\text{GHz}$  である。Si 基板抵抗及び層間絶縁膜厚は図 5.12 で示した構造設計の結果に基づき、それぞれ  $200\ \Omega\text{cm}$ 、 $4.5\ \mu\text{m}$  とした。

図 5.14 に IMSL を用いた設計した 1 段アンプの回路図を示す。整合回路は利得整合で設計を行った。入出力のバンプ部は 3 次元の電磁界シミュレーションによりモデル化し、設計している。図 5.15 に試作したチップの写真を示す。図 5.15(a) は実際に基板に実装したチップの鳥瞰図写真で、図 5.15(b) はチップの上面からの写真にレイアウトイメージを重ねて示したものである。チップサイズは  $1.1\text{mm} \times 2.2\text{mm}$  である。

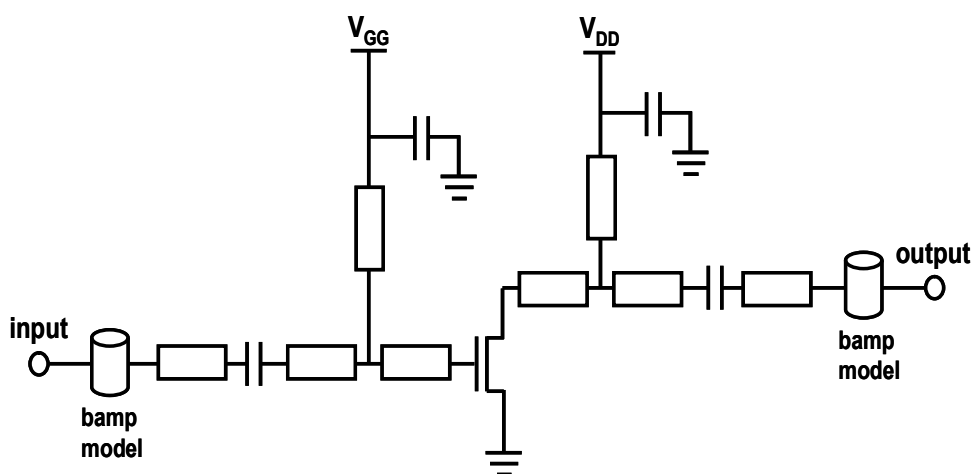
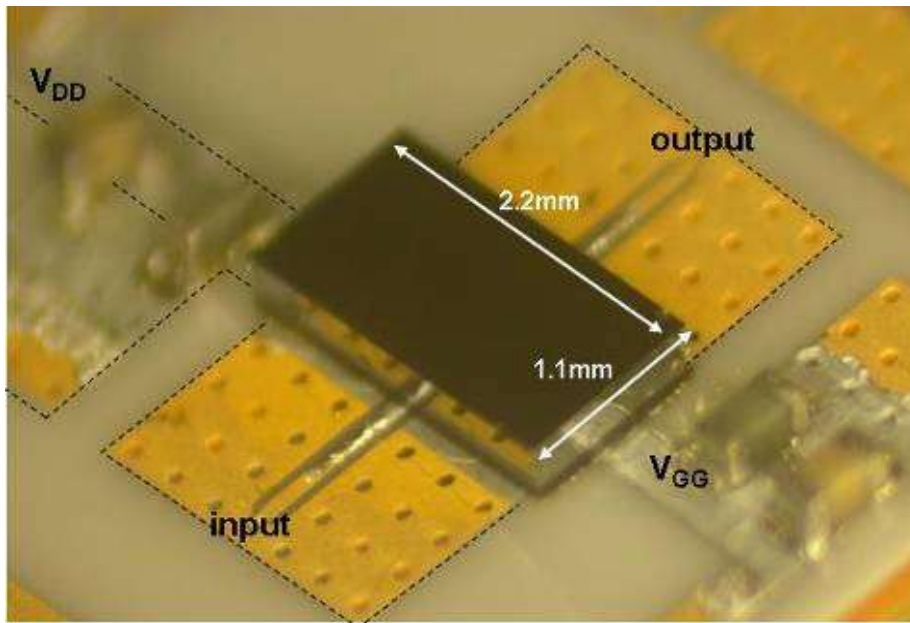
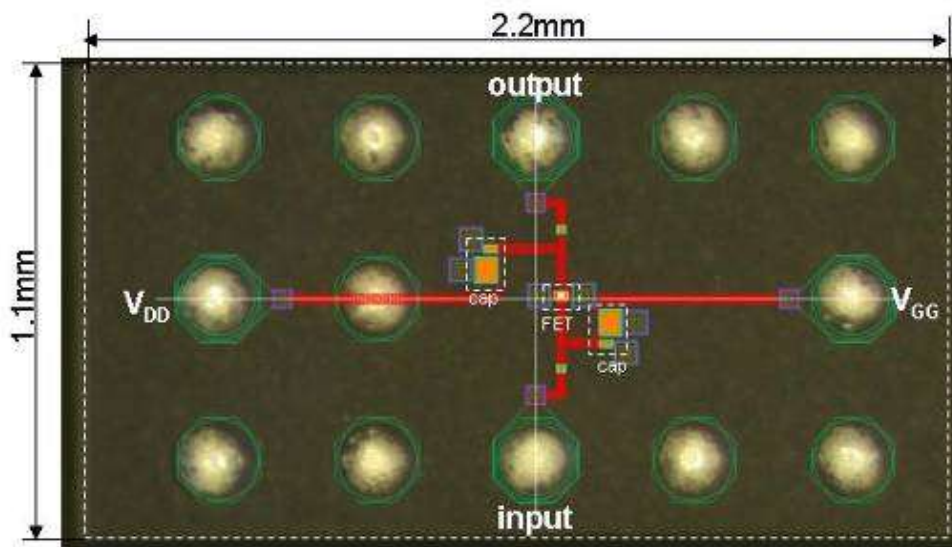


図 5.14 IMSL を用いた 1 段アンプの回路図



(a) 基板に実装したチップの鳥瞰図写真



(b) MMIC チップ写真

図 5.15 試作した 1 段アンプ MMIC のチップ写真

試作・実装した 1 段アンプを実装基板上で測定評価した。実測した S パラメータと設

計結果の比較を図 5.16 に示す。ドレイン電圧、ドレイン電流はそれぞれ 1.2V、7.6mA である。58GHz で 6.5dB の利得が得られた。実測の S パラメータは 60GHz 付近の広帯域において設計と精度よく一致しており、IMSL を用いた WLCSP とすることで実装状態が高周波特性に影響せず正確に設計できることが確認できた。

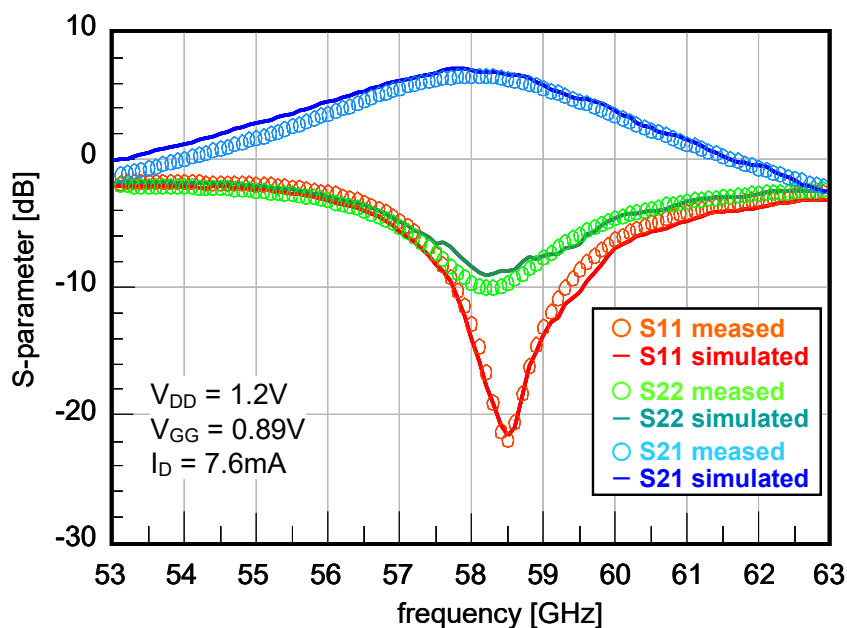


図 5.16 IMSL を用いた CMOS1 段アンプの高周波特性

## 5.4 Slow-wave 線路による Si 基板上伝送線路の小型・低損失化の検討

### 5.4.1 はじめに

ミリ波帯での Si MMIC を実現するための、Si 基板上の低損失配線技術について検討してきた。厚膜の再配線技術を用いることで、線路の損失を低減しミリ波帯でも低損失な整合回路を実現することに成功した一方で、能動素子に比べ、整合回路などの受動素子の面積が大きいという課題が残っている。化合物半導体に比べて低コストの Si 基板とはいえ、チップサイズの増大はチップ価格を上昇させ、ミリ波装置の小型化・低コスト化にとっては大きな障害となる。

そこで本節では、ミリ波 Si MMIC の分布定数回路を小型・低損失化するために、波長短縮が可能な Slow-wave 現象に着目し、同効果を Si 基板上で実現するための基礎検



討を行う。

ミリ波 Si MMIC 上の整合回路などの受動回路は、寄生効果の大きく不完全な受動素子を用いるより、線路の長さを用いた分布定数回路を用いた設計が主流であるが、波長程度の長さの線路が必要であるために、トランジスタ等の能動素子に比べて大きな面積が必要となる。ならば波長自体を短くすることができれば、線路も短くなり、受動回路の面積も小さくできるのではと考えた。また、線路の損失は長さに依存するため、波長が短くなって物理的な長さが短くなれば、分布定数回路の損失低減できることになる。波長を短くする手段として、従来 TWT などの真空管回路の小型化技術に用いられた Slow-wave 現象に着目した。Slow-wave 現象は微細な周期構造によって実現されるが、これはまさに Si IC プロセスの得意とするところである。

本節では、Si 基板上での Slow-wave 線路実現の可能性とその効果について、電磁界シミュレータを用いて検討した結果について述べる。はじめに Slow-wave の原理と基本特性について考察した後、コプレーナ線路やマイクロストリップ線路を用いた具体的な Slow-wave 線路とその特徴、電磁界シミュレーションによる基本線路の Slow-wave 特性の計算結果等について述べる。

#### 5.4.2 Slow-wave の原理と基本特性

Slow-wave 現象は、導波路において電界エネルギーと磁界エネルギーが空間的に分離して蓄えられる構造で生じることが知られている。Slow-wave を生ずる構造としては、さまざまなタイプのものが提案されているが、マイクロ波等の伝送線路の場合、例えば図 5.17 のように特性インピーダンスの異なる 2 つのセクションを交互に周期的に接続するという構成で実現できる<sup>[5.10]</sup>。

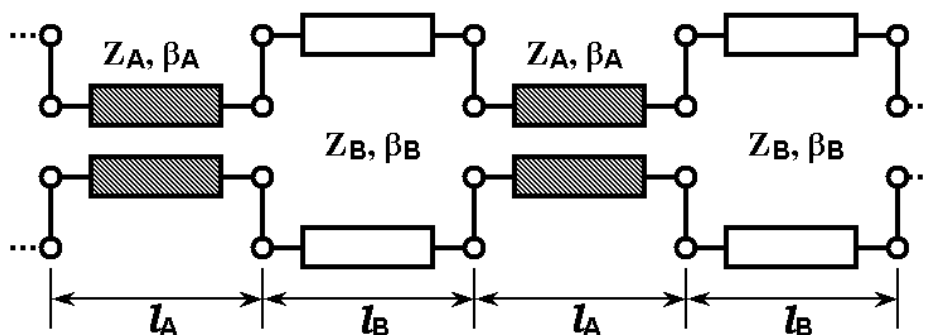


図 5.17 Slow-wave を生じる伝送線路の構造 ( $Z_A \ll Z_B$ )

図において、それぞれ、 $Z_A, Z_B$ は特性インピーダンス、 $\beta_A, \beta_B$ は位相定数、 $l_A, l_B$ は各セクションの長さを示している。今、周期 $l(=l_A+l_B)$ が波長に比べて十分小さく、かつ $Z_A$ が $Z_B$ に比べて十分小さければ( $Z_A \ll Z_B$ )、電界エネルギーの大半がセクションAに、磁界エネルギーの大半がセクションBに蓄えられることになる。接続部で電流電圧が連続であるとして Floquet の定理を図 5.17 の構造に適用すると、この線路の位相定数を  $\beta$  として、下記の分散方程式が得られる。

$$\cos \beta l = \frac{(1+K)^2}{4K} \cos(\beta_A l_A + \beta_B l_B) - \frac{(1-K)^2}{4K} \cos(\beta_A l_A - \beta_B l_B) \quad (5.1)$$

ただし、

$$K = Z_A/Z_B \quad (5.2)$$

$$l = l_A + l_B \quad (5.3)$$

または、伝播定数  $\gamma = \alpha + j\beta$  を用いて、一般的な分散方程式として式 (5.4)、特性インピーダンスの式 (5.5) が得られる<sup>[5.11]</sup>。

$$\cosh(\gamma l) = \cosh(\gamma_A l_A) \cosh(\gamma_B l_B) + \frac{1}{2} \left( \frac{Z_A}{Z_B} + \frac{Z_B}{Z_A} \right) \sinh(\gamma_A l_A) \sinh(\gamma_B l_B) \quad (5.4)$$

$$Z = \frac{\sqrt{Z_A \sinh(\gamma_A l_A) \cosh(\gamma_B l_B) + Z_B \cosh(\gamma_A l_A) \sinh(\gamma_B l_B)}}{\sqrt{\frac{1}{Z_A} \sinh(\gamma_A l_A) \cosh(\gamma_B l_B) + \frac{1}{Z_B} \cosh(\gamma_A l_A) \sinh(\gamma_B l_B)}} \quad (5.5)$$

ただし、

$$\gamma = \alpha + j\beta \quad (5.6)$$

$$\gamma_A = \alpha_A + j\beta_A \quad (5.7)$$

$$\gamma_B = \alpha_B + j\beta_B \quad (5.8)$$

式 (5.1) または (5.4) を用いて図 5.17 の線路の位相定数を数値計算した例を図 5.18 に示す。簡単のために  $l_A = l_B$ ,  $\beta_A = \beta_B$  とし、 $Z_A$  と  $Z_B$  の比が 1/100 場合について計算した。

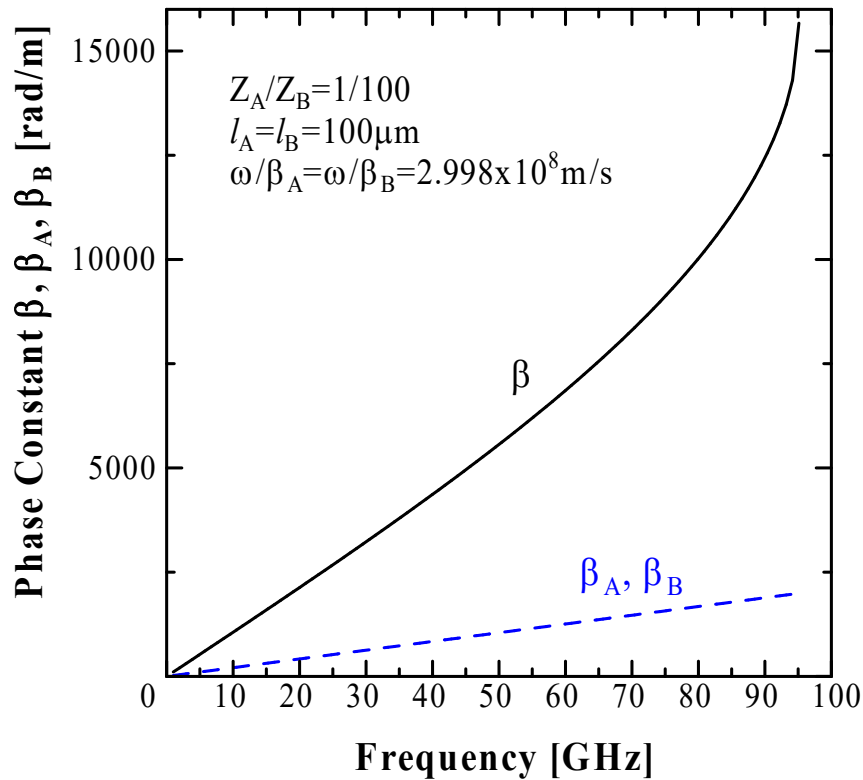


図 5.18 周期構造線路(図 5.17)の位相定数の計算結果

線路全体としての位相定数  $\beta$  は各セクションの位相定数  $\beta_A, \beta_B$  に比べて大きくなっているのがわかる。このことは波の位相速度が遅くなることを意味しており、これが **Slow-wave** と呼ばれる所以である。速度遅延の大きさは、通常この  $\beta$  と真空中の位相定数  $\beta_0$  の比 ( $\beta/\beta_0$ ) で表わされ、**Slow-wave factor** と呼ばれる。**Slow-wave** 現象は、

言い換えれば **Slow-wave factor** 倍だけ波長が短くなることを意味しており、これを用いることで分布定数線路を用いた回路の小型化が可能になると期待される。

また、図 5.18 から、 $\beta$  は低周波数領域では周波数に対して線形に増加（位相速度一定）するが、周波数が高くなると急峻に大きくなり、いわゆるカットオフ周波数が存在することが読み取れる。これは人口的な周期構造を用いているので、周波数が高くなって波長が短くなると、 $\lambda \gg l$  の近似が成り立たなくなることに起因するが、物理的には波長と周期が同程度になるために、もはやこのモードで波が伝播なくなることの意味する。実際、このカットオフ周波数近傍で線路の伝送損失は急激に大きくなることが知られており、いわゆるストップバンド周波数として、**TWT** などではフィルタや共振器に利用されてきた。最近では、マイクロストリップ線路でこの **Slow-wave** のストップバンド周波数を利用してパワーアンプの高調波制御やミキサ用のフィルタに応用し

た例も報告されている[5.13-5.14]。

このストップバンド周波数は今述べたようにセクション A、B の周期サイズに大きく依存する。図 5.19 にストップバンド周波数の単位周期長依存性の計算結果を示す。異なるインピーダンス比 ( $Z_A/Z_B = 1/100, 1/10$ ) について計算した。インピーダンスの違いが大きい方がストップバンド周波数は低くなる。しかし、いずれにせよストップバンド周波数を数 GHz 帯に持ってくるには周期を mm オーダーとせねばならず、MMIC などの小型集積回路に応用するのはこのままでは難しい。

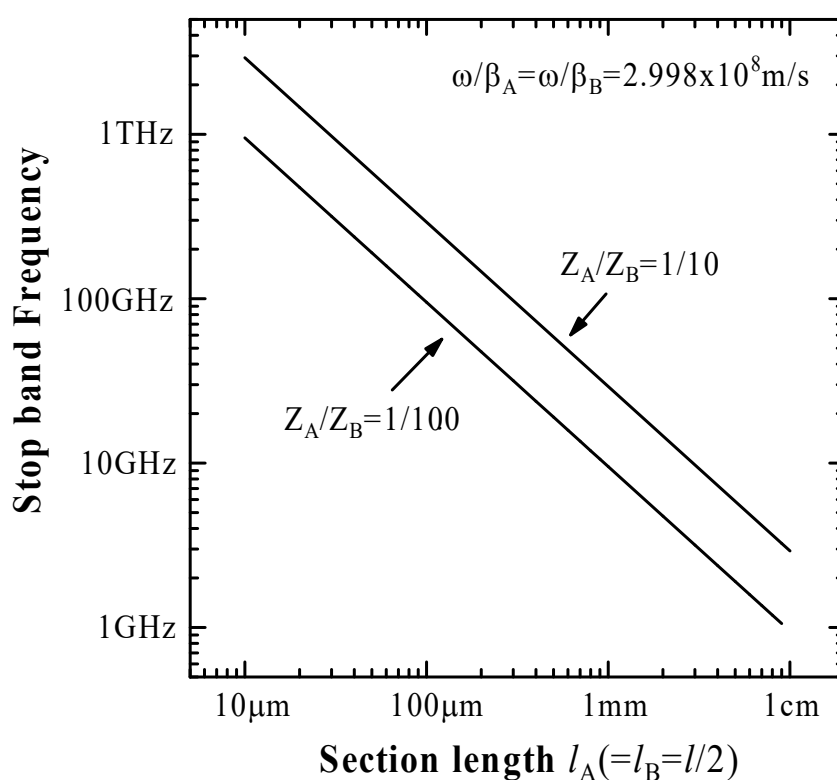


図 5.19 ストップバンド周波数の単位周期長依存性

しかしストップバンドが使えなくても、周期構造によって波長が短くできる Slow-wave 現象の MMIC への応用は非常に魅力的である。波長が短く出来れば、これまでより低い周波数でも分布定数線路を用いたフレキシブルな回路設計が可能になる。また半導体プロセスではリソグラフィ技術によって細かな周期構造も正確に作製することができる。細かな周期構造によりストップバンド周波数を使用周波数帯よりずっと高くできるので、分散の少ない線形性のよい領域で Slow-wave を使えることになり、設計も容易になる。

波長短縮の度合い、Slow-wave factor は、インピーダンス比( $Z_A/Z_B$ )に大きく依存する。図 5.20 に Slow-wave factor のインピーダンス比依存性の計算結果を示す。Slow-wave による波長短縮の効果を顕著にするには、如何にインピーダンス比を大きくとれるかが最も重要な課題となる。図 5.20 の条件では 1/2 の波長短縮を得るには  $Z_A$ 、 $Z_B$  に 15 倍近くの違いが必要である。

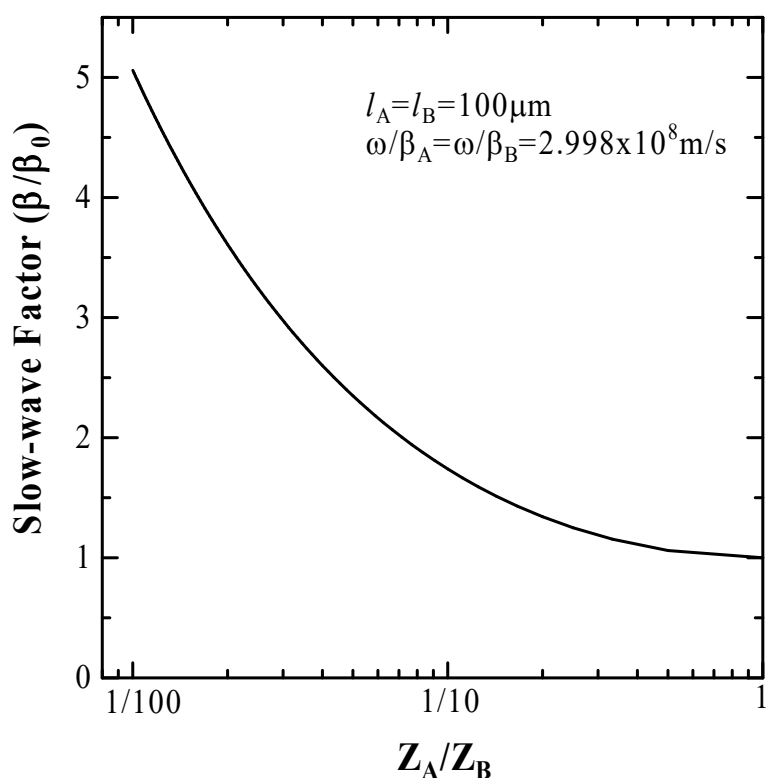


図 5.20 Slow-wave factor のインピーダンス比依存性

しかし、如何に高いインピーダンス比を得たところで、結果として生じる Slow-wave のインピーダンスが実用的な範囲になければ意味はない。図 5.21 は、 $Z_{slow-wave} = 50 \Omega$  となるための  $Z_A, Z_B$  の条件及びそのときの Slow-wave factor を示したグラフである。高インピーダンス側の  $Z_B$  を横軸に、 $Z_{slow-wave} = 50 \Omega$  を得るのに必要な  $Z_A$  とそのときの Slow-wave factor を縦軸にプロットしている。図から、たとえば波長を半減したいと思えば  $Z_A$ 、としては  $10 \Omega$  程度、 $Z_B$  としては  $200 \Omega$  近くの高いインピーダンスが必要となることがわかる。

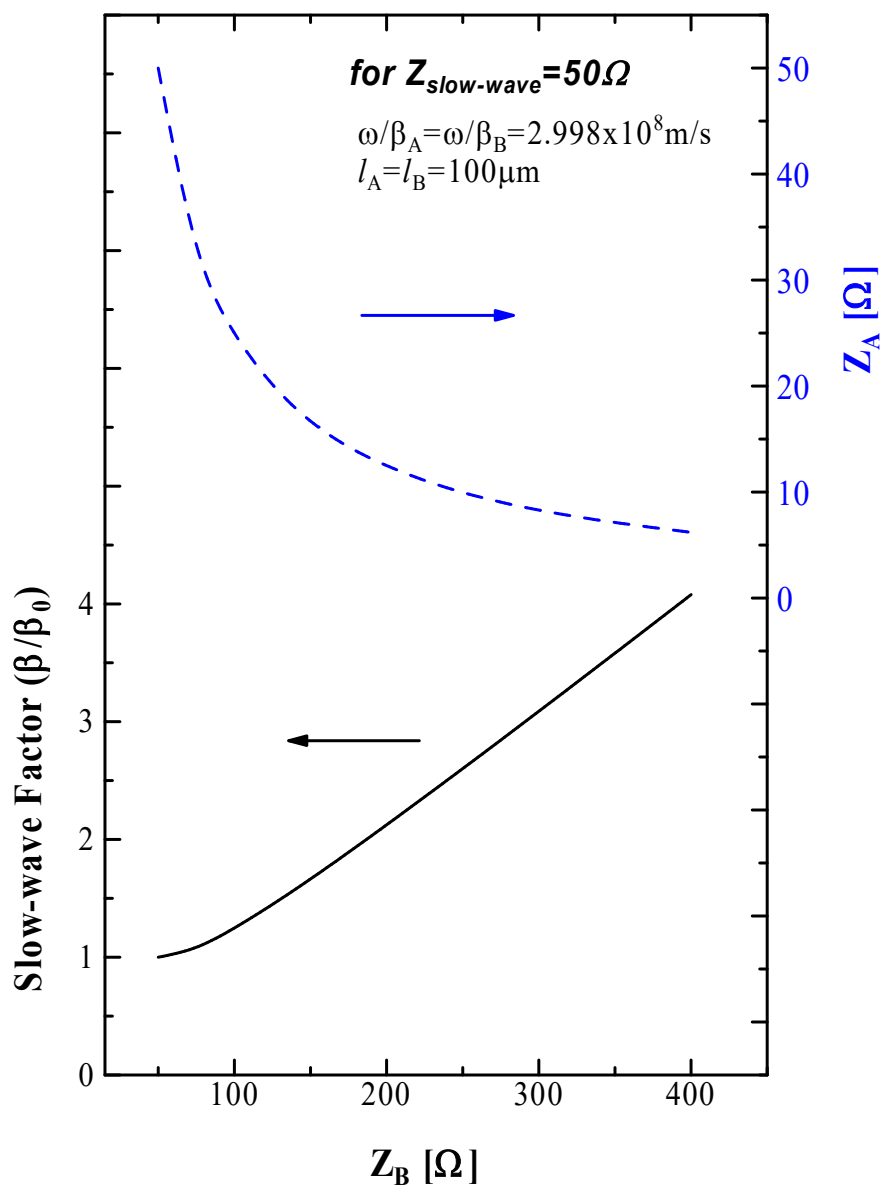


図 5.21  $Z_{slow-wave} = 50\Omega$ となるための  $Z_A, Z_B$  の関係と Slow-wave factor

#### 5.4.3 CPW を用いた Si 上の Slow-wave 線路の設計

基本伝送線路に CPW(Coplanar Waveguide) を用いた Slow-wave 線路は GaAs 基板を用いたものが提案されている<sup>[5.10-5.12]</sup>。図 5.22 にその例<sup>[5.12]</sup>を示す。通常の CPW の下部に線路と直交するストライプ状の GND プレーンを有する構造(Cross-tie CPW)とな

っている。断面図に示したように CPW 下部に GND プレーンがある部分 (セクション A) はいわゆるグラウンデッド CPW となり、下部に GND プレーンがない部分 (セクション B) は通常の CPW 線路の構造をしている。当然ながらセクション A の方が GND プレーンの分だけ容量が大きく、従ってインピーダンスが低くなる。GND プレーンがストライプ状に形成されることから、これらが交互に周期的につながることによって図 5.17 の Slow-wave 構造を実現しようとするものである。同様な考えで GND プレーンを CPW の上部に設けたいわゆるオーバーレイ構造も提案されている<sup>[5.11-5.14]</sup>。

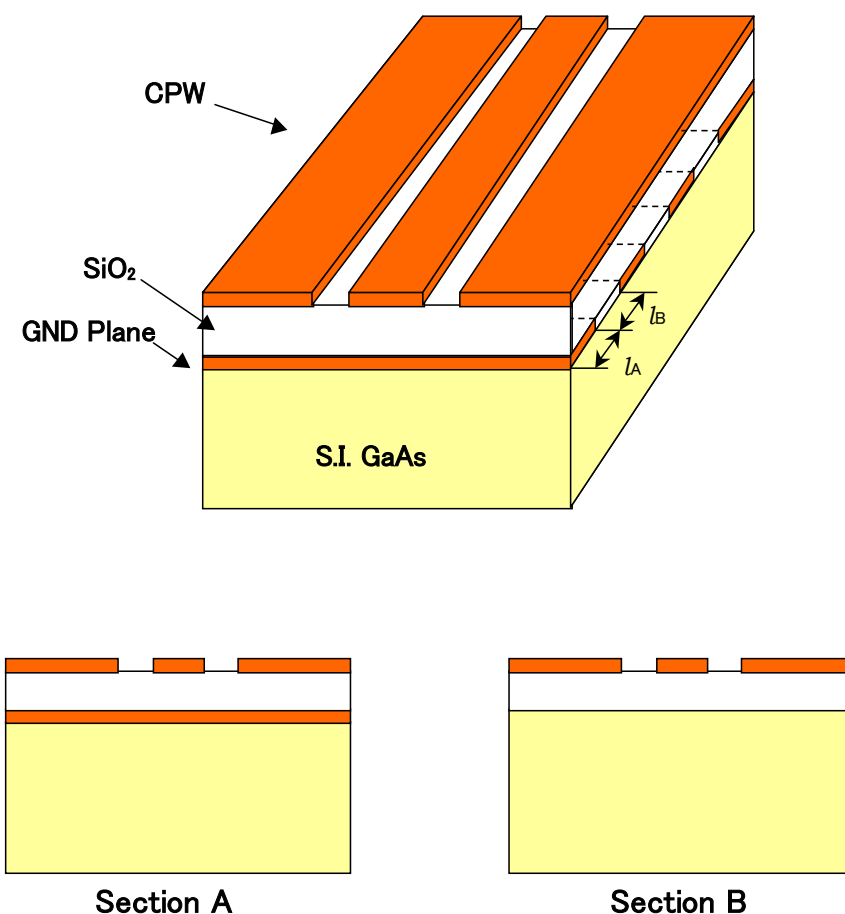


図 5.22 Cross-tie CPW 線路の構造

Si 基板上でも CPW 線路に関する研究はなされており<sup>[5.15]</sup>、もちろん図 5.22 のような構造を形成することは可能であると思われる。しかし、他の伝送線路同様、Si 基板特有の問題を考慮する必要がある。本章ではこのような Si 特有の問題を考慮しながら、Slow-wave CPW 線路の実現可能性について、具体的な設計をしながら検討して行く。

はじめに、Si 基板上的 CPW 線路の特性インピーダンスについて検討する。前節で述べたように、特性インピーダンスが  $50\Omega$  程度の Slow-wave を得るためには、高インピーダンス線路として  $200\Omega$  近い特性インピーダンスの線路が必要である。Si 上の CPW 線路でそのような高いインピーダンスが実現できるかが、まずはじめの課題となる。

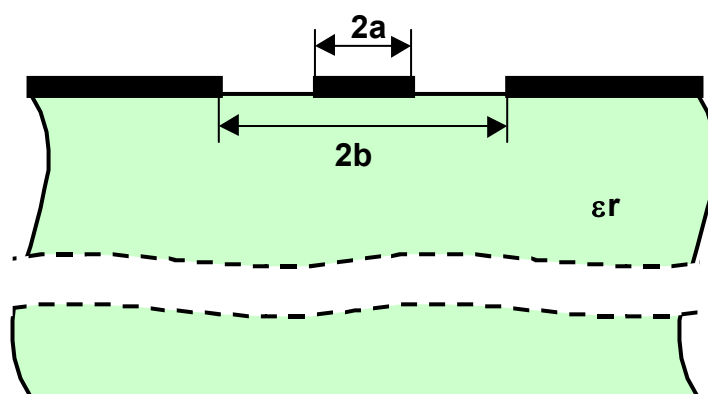


図 5.23 理想的な CPW 線路の断面構造

図 5.23 に示したような最も基本的な CPW 線路（基板厚無限大、GND 導体無限大）の実効誘電率  $\epsilon_{eff}$  及び特性インピーダンス  $Z_0$  は、導体の厚さを無限小とした等角写像法を用いた準静電解析により、次式で与えられることが知られている<sup>[5.16]</sup>。

$$Z_0 = \frac{30\pi}{\sqrt{\epsilon_{eff}}} \frac{K'(k_1)}{K(k_1)} \quad (5.9)$$

ただし、

$$\epsilon_{eff} = \frac{\epsilon_r + 1}{2} \quad (5.10)$$

$$k_1 = \frac{a}{b} \quad (5.11)$$

ここで、 $K$  は第 1 種完全楕円積分であり、図に示したように  $\epsilon_r$  は基板の比誘電率、 $a$  は信号導体幅の  $1/2$ 、 $b$  は接地導体間隔の  $1/2$  である。(5.9) 式を用いて中心 (信号)



導体幅  $W(=2a)=20\mu\text{m}$  時の中心導体－設置導体間隔  $S(=b-a)$  に対する特性インピーダンス  $Z_0$  の値を計算した結果を図 5.24 に示す。基板がすべて Si ( $\epsilon_r=12$ ) の場合とすべて  $\text{SiO}_2$  ( $\epsilon_r=4$ ) の場合について計算した。

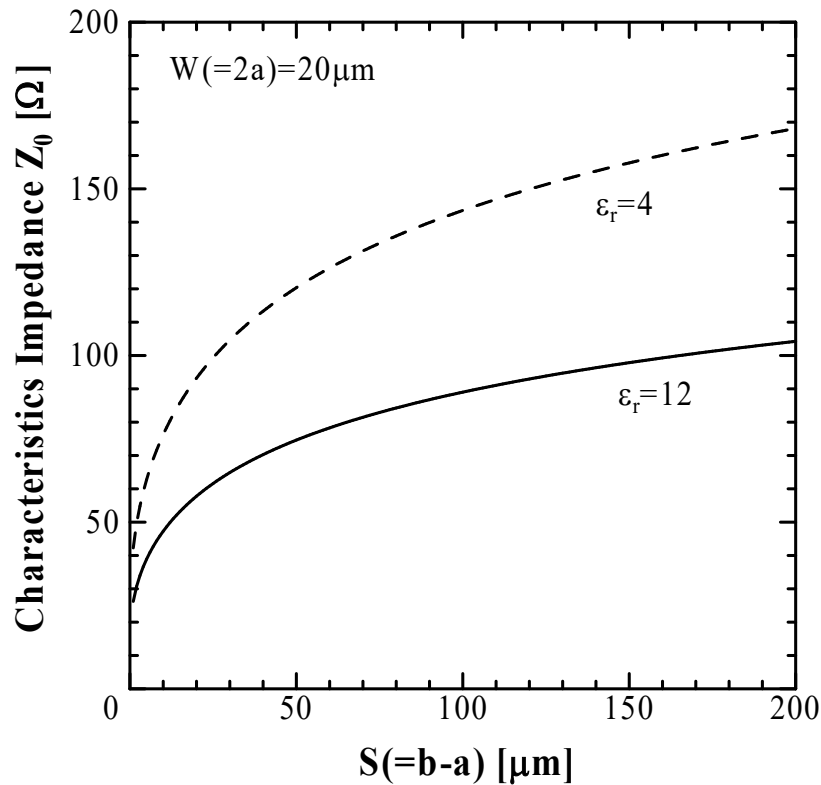


図 5.24 CPW 線路のインピーダンスの中心導体－接地導体間スペース(S)依存性

なお、計算において、第一種完全楕円積分  $K$  に対する  $K/K'$  の近似式として下記の式 [5.17] を用いた。

$$\frac{K(k)}{K'(k)} = \frac{1}{\pi} \ln \left[ \frac{2(1+\sqrt{k})}{(1-\sqrt{k})} \right] \quad \text{for } 0.707 \leq k \leq 1 \quad (5.12)$$

$$\frac{K(k)}{K'(k)} = \frac{\pi}{\ln \left[ \frac{2(1+\sqrt{k'})}{(1-\sqrt{k'})} \right]} \quad \text{for } 0 \leq k \leq 0.707 \quad (5.13)$$

ただし、

$$k' = \sqrt{1 - k^2} \quad (5.14)$$

実際の Si 上の CPW では図 5.22 に示したように基板誘電体が Si と SiO<sub>2</sub> の積層構造となることから、その特性インピーダンスは図 5.24 の両プロットの間値を取ることが予想される。しかしながら、いずれにせよ、中心導体-接地導体間隔を如何に大きくとったところで、200Ω もの高抵抗線路を得るのは非常に困難であり、Si 上の CPW で Slow-wave 線路が実現できたとしてもそのインピーダンス値は低い値に制限されることを覚悟しておかなければならない。

また、実際の Si 基板は図 5.23 に示した理想状態とは異なり、基板厚、接地導体面積ともに有限である。基板も単一誘電体ではなく、Si と SiO<sub>2</sub> の積層構造であり、なにより通常 Si は理想的な誘電体ではなく、導電性を有する。このような状況下での CPW 線路のインピーダンスを知るために、電磁界シミュレータによるシミュレーションを試みた。今回シミュレータに Sonnet 6.0b-Lite<sup>[5,18]</sup> を用いることとした。本シミュレータは計算できる誘電体層が 3 層、使用できるメモリが 16MB 以下といった多くの制限事項があるものの、フリーウェアで提供されていること、PC で簡単に使用できることから、初期段階の見積もりには最適と判断した。本シミュレータはモーメント法を用いたいわゆる 2.5 次元の電磁界シミュレータで、積層基板上のマイクロストリップ線路や CPW 線路の計算に特に適している。Sonnet では図 5.25 に示したように基板の層構造と基板上の導体パターンを入力すれば、境界を完全導体で囲まれていると仮定して計算を行う。従って周波数に対して解析領域をあまり小さくとると境界の導体の影響がでてくるので注意が必要である。逆に、あまりに領域を大きくとるとメモリや計算時間が増大するので、兼ね合いが大切となる。メッシュは基本的にはじめに指定したセルサイズを元に計算される。パターンの細かさや領域全体の大きさをよく吟味してできるだけ少ないセル数で表現できるように調整することも重要である。

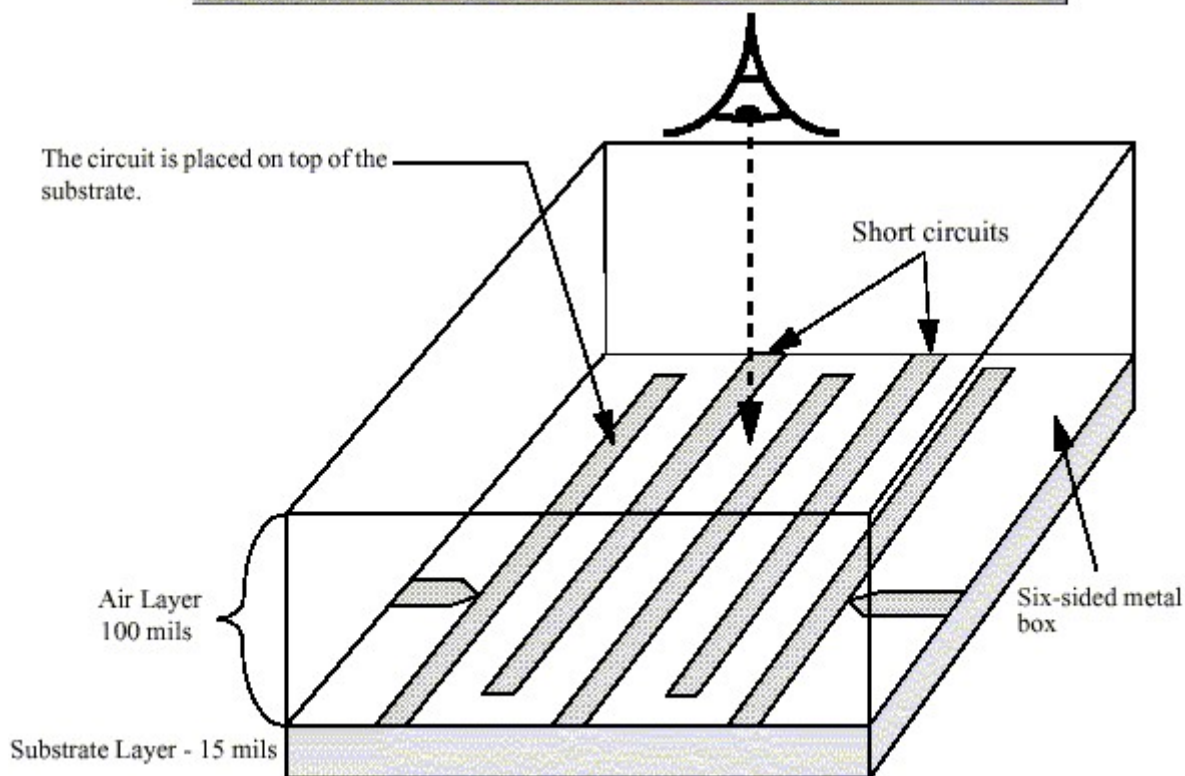
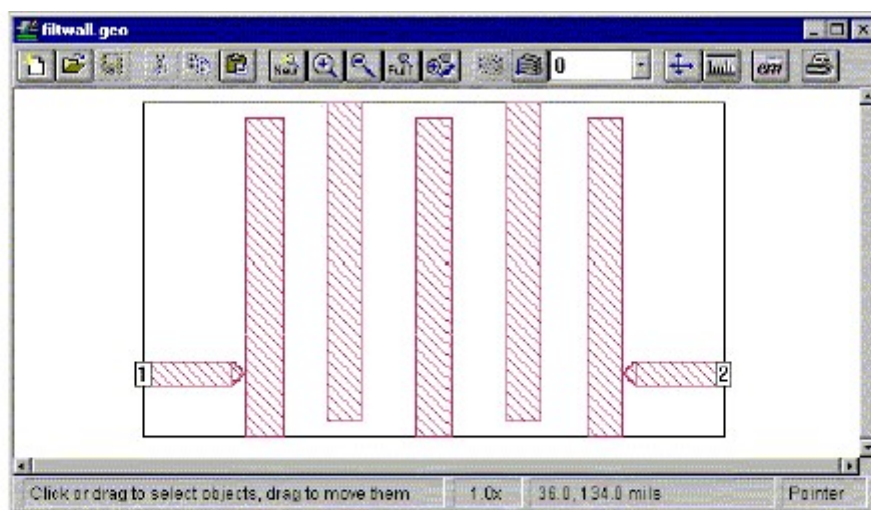


図 5.25 Sonnet 6.0b-Lite<sup>[5.18]</sup>のシミュレーション構造

ここでは Si 上の CPW として、基板層を最大 3 層 (Si、SiO<sub>2</sub>、Air) 用いた。誘電体の損失としては、簡単のため誘電損失を無視し、Si の導電ロスのみを考慮することとした。また、Sonnet 6.0b-Lite では、導体の抵抗を取り扱うことが出来ないため、導体は抵抗ゼロ、厚さゼロの完全導体として計算した。メモリの制約から、CPW の線路長は 1mm、最小セルサイズは長さ方向 50 $\mu$ m、幅方向 5 $\mu$ m とし、CPW の接地導体幅は接

地導体間距離(2b)の2倍<sup>[5.19]</sup>を目安にした。

理想状態との差の影響を理解しながら、実際の特徴インピーダンスを見積もるために、図 5.26 に示す4つの場合について、特徴インピーダンスを計算してみた。すなわち、(a)SiO<sub>2</sub> 上の CPW、(b)高抵抗 Si (導電性がないと過程) 上の CPW、(c)高抵抗 Si と SiO<sub>2</sub> からなる基板上的 CPW、(d)(c)の構造で Si の導電性を考慮である。(a),(b)は(5.9)の計算値との比較のために基板厚は十分大きく(1000 $\mu$ m)とり、いずれの場合も最上層の Air 層も 1000 $\mu$ m とした。(c),(d)については実際の Si 基板厚を考慮して 650 $\mu$ m とし、SiO<sub>2</sub> 膜厚は 4 $\mu$ m とした。また、(d)の Si の導電率( $\sigma$ )は 200S/m ( $\rho=0.5\Omega\cdot\text{cm}$ ) とした。

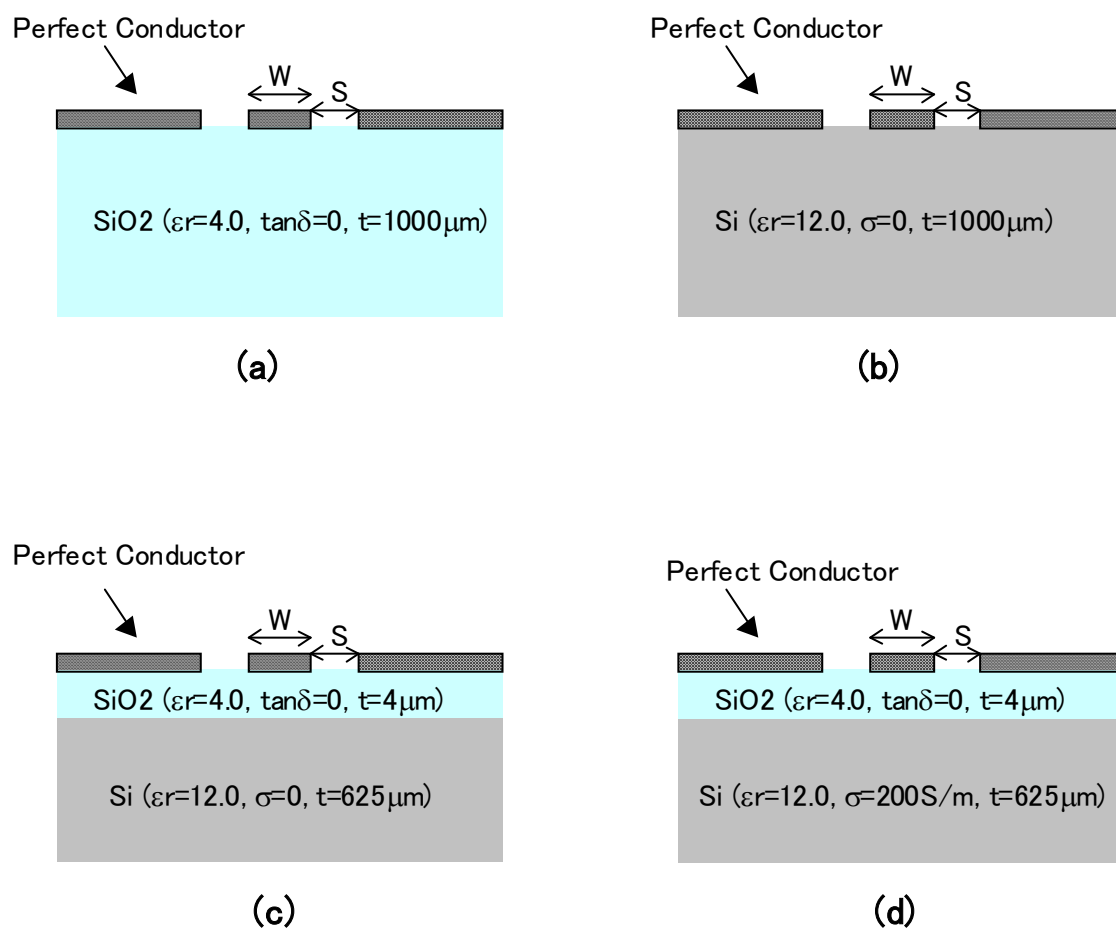
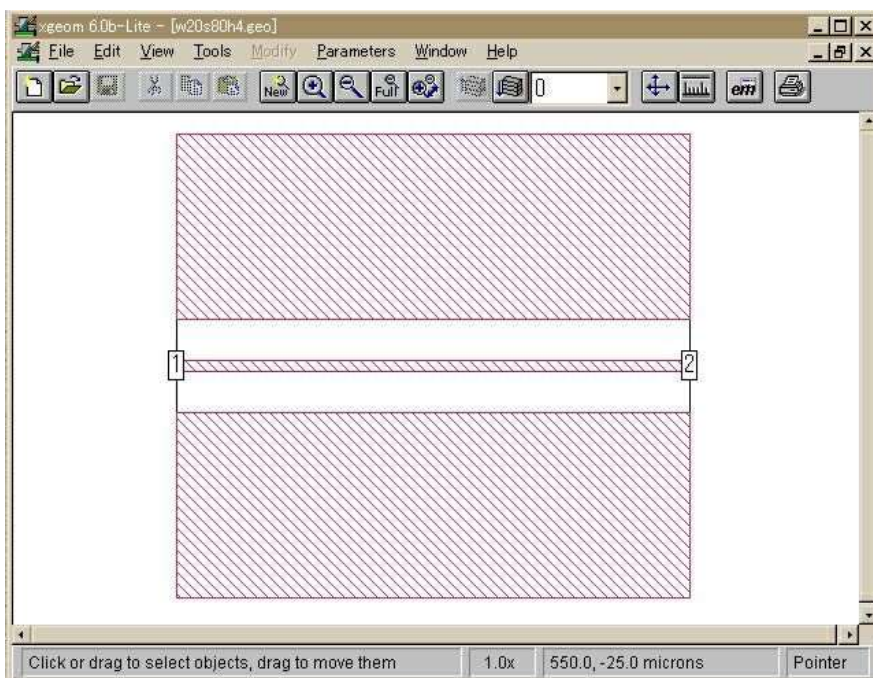
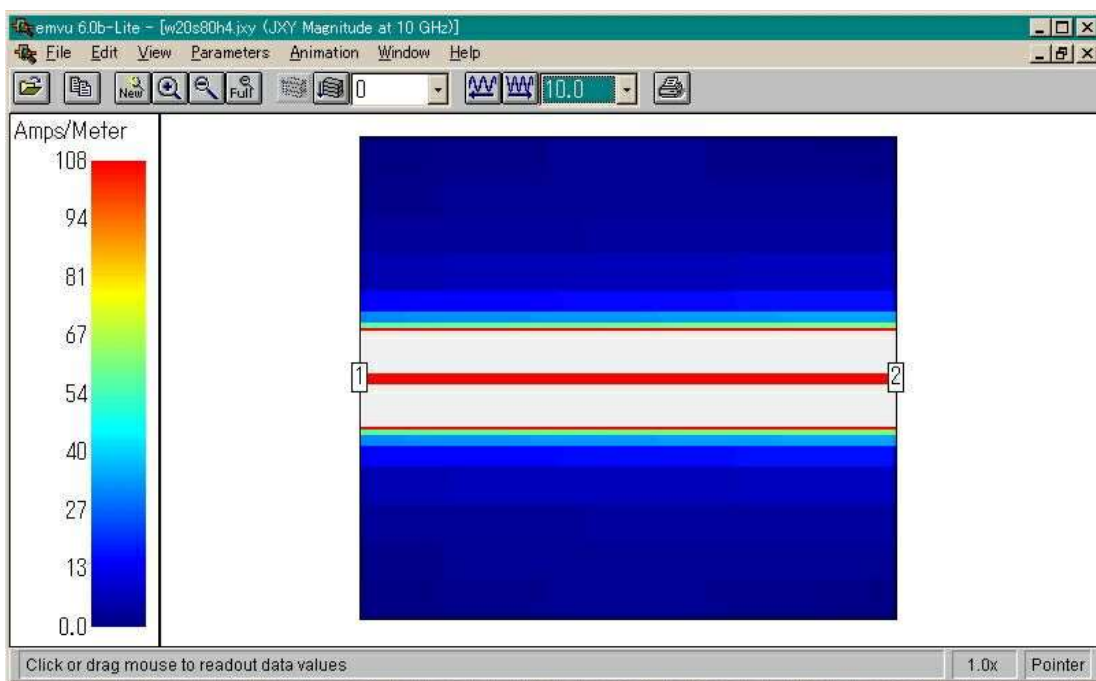


図 5.26 電磁界シミュレーション検討ための4つの CPW 構造

図 5.27 に Sonnet シミュレーションの Geometry 図とシミュレーション結果（電流分布図）の例を示す。



(a) Geometry 図



(b) シミュレーション結果(電流分布)

図 5.27 Sonnet シミュレーションの Geometry 図とシミュレーション結果

Sonnet では、このような電流分布図の他に Geometry で指定したポートで De-embed した S パラメータが出力できる。S パラメータから、特性インピーダンスや位相定数を求めるには、ABCD 行列を用いた。良く知られているように、特性インピーダンス  $Z$ 、伝播定数  $\gamma$ 、長さ  $l$  の伝送線路の ABCD パラメータは下記の式で表される。

$$\begin{bmatrix} A & B \\ C & D \end{bmatrix} = \begin{bmatrix} \cosh \gamma l & Z \sinh \gamma l \\ \frac{\sinh \gamma l}{Z} & \cosh \gamma l \end{bmatrix} \quad (5.15)$$

(5.15) 式から、ABCD パラメータを用いて  $Z$ 、 $\gamma$  は直接求められる。すなわち、

$$\cosh(\gamma l) = A \quad (5.16)$$

$$Z^2 = \frac{B}{C} \quad (5.17)$$

S パラメータから ABCD パラメータへの変換は下記の式で容易に計算できる。

$$\begin{bmatrix} A & B \\ C & D \end{bmatrix} = \begin{bmatrix} \frac{(1+S_{11})(1-S_{22})+S_{12}S_{21}}{2S_{21}} & \frac{(1+S_{11})(1+S_{22})-S_{12}S_{21}}{2S_{21}} \\ \frac{(1-S_{11})(1-S_{22})-S_{12}S_{21}}{2S_{21}} & \frac{(1-S_{11})(1+S_{22})+S_{12}S_{21}}{2S_{21}} \end{bmatrix} \quad (5.18)$$

すなわち、シミュレーションの結果得られた S パラメータを (5.18) 式に従って ABCD パラメータに変換し、(5.17) 式を解くことで CPW 線路の特性インピーダンス  $Z$  が計算できるわけである。本節では以後、特に断らない限り、10GHz での計算結果を示す。このようにして求めた図 5.26 (a),(b) の CPW 線路の特性インピーダンス  $Z$  (実部) を図 5.25 に示した式 (5.9) の結果と重ねて図 5.28 に示す。中心導体-接地導体間距離  $S$  が小さい領域 (低インピーダンス側) でやや不一致が見られるものの、おおむね計算値とシミュレーション値は一致している。S が小さい領域での不一致は、Sonnet 6.0b-Lite の制限でコプレーナ用のペアポートが使えず、通常のポートでシミュレーションしていることも一因であると推察される。ただ、ここでは高インピーダンス線路の計算を目的としているので、特に問題はないと考える。

図 5.29 に、図 5.26 のすべてのタイプでのシミュレーション結果を合わせてプロットした。SiO<sub>2</sub>/Si の積層構造(c)では予想通り、それぞれ単層(a)、(b)の場合の中間の値を示しているのがわかる。しかし、Si 基板の導電性を考慮した場合(d)は、インピーダンス

値が全体に大きく低下し、 $S$  を大きくしてもあまり変化が見られない。これは、誘電体 ( $\text{SiO}_2$ ) 膜厚が  $S$  に比べて小さくなるために図 5.30 に示すように電気力線の大部分が接地導体ではなく導電性  $\text{Si}$  に終端するようになると考えると理解できる。CPW というよりはむしろマイクロストリップ線路のような伝播モードとなり、 $S$  には依存しなくなるわけである。しかも、 $\text{Si}$  基板は完全な導体ではないから、電気力線は完全には終端されず、ロスを生じながら基板裏面の GND に終端されることになる。

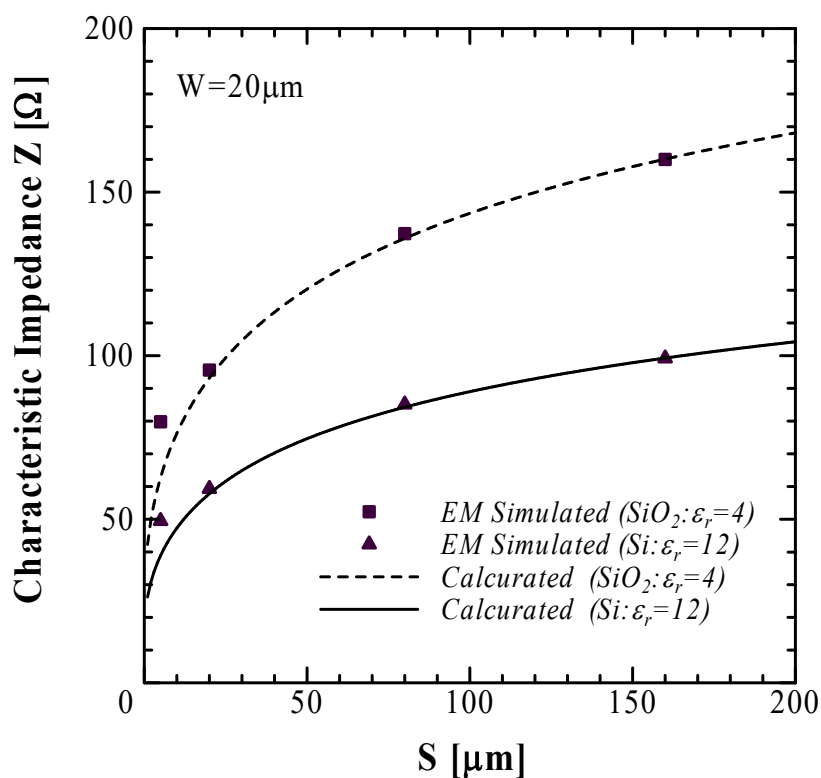


図 5.28 CPW 線路インピーダンスの数値計算と電磁界シミュレーションとの比較

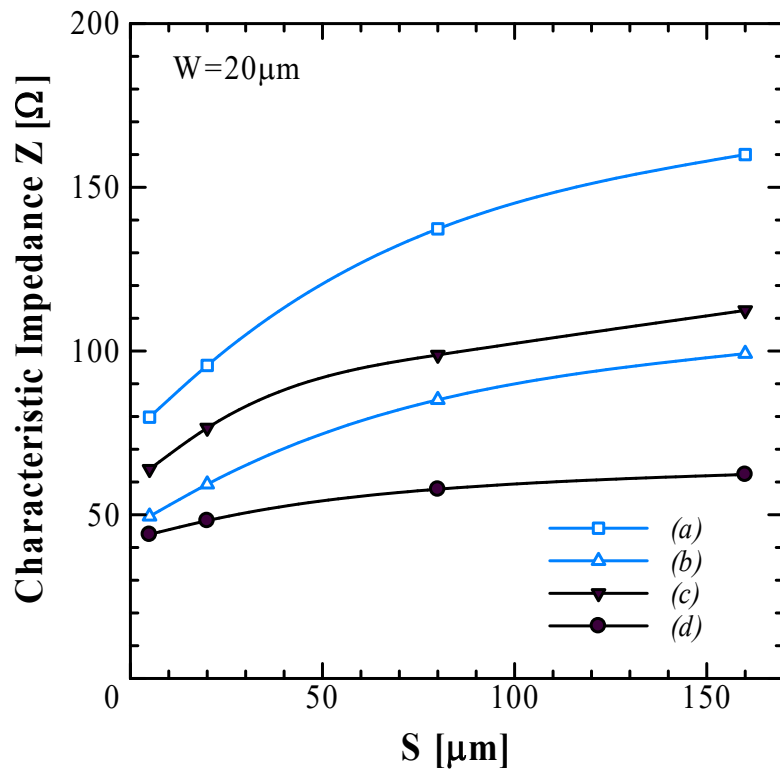


図 5.29 各 CPW 構造におけるインピーダンス値と中心導体-接地導体間距離の関係

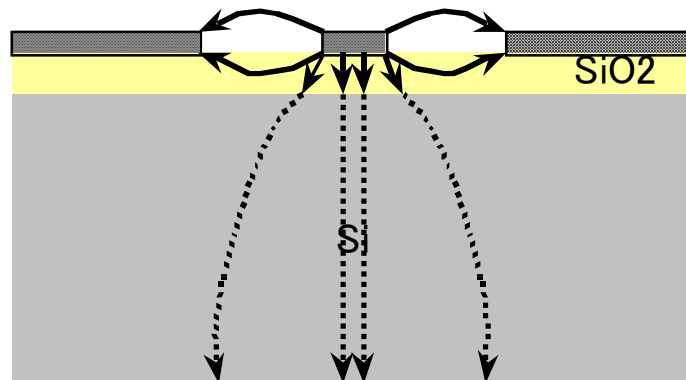


図 5.30 CPW 断面における電気力線の様子

図 5.31 にこの(d)タイプの CPW 線路の挿入損失(@10GHz)の中心-接地導体間距離(S)依存性の計算結果を示す。ただし、挿入損失はシミュレーション結果の S パラメータか



ら、下記の式を用いて計算した。

$$I.L = \frac{|S_{21}|^2}{1 - |S_{11}|^2} \quad (5.19)$$

図 5.31 から明らかなように、挿入損失は  $S$  の増加とともに大きくなる。はじめに述べたように Sonnet 6.0b\_Lite では導体の損失をゼロとして計算しているから、図 5.31 のロス は Si 基板のロス を表現していることになる。すなわち、 $S$  が増加するにつれて信号線からみて相対的に Si 基板が近くなり、より多くの電気力線が Si 基板に進入する結果、大きなロスが生じてしまう。したがって、導電性 Si 基板上の CPW 線路の場合、中心-接地導体間距離 ( $S$ ) を増加しても線路の特性インピーダンスはあまり大きくできないうえ、損失も大きくなるので、あまり得策でないことが分かった。

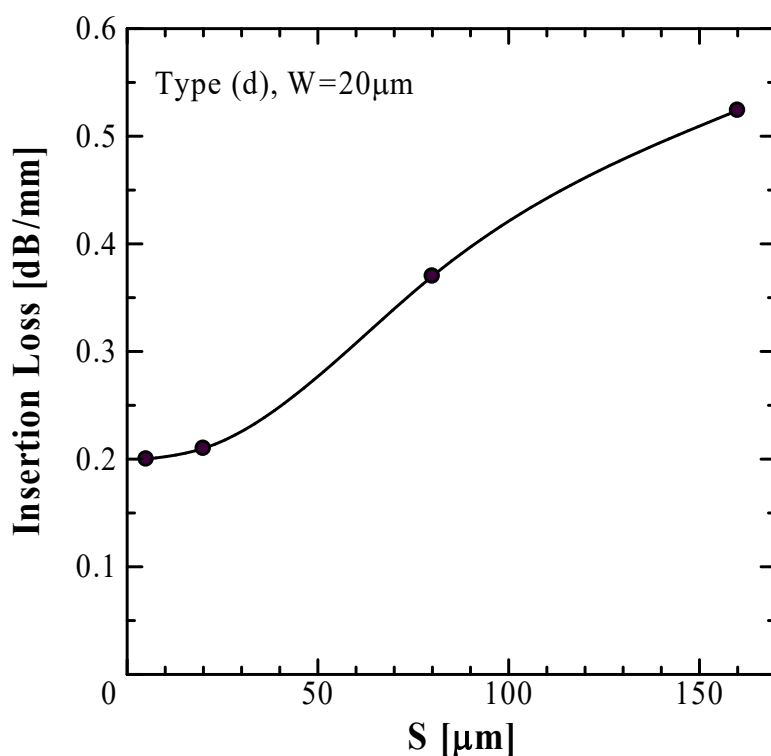


図 5.31 CPW 線路(d)の挿入損失の中心-接地導体間距離依存性

Si 基板の影響を低減し、特性インピーダンスの増加とロスの低減を図るには、図 5.26(d) の構造において SiO<sub>2</sub> の膜厚を増加し、Si 基板を遠ざければよいが、Si IC の実プロセスにおいて配線層間絶縁膜である SiO<sub>2</sub> の膜厚増加には限度があるし、できればなるべく標準プロセスの範囲内で使用したい。SiO<sub>2</sub> の膜厚一定の条件下で Si 基板の影響を低減するには、線路の中心導体幅  $W$ 、中心-接地導体間距離  $S$  のサイズを小さくして相対的に Si 基板を遠ざけるしかない。図 5.32 に挿入損失及び特性インピーダンスの  $W$  依存性のシミュレーション結果を示す。シミュレーションにおいて、基板の条件は図 5.26 (d) のままとし、 $W/S$  比を一定とした。同図より、中心導体幅  $W$  を縮小することで、Si 基板の損失は激減し、同じ  $W/S$  比でありながら特性インピーダンスも向上できることが分かる。このことは、CPW のサイズを縮小することで Si 基板の影響を低減できることを示している。しかしながら、導体幅を縮小すると、今度は今回のシミュレーションで無視した配線金属の導体損が増加するので注意が必要である。結局、これらはすべてトレードオフの関係にあり、金属の導電率や Si 基板の抵抗率、SiO<sub>2</sub> の膜厚、周波数などに応じて最適な  $W$ 、 $S$  が存在することになる。これらを考慮した正確な設計を行うには、メタルの抵抗や膜厚、さらには誘電体の誘電損も取り扱うことのできる、高機能シミュレータ (Sonnet Suite, HP-Momentum, HP-HFSS 等) が必要となる。いずれにしても Si 上の CPW 線路では高々 100Ω 程度のインピーダンスが限界であることが分かった。

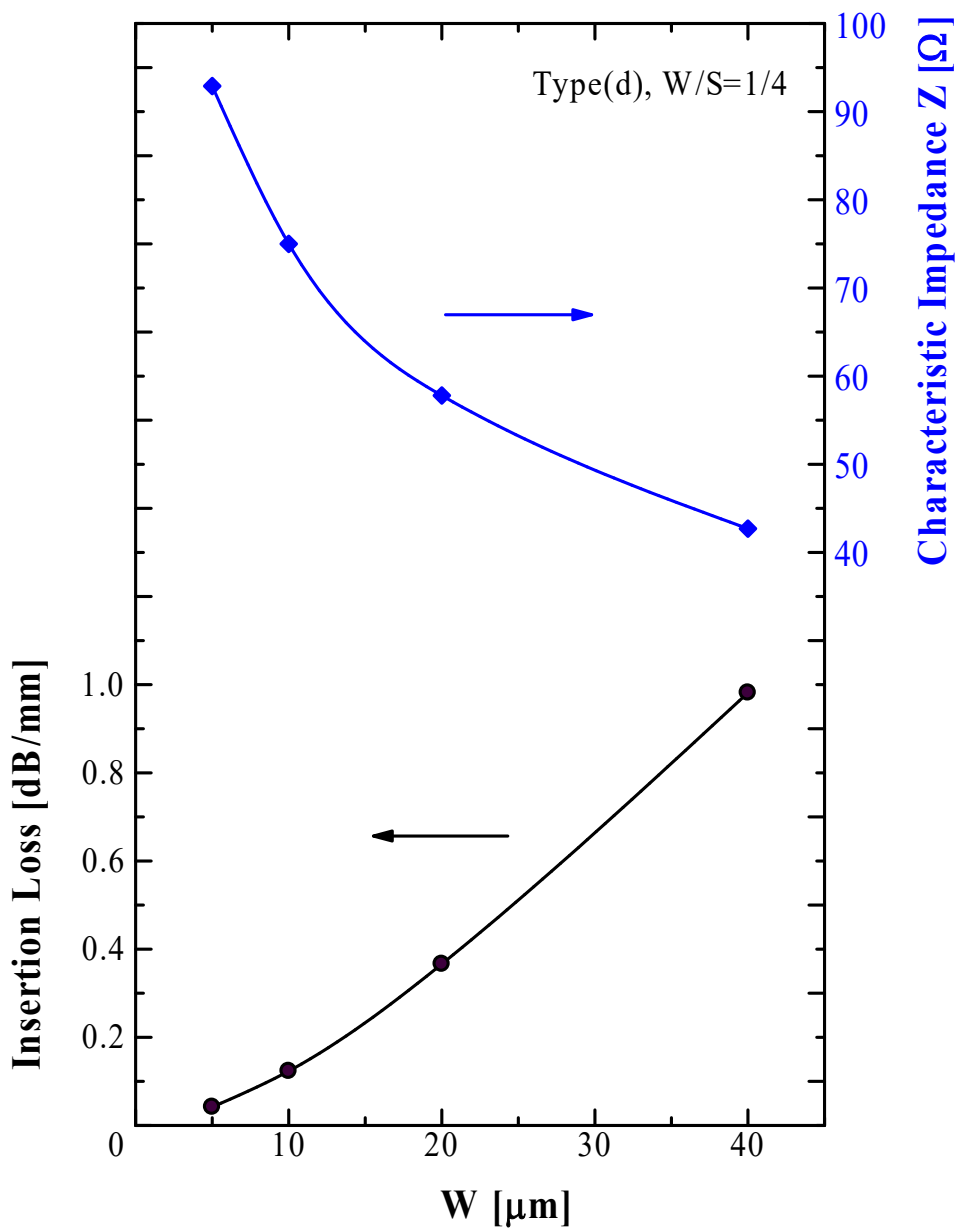


図 5.32 CPW 線路(d)の挿入損失及び特性インピーダンスの中心導体幅 W 依存性

次に、低インピーダンス線路となる図 5.22 のセクション A、いわゆる Grounded-CPW 線路について考察する。比較のため、ここでも Sonnet 6.0b-Lite による電磁界シミュレーションを行った。シミュレーションに用いた構造図を図 5.33 に示す。図 5.26(d) の SiO<sub>2</sub> と Si 基板の間に厚さゼロの完全導体からなる GND プレーンを挿入した構造 ( 図 5.33(e) ) である。しかし、この構造では Si 基板は GND プレーンによって完全

に遮断されるので、実際には図 5.33(f)に示した Si 基板なしの構造と計算結果は変わらない。よってメモリと計算時間の節約のため、大半は(f)の構造でシミュレーションを行った。

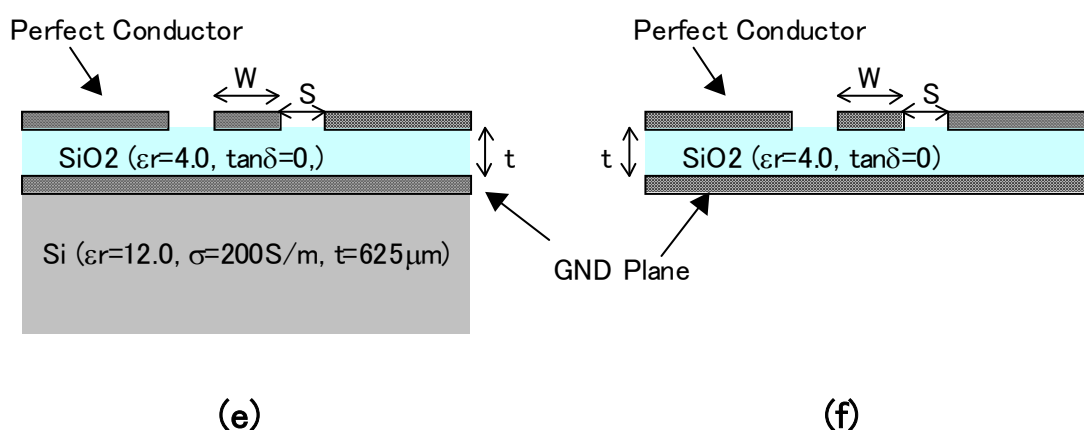


図 5.33 電磁界シミュレーション検討用の 2 つの Grounded-CPW 構造

図 5.34 にシミュレーション結果の例を示す。同図は  $W=20\mu\text{m}$  の時の線路の特性インピーダンス  $Z$  の  $S$  依存性を示している。比較のために、GND プレーンが無い構造の図 5.26(c),(d)の結果も合わせてプロットした。本例では、GND プレーンの方が CPW の接地導体より近いので電気力線の大半は GND プレーンで終端することになり、したがって、インピーダンスは  $S$  とは無関係に決まると考えられる。このことは、図 5.35 に示したシミュレーション結果の電流分布図からも確かめられる。同図より、ほとんどの GND 電流は信号線直下の GND プレーンに集中していることが分かる。従って Grounded-CPW のインピーダンスは  $S$  ではなく、 $\text{SiO}_2$  の膜厚  $t$  に大きく依存すると考えられる。

そこで、次に特性インピーダンス  $Z$  の  $\text{SiO}_2$  膜厚  $t$  依存性をシミュレーションしてみた。図 5.36 にその結果を示す。ただし、CPW の  $W=5\mu\text{m}$ 、 $S=20\mu\text{m}$  としている。参考のため GND プレーンのない通常の CPW のシミュレーション結果も合わせてプロットした。  $t$  を小さくすることで、より低いインピーダンスが得られるのが分かる。ただし、前節でも述べたように Si に導電性があることから、通常の CPW もインピーダンスが下がってしまう。そのため、インピーダンス比を大きくとることは難しい。同図の場合、一番薄い  $t=0.5\mu\text{m}$  の場合で  $Z_A/Z_B=15.8/43.4=0.36$  程度にしかならない。

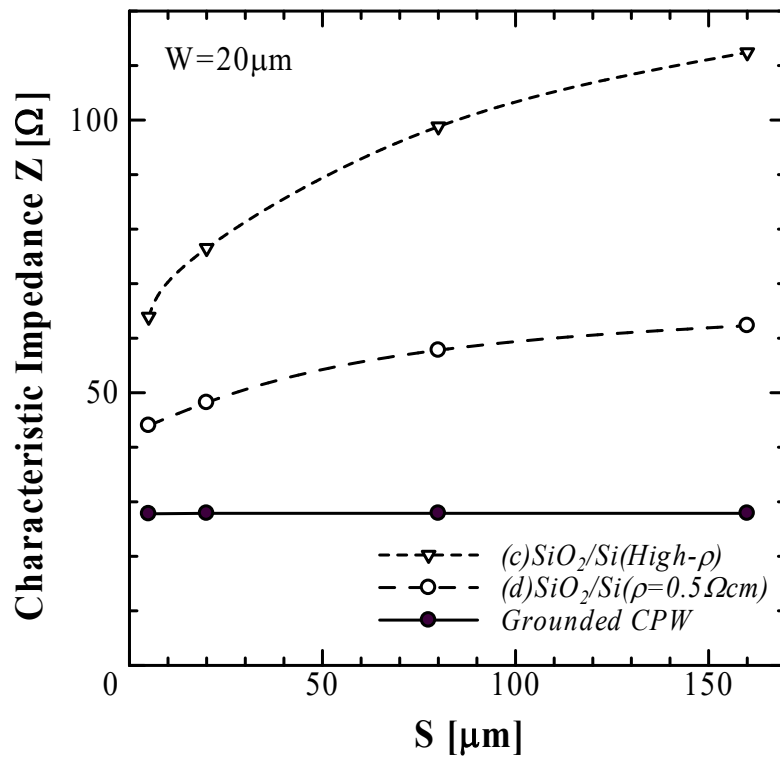


図 5.34 CPW 線路の中心導体-接地導体間距離  $S$  と特性インピーダンスの関係。

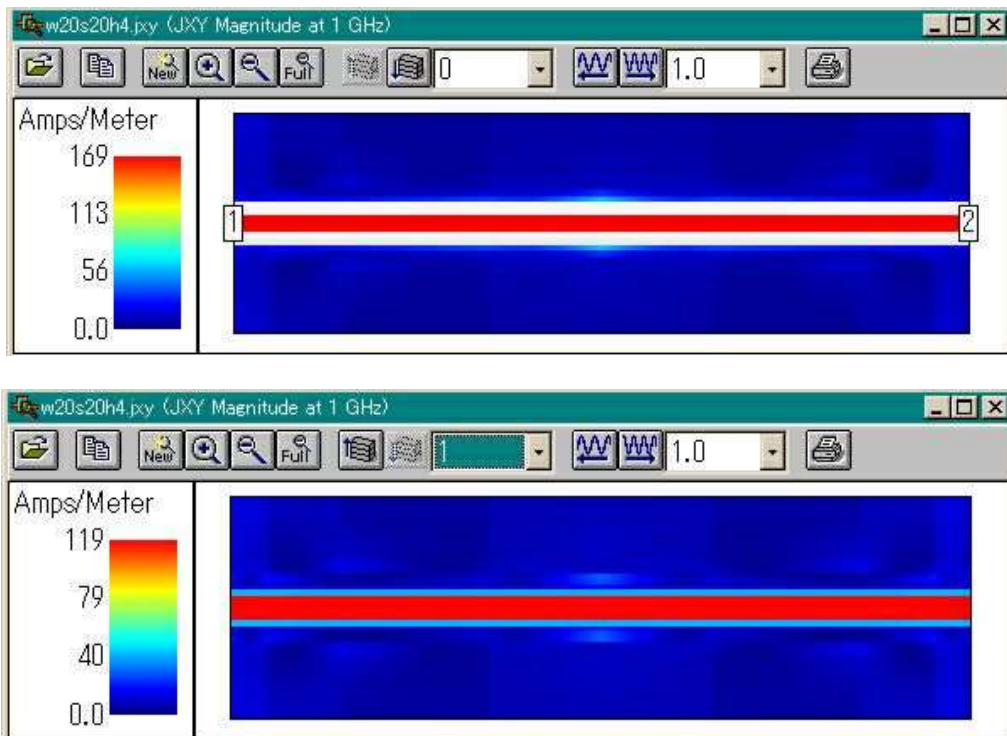


図 5.35 電流分布のシミュレーション結果

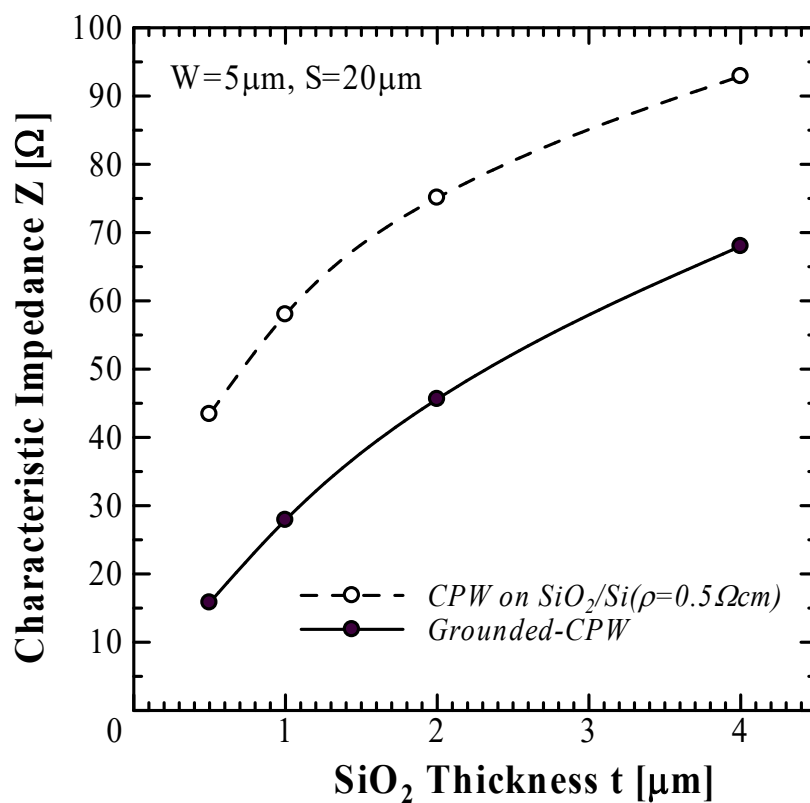


図 5.36 特性インピーダンス  $Z$  の  $\text{SiO}_2$  膜厚  $t$  依存性.

このことから、Si 基板を用いた場合、図 5.22 に示したような単純な Cross-tie CPW では、あまり Slow-wave の効果を発揮できないことが分かった。考えられる対策としては、例えば、図 5.37 に示したように多層配線技術を用いて、Cross-tie GND プレーンを信号線直下へ形成するなどして、Grounded-CPW 部と CPW 部での実効的な  $\text{SiO}_2$  膜厚を変えるなどの工夫が必要であろう。

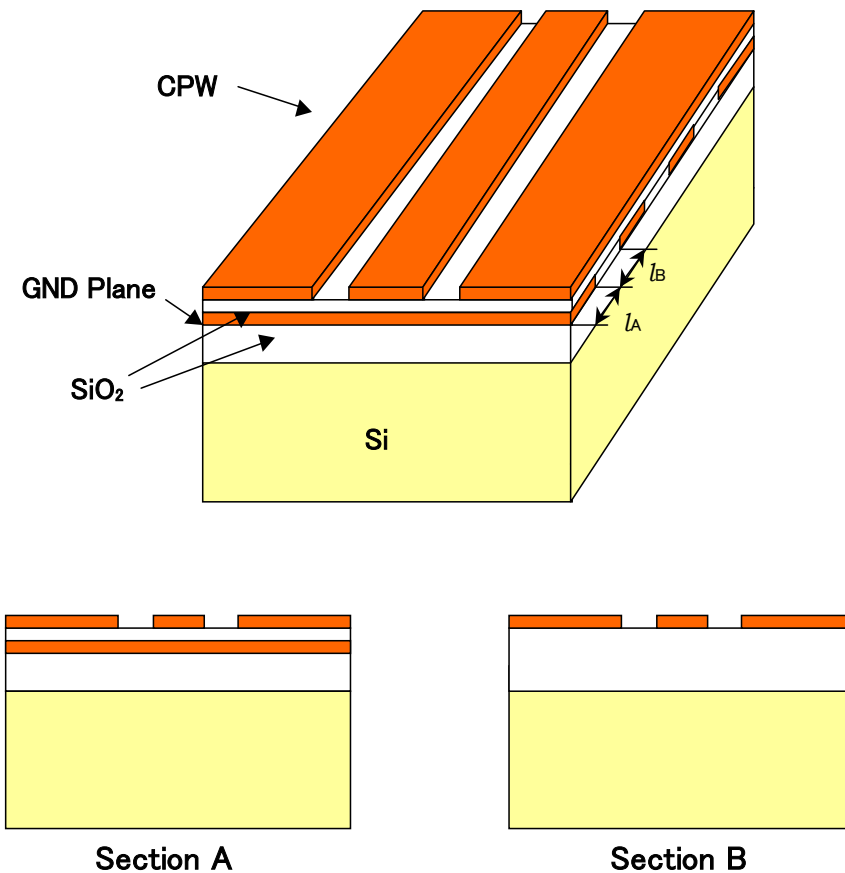


図 5.37 Si 基板上の Cross-tie CPW 線路構造の提案

このような工夫をした上で、実際に Si 上の Cross-tie CPW 構造で Slow-wave 現象が観測されるのか、電磁界シミュレーションで確認したいところであるが、Sonnet 6.0b-Lite の制約から 4 層以上の誘電体層を取り扱うことが出来ないため図 5.37 の構造を直接シミュレーションすることができない。そこで、Cross-tie CPW の構造としては図 5.23 の従来と同じ構造を用い、Slow-wave 現象が確認されるかどうか注目したシミュレーションを行った。

図 5.38 に、前節の例の中でもっとも高いインピーダンス比の得られた  $W/S=5/20\mu\text{m}$ 、 $\text{SiO}_2$  膜厚  $t=0.5\mu\text{m}$  の場合で、Cross-tie GND 周期を  $l_A=l_B=50\mu\text{m}$  としてシミュレーションした位相定数  $\beta$  の周波数依存性の計算結果を示す。比較のために、Cross-tie GND の無い、ただの CPW 線路の特性も合わせてプロットした。ただし、Cross-tie GND をもつ線路のシミュレーションに関しては最大メモリ数の制限から、これまでのシミュレーションに比べてセルサイズを大きくとって計算したため多少粗い計算結果となって

いる。

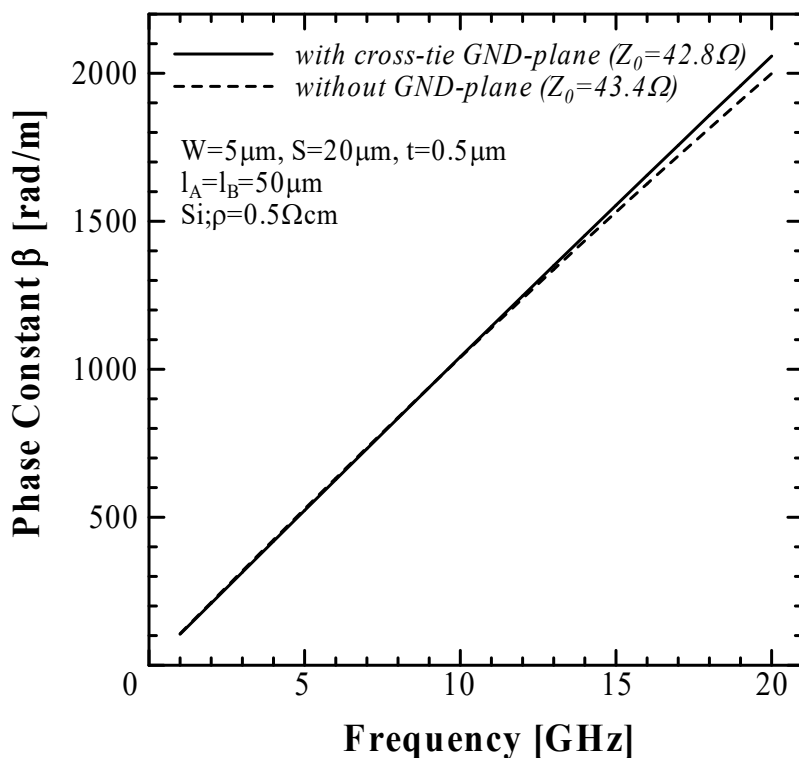


図 5.38 Cross-tie GND を有する CPW 線路の位相定数  $\beta$  の周波数依存性

図 5.38 を見る限り、Cross-tie GND を形成しても位相定数にほとんど差はみられない。この結果から一見 Si 基板上の Cross-tie CPW では Slow-wave 現象は見られないと思われるが、そうではない。これは、基板の Si と層間絶縁膜の SiO<sub>2</sub> の誘電率が大きく異なることに起因している。多層誘電体上の CPW 線路の実効誘電率は、通常最上層の誘電率に近くなるが、今回の Si 基板は導電性をもつため、前節で示したように多くの電気力線が Si 基板内に進入する。その結果、CPW の実効誘電率は誘電率の高い Si 基板の値に近くなる。実効誘電率が高いため CPW 線路の波長はその分だけ短くなる。前節では線路の特性インピーダンスしか比較しなかったが、図 5.39 に、図 5.26 (c),(d) の構造、すなわち Si 基板の導電性が有る場合と無い場合について、位相定数の周波数依存性の比較を示した。図から明らかなように、Si に導電性があるほうが、実効誘電率が高くなるので位相定数も大きくなり、波長が短縮されることがよく分かる。



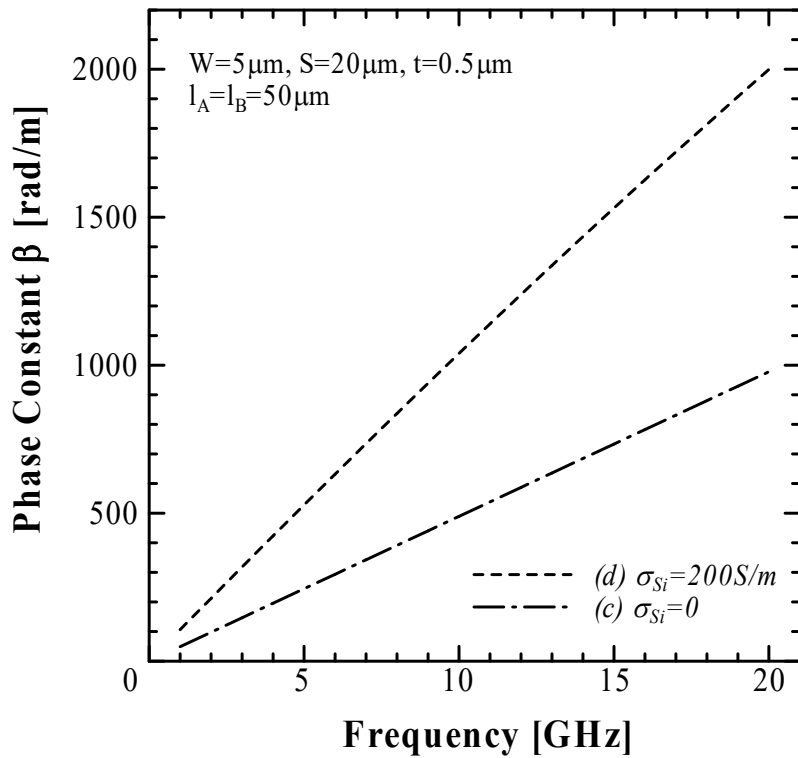


図 5.39 基板に導電性がある場合の CPW 線路の位相定数  $\beta$  の周波数依存性

一方、Cross-tie CPW の実効誘電率は通常の CPW 部と Grounded-CPW 部の平均的な値となるが、Grounded-CPW 部の実効誘電率は誘電率の低い SiO<sub>2</sub> のみで決まるために、この平均値は通常の CPW よりも小さくなる。すなわち誘電率による波長短縮は通常の CPW より小さいが、Slow-wave による波長短縮分を合わせて、本例ではたまたま、通常の CPW と同じ程度の波長短縮になったと考えられる。

このことから、導電性の Si 基板を用いる場合、Cross-tie GND などを用いる必要はなく、通常の CPW でも十分に思われる。しかし、波長のみを考えれば Si の高い誘電率を利用するのは効果的であるが、導電性の Si はそのロスの大きさを考慮しなければならない。図 5.40 に通常の CPW と Cross-tie GND をもつ CPW 線路の挿入損失の比較を示す。前節で述べたように Sonnet 6.0b-Lite では金属抵抗を無視しているので、ここでのロスはすべて Si 基板の導電ロス分である。図から明らかのように、Cross-tie GND を設けることでロスを 1/2 以下に低減できることが分かる。このことは、Slow-wave 構造が導電率をもつ Si 基板上の線路のロス低減に効果的であることを示している。

ここまでの検討で、Si 基板上においても Cross-tie CPW の構造で Slow-wave 現象が

実現でき、ある程度の波長短縮やロス低減の効果が得られることが分かった。ただし、実現できる特性インピーダンスは低い値に制限される。また、今回の検討では、シミュレータの制限から導体抵抗をゼロと過程したために、Si 基板のロスのみ考慮したに過ぎない。波長当たりの損失を最小にする最適構造設計には、信号線路の導体損を含めたより詳細な検討が必要である。

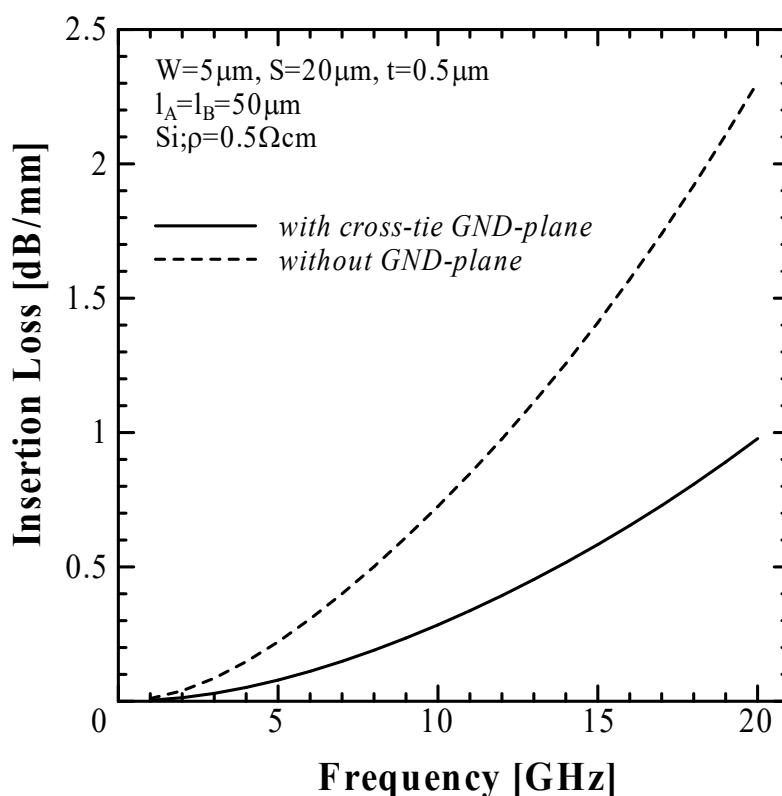


図 5.40 通常の CPW と Cross-tie GND をもつ CPW 線路の挿入損失の比較.

#### 5.4.4 マイクロストリップ線路を用いた Si 上の Slow-wave 線路の設計

前節の CPW の場合とまったく同様の考えで、Si 上にマイクロストリップ線路(MSL)を用いて構成した Slow-wave の線路の例を図 5.41 に示す。前節同様 Si 基板上の SiO<sub>2</sub> 上に信号線路が形成されており、Si/SiO<sub>2</sub> 界面にストライプ状の GND プレーンが挿入された構成である。ストライプ GND のあるセクション A ではマイクロストリップ線路電界はこの GND プレーンに終端されるが、ストライプ GND の無い部分 (セクション

B) では、電界は Si 基板を貫通して基板裏面の GND に終端される。当然 GND の近いセクション A のインピーダンスが低くなるので、インピーダンスの異なる周期構造が実現されることになる。

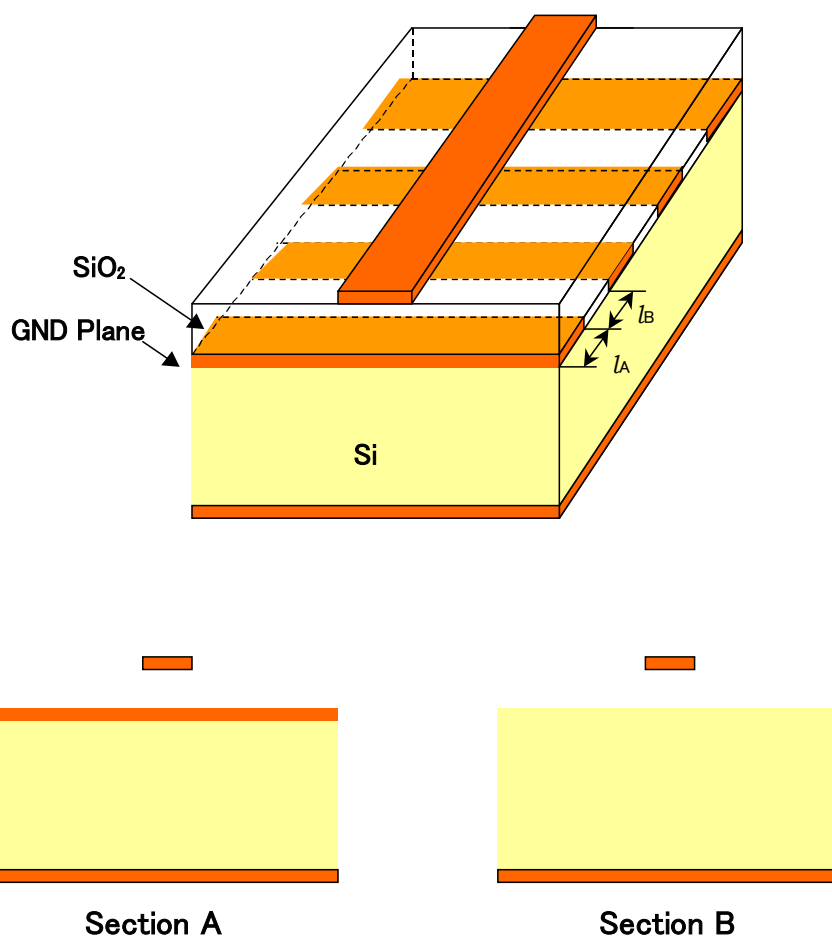


図 5.41 Cross-tie マイクロストリップ線路の構造

CPW の時と同様、Si 基板上のマイクロストリップ線路のインピーダンスの検討からはじめる。

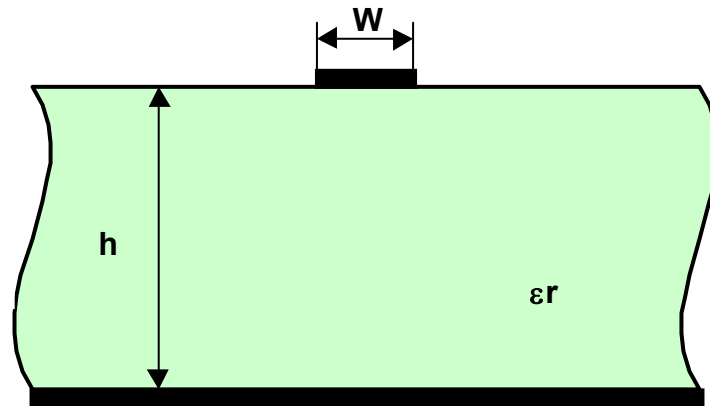


図 5.42 理想的なマイクロストリップ線路の断面構造

図 5.42 に示した理想状態（基板面積無限大）でのマイクロストリップ線路の実効誘電率  $\epsilon_{eff}$  及び特性インピーダンス  $Z_0$  は、良く知られた下記の Hammerstad & Jensen<sup>[5.20]</sup> の近似式で与えられる。

$\frac{W}{h} \leq 1$  に対して、

$$Z_0 = \frac{60}{\sqrt{\epsilon_{eff}}} \ln \left( \frac{8h}{W} + \frac{0.25W}{h} \right) \quad (5.20)$$

$$\epsilon_{eff} = \frac{\epsilon_r + 1}{2} + \frac{\epsilon_r - 1}{2} \left\{ \frac{1}{\sqrt{1 + \frac{12h}{W}}} + 0.04 \left( 1 - \frac{W}{h} \right)^2 \right\} \quad (5.21)$$

$\frac{W}{h} > 1$  に対して、

$$Z_0 = \frac{\frac{120\pi}{\sqrt{\epsilon_{eff}}}}{\frac{W}{h} + 1.393 + 0.667 \ln\left(\frac{W}{h} + 1.444\right)} \quad (5.22)$$

$$\epsilon_{eff} = \frac{\epsilon_r + 1}{2} + \frac{\epsilon_r - 1}{2} \frac{1}{\sqrt{1 + \frac{12h}{W}}} \quad (5.23)$$

ここで、 $W$  は信号線路の線路幅、 $h$  は基板の厚さ、 $\epsilon_r$  は基板の比誘電率である。これらの式を用いて、線路幅  $W=20\mu\text{m}$  に対する特性インピーダンス  $Z_0$  の値を計算した結果を図 5.43 に示す。Si 基板 ( $\epsilon_r=12$ 、 $h=625\mu\text{m}$  : セクション B を想定) と  $\text{SiO}_2$  ( $\epsilon_r=4$ 、 $h=4\mu\text{m}$  : セクション A を想定) の 2 つの場合について計算した。

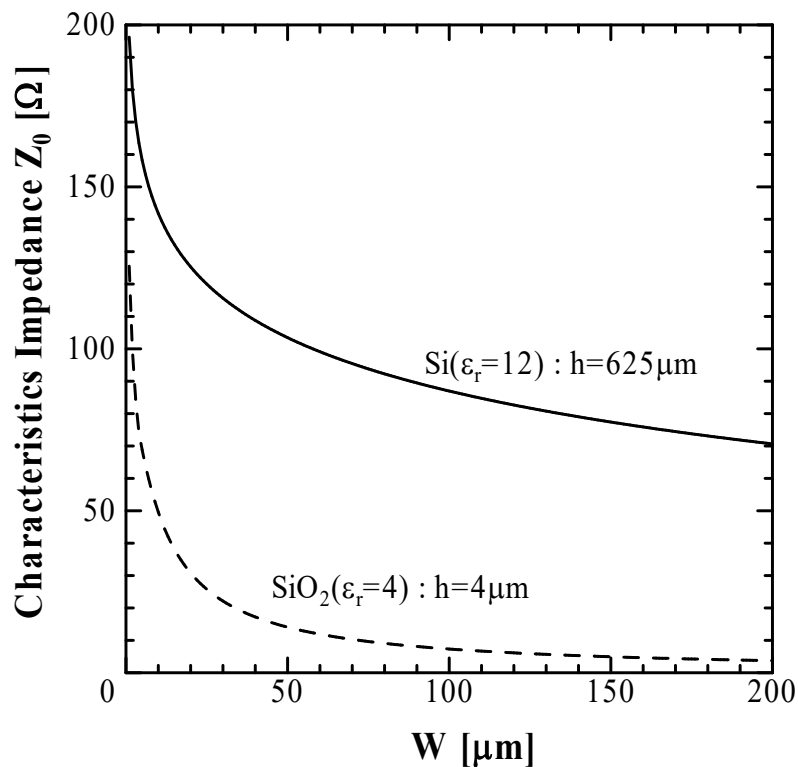


図 5.43 マイクロストリップ線路の特性インピーダンスの線路幅依存性

前節の図 5.25 と同様の設計の基本指針となるグラフが得られた。やはり CPW と同様、高いインピーダンスを得るのは難しい。ただ、本グラフから CPW の場合と比べてインピーダンス比は大きくとれそうであると期待できる。しかし、高インピーダンス側のセクション B は、実際には誘電体部が Si と SiO<sub>2</sub> の積層構造であり、Si に導電性があることからここでも電磁界シミュレーションによる検討が必要となる。ここでも前節と同様に Sonnet 6.0b-Lite を用いたシミュレーションを行った。線路の構造も前節にならって図 5.44 に示す 4 つの場合について特性インピーダンス等の計算を行った。基板や導体の取り扱いも前節と同じで、メタルはすべて完全導体、誘電体の誘電率も無視した。シミュレーション領域は今回広くとる必要がある。何故なら、(b)~(d) の場合 GND プレーンが 600 $\mu$ m 以上と遠くにあるので、シミュレーション領域（面積）が小さいと電界が境界である完全導体壁へ終端してしまう恐れがあるからである。そこで、今回、境界は線路端から 1mm とした。解析領域が大きいのでメモリの制限から、やむなくセルサイズを大きくとった。最小セルサイズは長さ方向に 50 $\mu$ m、幅方向は線路幅を基準とした。特性インピーダンスや位相定数は前節で示したシミュレータ出力の S パラメータから ABCD パラメータへの変換によって算出した。

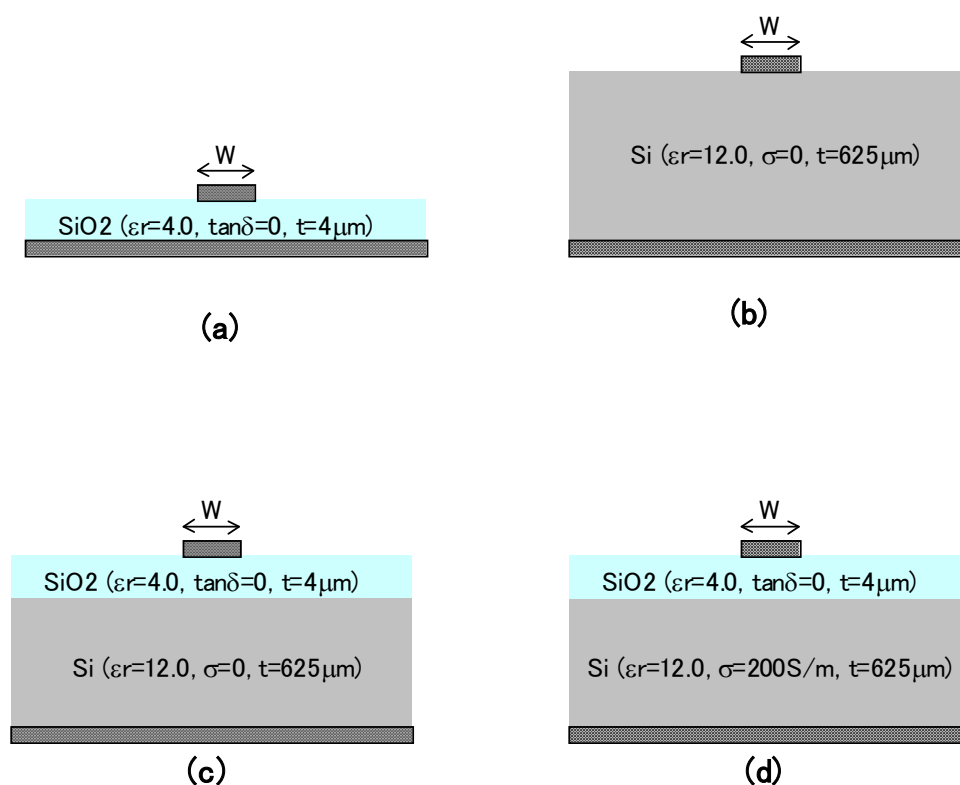


図 5.44 電磁界シミュレーション検討のための 4 つのマイクロストリップ線路構造

図 5.45 に 図 5.44(a), (b)の場合のシミュレーション結果を (5.20) ~ (5.23) 式の計算結果と同時にプロットした。計算値とシミュレーション値は概ね一致している。(b)についてはやや差異が認められるが、これはシミュレーション領域が基板厚に比べてまだ少し小さく、境界の影響がでてしまっているものと推察される。基板厚の薄い(a)では、非常に良く一致している。

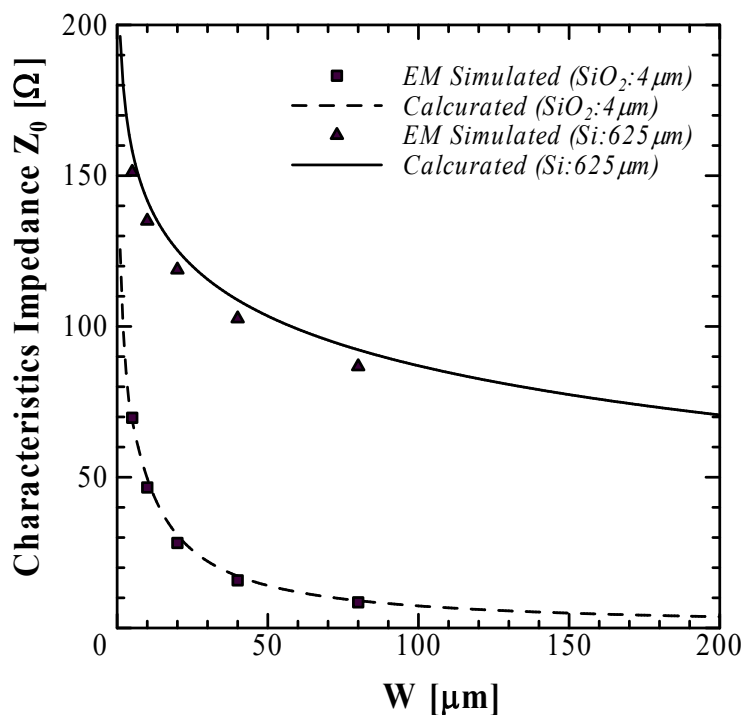


図 5.45 マイクロストリップ線路インピーダンスの数値計算と電磁界シミュレーションとの比較

図 5.46 に図 5.44 のすべてのタイプのシミュレーション結果を合わせてプロットした。CPW の場合と違って少し面白い結果となっている。というのは、Si 基板だけのもの(b)より、SiO<sub>2</sub>膜を挿入したもの(c)の方が特性インピーダンスが高くなっている。これは、4μm 分だけ基板が厚くなった効果というより、SiO<sub>2</sub>によって実効誘電率が小さくなったことに起因している。しかしながら、CPW の場合と同様 Si 基板の導電性を考慮(d)すると特性インピーダンスは大きく下がってしまう。Si 基板が不完全な電界の終端先となり、実効的に基板厚を減らしているからである。当然 Si 基板を電界が貫通することでロスが生じる。図 5.47 にマイクロストリップ線路の挿入損失（金属抵抗をゼロとしているので、これはすべて Si 基板によるロス）をプロットした。

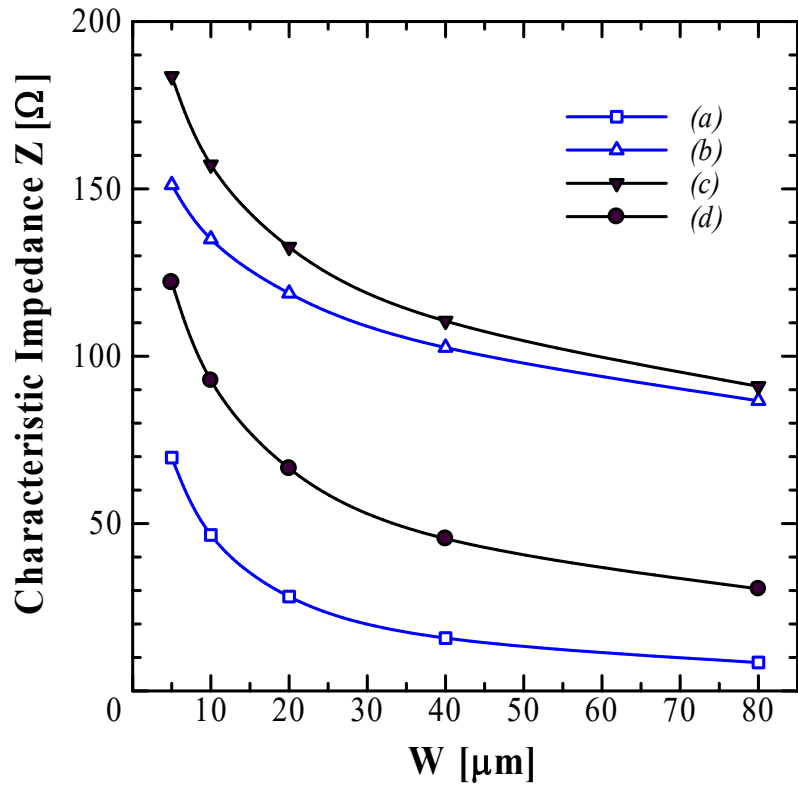


図 5.46 各マイクロストリップ線路構造のインピーダンス値と線路幅  $W$  の関係

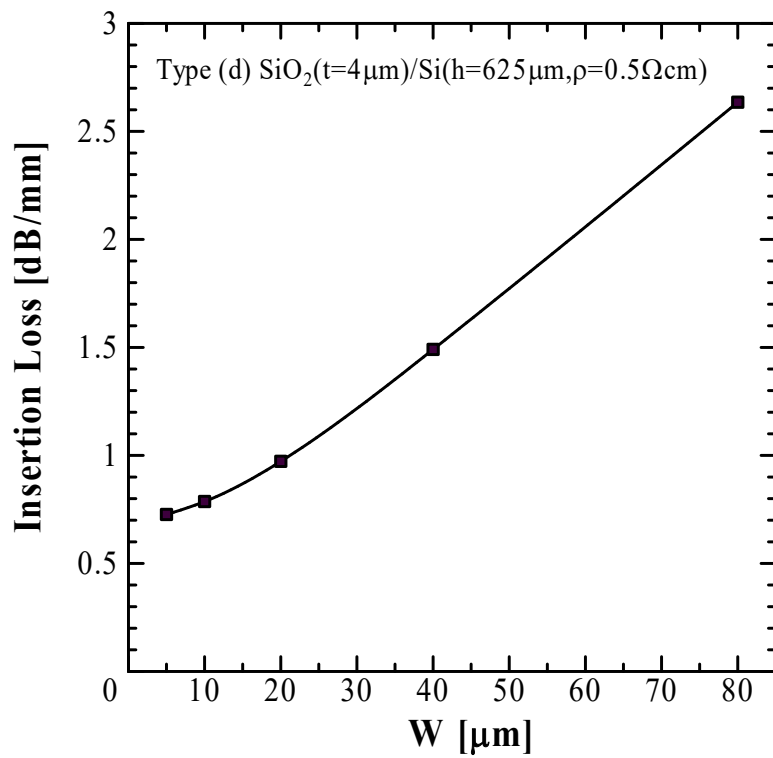


図 5.47 マイクロストリップ線路の挿入損失と線路幅  $W$  の関係



線路幅が大きくなるにつれ、Si を貫通する電界が増えるのでロスが大きくなる。CPW の場合 (図 5.31) と比べても遥かに大きなロスである。これは、図 5.41 の構造で Slow-wave 線路を構成する際の最も大きな問題点である。

ところで、前節で検討したように、SiO<sub>2</sub> 膜の膜厚を小さくすることでセクション A のインピーダンスを減少し、インピーダンス比を大きくすることができる。図 5.48 に SiO<sub>2</sub> の膜厚を 0.5 $\mu\text{m}$  とした時の各タイプの特徴的インピーダンスを示す。確かに(a)(セクション A)のインピーダンスは大きく減少するが、(d) (セクション B) のインピーダンスもまた減少してしまう。これも、CPW の時と同様、導電性 Si が不完全な接地面として働くためである。先にも述べたようにその影響は CPW よりも大きい。図 5.49 に挿入損失をプロットした。SiO<sub>2</sub> を薄くすることで、Si 基板の影響が大きくなり、遥かに大きなロスを生じることになり、本方法は得策ではない。ここでも CPW と同様多層配線技術を用いて、図 5.37 のように GND プレーンの信号線直下に形成するなどの対策が必要である。

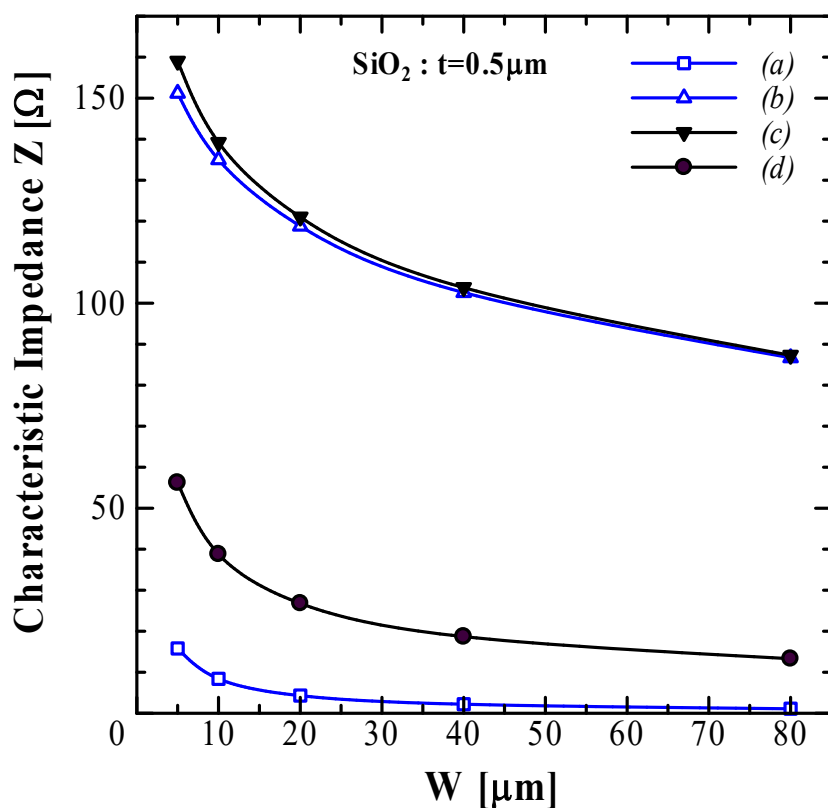


図 5.48 SiO<sub>2</sub> 膜厚を 0.5 $\mu\text{m}$  としたときの各 MSL 構造のインピーダンス値

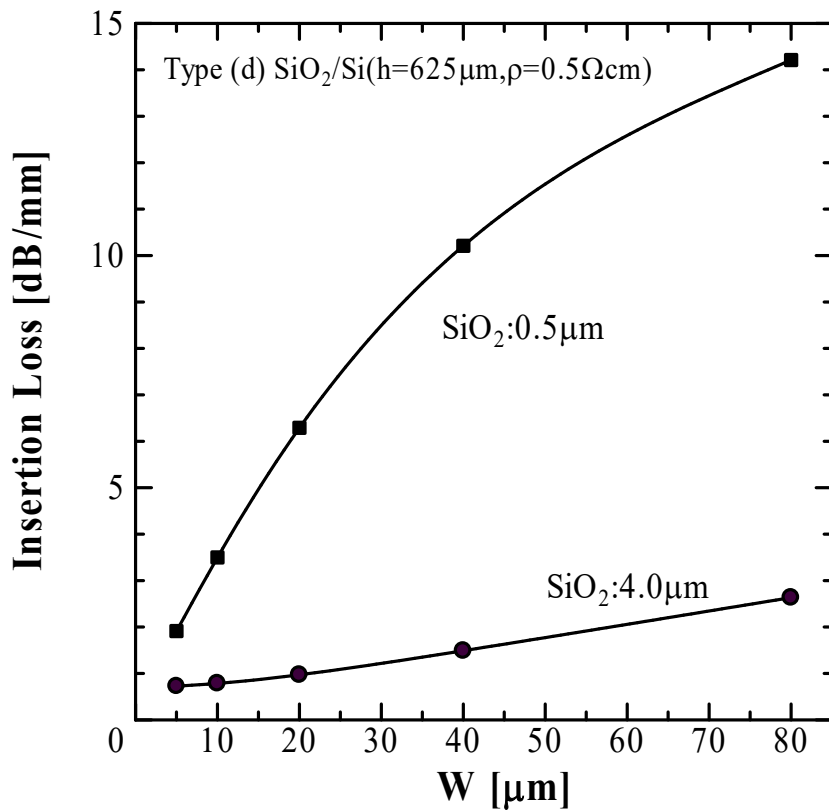


図 5.49 マイクロストリップ線路構造(d)の挿入損失

図 5.41 の構造で Slow-wave 現象が観測されるか、実際にシミュレーションを行った。ディメンジョンは、SiO<sub>2</sub> 膜厚 4 μm、信号線路幅 80 μm、Cross-tie GND の周期  $l_A = l_B = 50 \mu\text{m}$  である。結果を図 5.50 に Cross-tie のない場合と比較して示す。ここでも CPW の時と同様、Si 基板と SiO<sub>2</sub> の誘電率の差から、見かけ上波長短縮は顕著でない。図 5.51 に挿入損失の比較を示す。Cross-tie GND のある Slow-wave 線路の方がロスは低くなっているが、CPW の場合ほど効果は顕著ではなく、ロスの絶対値も大きい。

結論として図 5.41 で示した構造のマイクロストリップ線路による Slow-wave 線路は、前節で述べた CPW を用いたものに比べて Slow-wave による効果も小さく、何よりロスの絶対値が大きいので、あまり望ましいものとは言えない。

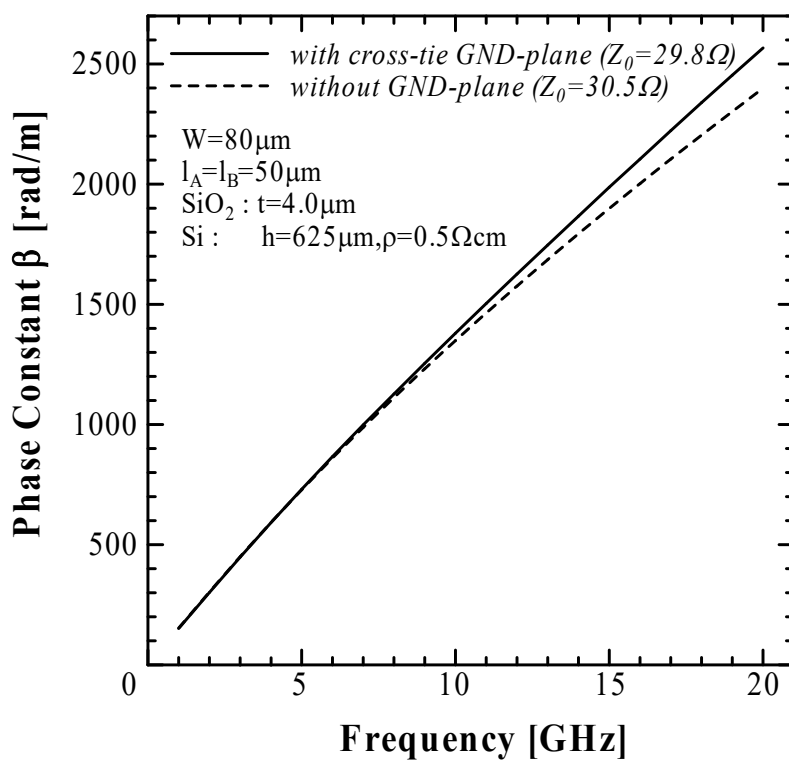


図 5.50 Si 基板上マイクロストリップ線路の位相定数の周波数依存性.

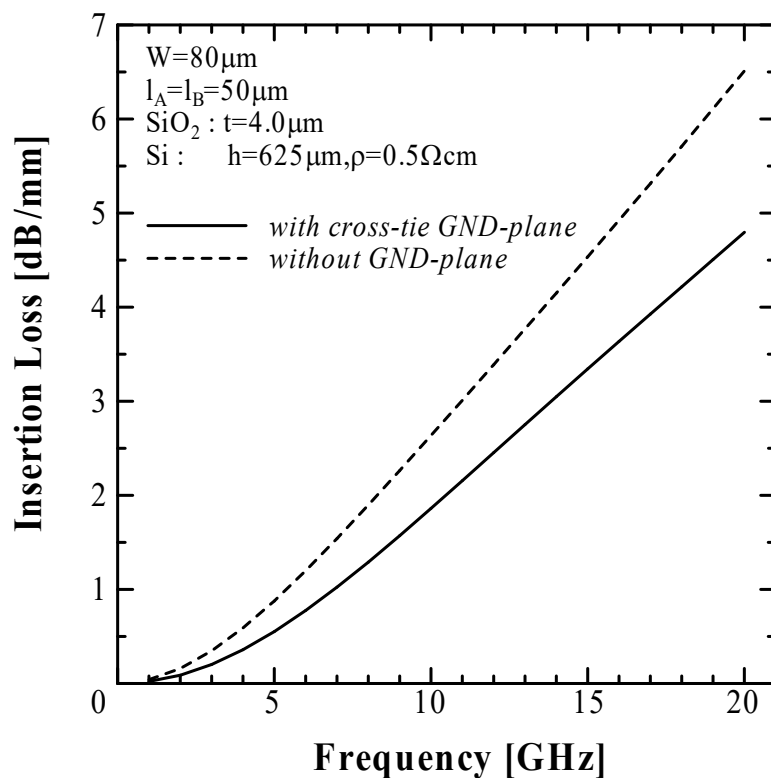


図 5.51 Si 基板上マイクロストリップ線路の挿入損失の周波数依存性.

#### 5.4.5 薄膜マイクロストリップ線路を用いた Si 上の Slow-wave 線路

前節の検討で Si 基板上のマイクロストリップ線路を用いた Slow-wave 構造はロスが大きすぎて適当でないことが明らかとなった。そこで、Si 基板の影響を受けない、新しいマイクロストリップ線路による Slow-wave 構造を提案する。図 5.52 にその構造図を示す。MFIC の基板と同じく、薄膜状のマイクロストリップ線路を用いて Si 基板の影響を除外しようとするものである。同図に示したように Si 基板上の多層配線技術を用いて Cross-tie 状の GND プレーンを信号線直下に、完全な GND プレーンを Si 表面に形成する。このようにすることで、セクション A、B とともに電界が Si 基板内に入入することはなく、マイクロストリップ線路を形成する誘電体は  $\text{SiO}_2$  のみとなる。Cross-tie GND プレーン上下の  $\text{SiO}_2$  膜厚の差を大きくとることで、セクション A、B のインピーダンス比を大きくできる。

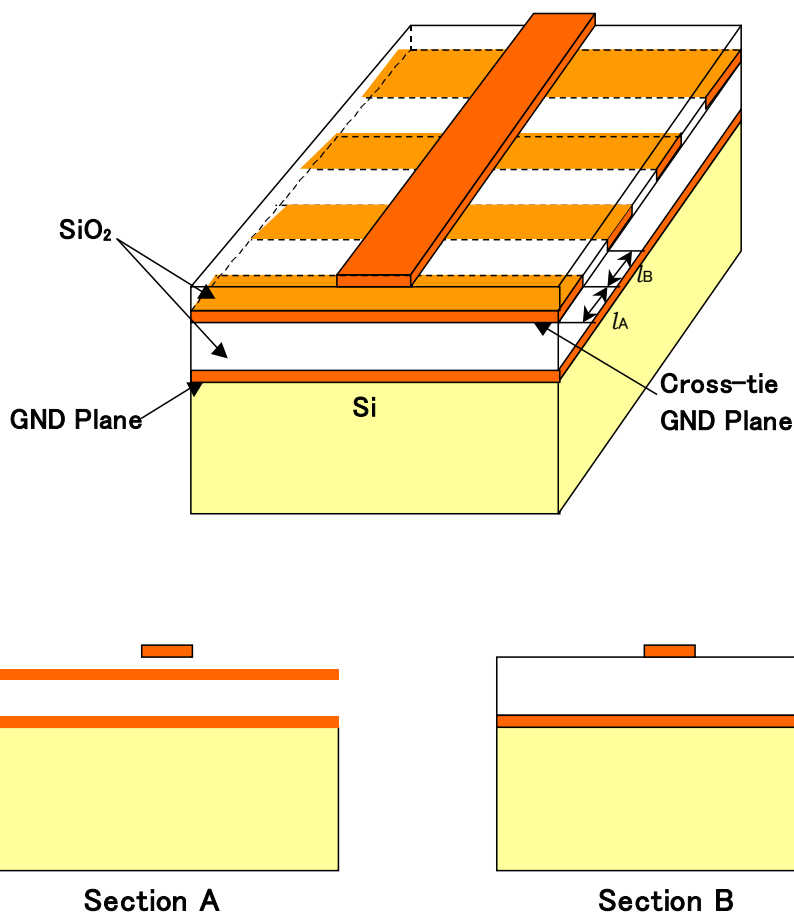


図 5.52 Cross-tie 薄膜マイクロストリップ線路の構造

図 5.53 に  $\text{SiO}_2$  膜厚をパラメータとして、マイクロストリップ線路の線路幅に対する特性インピーダンスを式 (5.20) ~ (5.23) を用いて計算した結果を示す。桁ちがいとまでは行かないが、膜厚を変えることである程度のインピーダンス比が得られるのが分かる。

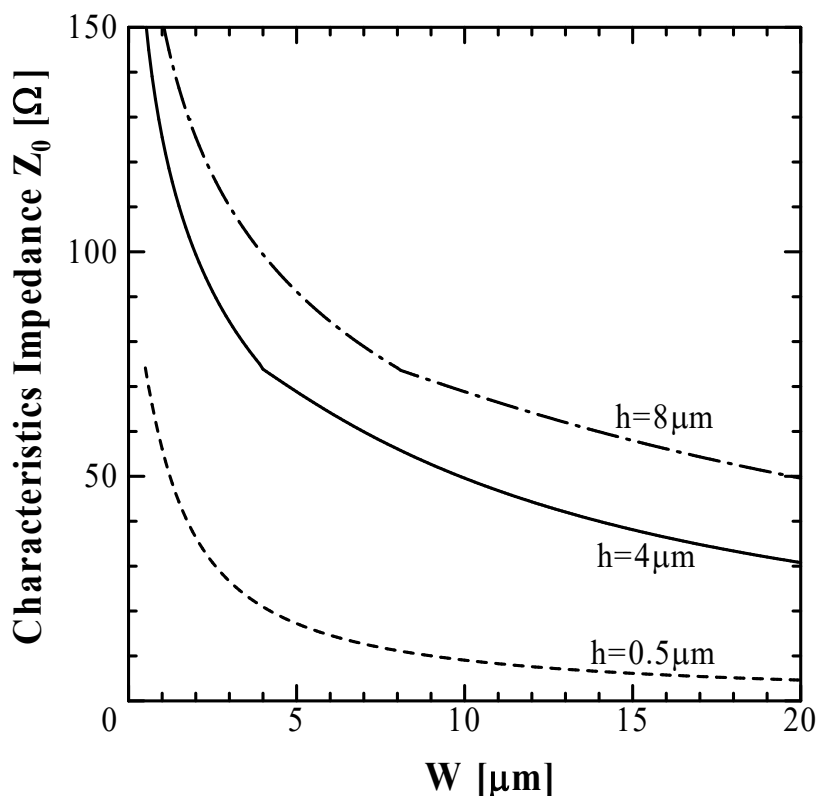


図 5.53 Si 基板上薄膜マイクロストリップ線路の特性インピーダンスの線路幅依存性

Sonnet 6.0b-Lite を用いて Slow-wave 構造のシミュレーションをした結果を図 5.54 に示す。 $\text{SiO}_2$  の膜厚比は  $0.5\mu\text{m}/4.0\mu\text{m}$  とし、線路幅  $5\mu\text{m}$  のマイクロストリップ線路について計算した。Cross-tie GND の周期は  $l_A=l_B=50\mu\text{m}$  である。Slow-wave 構造での位相定数は通常の 1.5 倍以上になっており、インピーダンスも  $40\Omega$  とリーズナブルな値が得られた。また、本構造では電界が Si 基板に進入しないので、Si 基板によるロスはない。ただし、誘電体膜厚が薄いため、同じインピーダンスを得るには信号線路幅を前節のよりも遥かに細くしなければならないから、今度は導体損の増加が問題となる。また、本構造では膜厚比を大きくするのに限度があるので、あまり大きな Slow-wave factor を得るのは困難である。また、マイクロストリップ線路を構成する誘電体が  $\text{SiO}_2$  だけで Si を含まないことから、実効誘電率も小さく、結果として波長は長くなってしまふ。図 5.50 と比較しても位相定数は半分以下である。

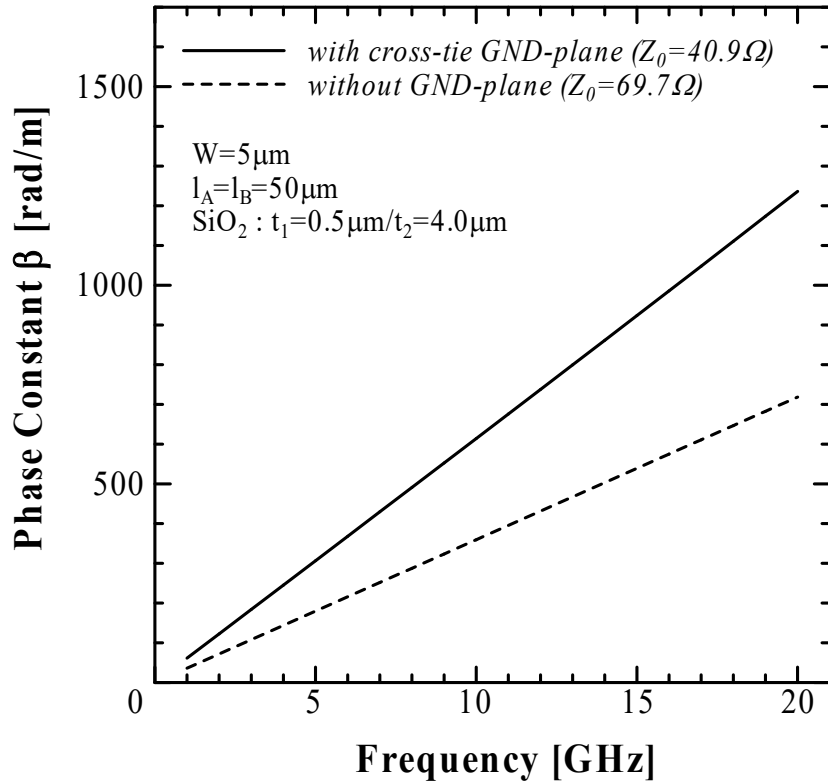


図 5.54 Si 基板上薄膜マイクロストリップ線路の位相定数の周波数依存性.

実効誘電率を高くする方法として、 $\text{SiO}_2$  より比誘電率の高い誘電体を層間絶縁膜に用いる方法がある。しかも、誘電率の高い誘電体を上層部だけに用いる多層構造とすれば、セクション A のインピーダンスのみを下げ、セクション B のインピーダンスにはあまり影響を与えないようにできるので、インピーダンス比をあげることができ、好都合である。図 5.55 に、図 5.54 と同じディメンションで、上層の誘電体のみ  $\text{SiO}_2$  から  $\text{Si}_3\text{N}_4$  ( $\epsilon_r=7$ ) に変えた時のシミュレーション結果を示す。Slow-wave factor が改善し、波長短縮の度合いも向上しているのが分かる。このほかにもさまざまな改良のバリエーションが考えられることが、本構造のもうひとつのメリットとなっている。

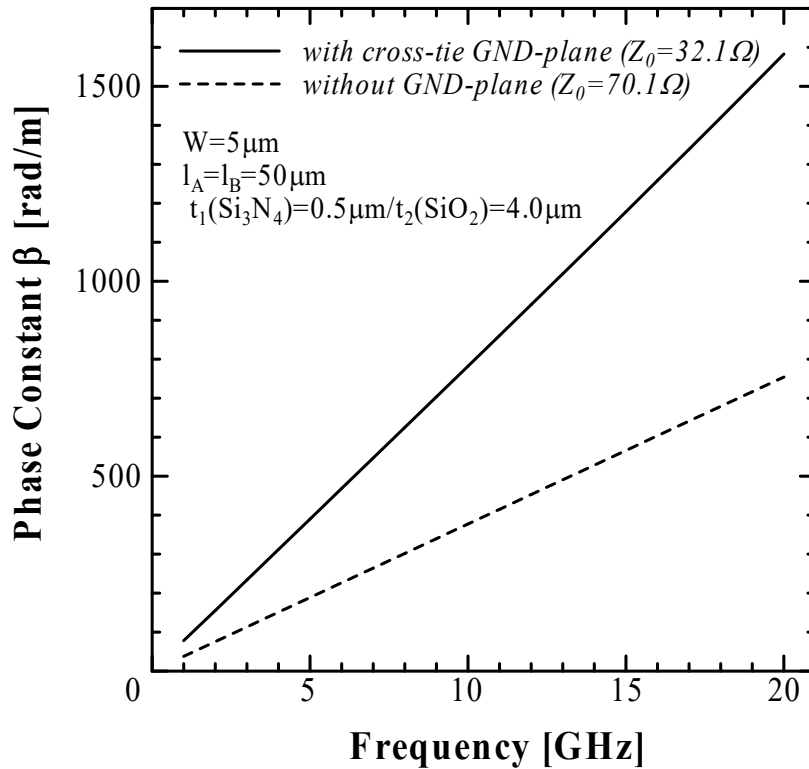


図 5.55 誘電体を多層構造とした時の薄膜マイクロストリップ線路の位相定数

また、実際にこの薄膜マイクロストリップ線路による **Slow-wave** 構造を設計する際、**GND** のスロットの大きさは有限であるから、線路に垂直な方向の幅ほどの程度確保すべきかが問題となる。図 5.56 に薄膜マイクロストリップを用いた **Slow-wave** 線路の上面図を示した。線路に平行な方向の長さ  $l_B$  は **Stop-band** 周波数を決める重要な設計パラメータであることはすでに述べたが、線路に垂直方向の幅 ( $W_{\text{slot}}$ ) に関しても、あまりに短いと電界の一部が **Si** 表面の **GND** プレーンではなく、この **Cross-tie GND** に終端してしまうことになり、実質的にセクション **B** のインピーダンスが低下してしまう可能性がある。この影響を調べるために、 $W_{\text{slot}}$  の大きさを変えて、**Sonnet 6.0b-Lite** による電磁界シミュレーションを行った。基板の層構造など、その他のディメンションは図 5.55 の時と同じである。結果を図 5.57 に示す。 $W_{\text{slot}}$  が  $25\mu\text{m}$  より小さくなると、線路のインピーダンス、**Slow-wave factor** とも急に小さくなり始めているのが分かる。従って、**GND** スロットの幅としては、マイクロストリップ線路幅の 4 – 5 倍程度確保するというのが設計の一つの目安となる。

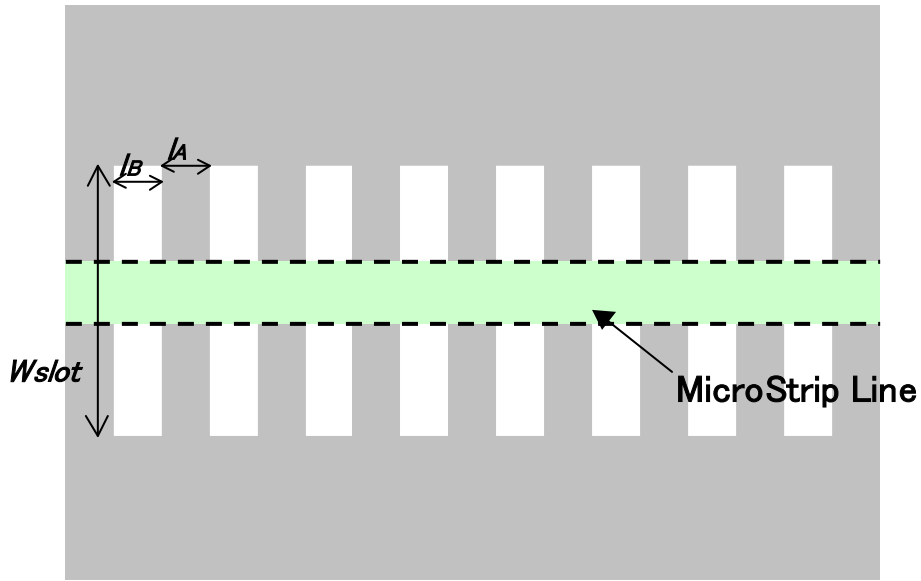


図 5.56 薄膜マイクロストリップを用いた Slow-wave 線路の上面図.

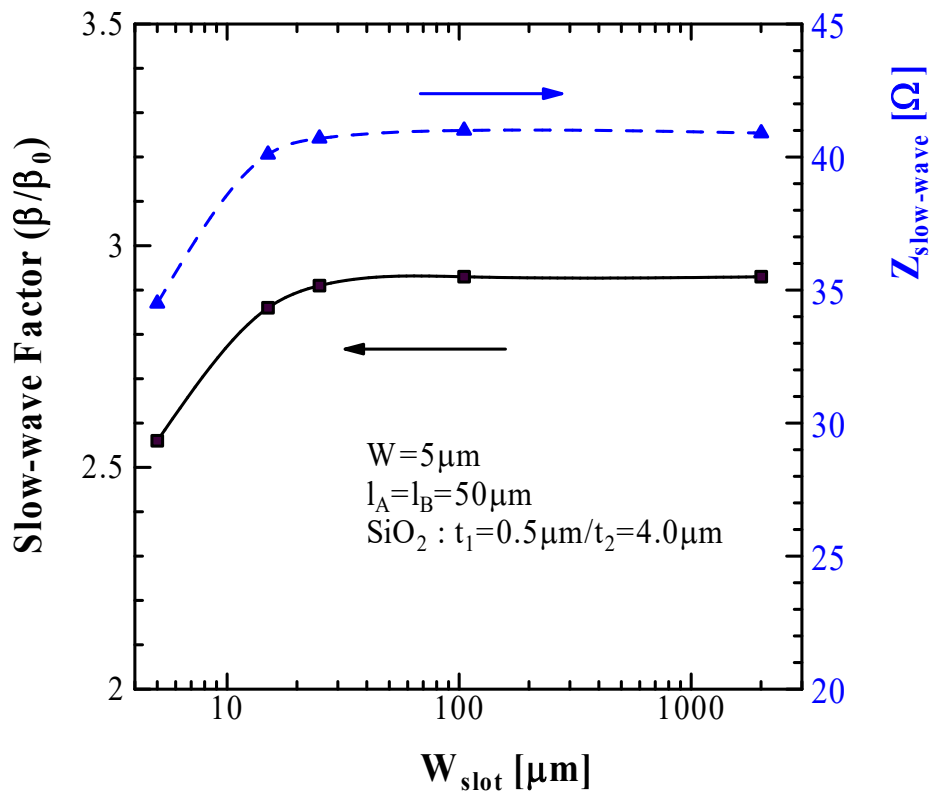


図 5.57 Slow-wave factor と特性インピーダンスの GND スロット幅依存性



#### 5.4.6 まとめ

以上、Si 基板上での Slow-wave 線路実現の可能性とその効果について、その基本原理及び電磁界シミュレータを用いて検討した結果、以下の知見を得た。

- Slow-wave 現象はインピーダンスの異なる 2 種類の線路を周期的に接続することで実現できる。Slow-wave の効果 (Slow-wave factor) はそのインピーダンスの違いが大きいほど、顕著となる。
- 基本線路に CPW を用いた場合、Si に導電性があることから、高インピーダンス線路を実現するのは難しい。したがって、Slow-wave 線路のインピーダンスはある程度低いものに限定される。Si 基板の影響を減らすためには絶縁膜厚を増すか信号導体の線路幅を狭くする必要がある。このとき、多層配線技術を用いて、低インピーダンス線路用の GND プレーンを CPW の近くに配置するなどの工夫が必要となる。
- 基本線路にマイクロストリップ線路を用いた場合、同じく Si 基板の導電性から、高インピーダンス線路を実現するのは難しく、顕著な Slow-wave 効果が得られない。なにより、基板でのロスがあまりに大きいため、現実的ではない。
- 基本線路には第 4 章の MFIC で用いたのと同様の薄膜マイクロストリップ線路を用いるのが一番現実的と考えられる。電磁界シミュレーションでもある程度の Slow-wave 効果が確認できた。課題としては線路幅が小さくなることによる導体損の増加と、現状では誘電体の膜厚比が取れないことによる Slow-wave factor の制限があげられる。

#### 5.5 まとめ

もっとも普及が進んでいる Si デバイスを用いたミリ波 MMIC 技術について述べた。第 4 章で述べた BCB 誘電体よる MFIC の低損失マイクロストリップ線路の技術を厚膜再配線技術として Si プロセスに導入、Si MMIC の最大の課題である伝送線路低損失化の課題の解決を図った。実際に設計・試作した準ミリ波帯 LNA は低消費電力で優れた特性を示し、低損失伝送線路の効果が確認できた。

さらに、基板に実装した際に基板の影響を受けない、あたらしい IMSL 配線構造を持つミリ波 CMOS CSP を提案し、60GHz 帯アンプを設計試作して基板実装時にも特性の変化が無いことを確認した。

最後に、ミリ波 Si MMIC の小型・低損失化を実現する新しい取り組みとして波長短縮が可能な Slow-wave 構造に着目し、Si MMIC に応用するための理論的な基礎検討を行った。ここでも第 4 章で述べた薄膜マイクロストリップ線路技術による新しい Slow-wave 線路構造を提案、Si 基板上の Slow-wave 線路として現実的な効果を確認し

た。

これらの Si 基板上のミリ波集積化技術は、今後のミリ波 CMOS LSI 発展の大きな礎となることが期待できる。

#### 第 5 章の参考文献

- [5.1] M.C. Yeh, Z.M. Tsai, K.Y. Lin, H. Wang, C.Y. Su, and C.P. Chao, "A millimeter-wave wideband SPDT switch with traveling-wave concept using 0.13- $\mu$ m CMOS process," 2005 IEEE MTT-S International Microwave Symposium Digest, pp.53-56, 2005
- [5.2] B. Kleveland, C. H. Diaz, D. Wook, L. Madden, T. H. Lee, and S. Wong, "Exploiting CMOS reverse interconnect scaling in multigigahertz amplifier and oscillator design", IEEE Journal of Solid-State Circuits, Vol. 36 no. 10, pp 1480–1488, Oct. 2001.
- [5.3] Shinji Ujita, Yasufumi Kawai, Kazuhiro Kaibara, Noboru Negoro, Takeshi Fukuda, Hiroyuki Sakai, Tetsuzo Ueda and Tsuyoshi Tanaka, "A 26GHz Transceiver Chipset for Short Range Radar using Post-Passivation Interconnection", 2010 International Conference on Solid State Devices and Materials, G-2-4, pp111-112, 2010
- [5.4] Shinji Ujita, Yasufumi Kawai, Kazuhiro Kaibara, Noboru Negoro, Takeshi Fukuda, Hiroyuki Sakai, Tetsuzo Ueda, and Tsuyoshi Tanaka, "A 26GHz Transceiver Chipset for Short Range Radar Using Post-Passivation Interconnection", Japanese Journal of Applied Physics, Vol.50, 04DE04, 2011
- [5.5] 宇治田信二、河井康史、海原一裕、根来昇、福田健志、石田秀俊、上本康裕、酒井啓之、上田哲三、田中毅、「厚膜再配線構造による低損失伝送線路を用いた準ミリ波帯 SiGe-MMIC」 2008 年電子情報通信学会総合大会、C-2-10、2009
- [5.6] H. Hashemi, X. Guan, and A. Hajimiri, "A Fully Integrated 24GHz 8-Channel Phased-Array Receiver in Silicon", 21.7, 2004 IEEE International Solid-State Circuits Conference, 2004
- [5.7] <https://www.ums-gaas.com/product/cha3688aqdg/>
- [5.8] Yasufumi Kawai, Shinji Ujita, Takeshi Fukuda, Hiroyuki Sakai, Tetsuzo Ueda and Tsuyoshi Tanaka, "A Wafer-Level-Chip-Size-Package Technique with Inverted Microstrip Lines for mm-wave Si CMOS ICs", 2010 Asia-Pacific Microwave Conference, FR4A-1, pp.1841-1844,
- [5.9] 河井康史、宇治田信二、福田健志、酒井啓之、上田哲三、田中毅、「IMSL 線路を

用いたミリ波 CMOS WLCSP 技術」電子情報通信学会技術研究報告（信学技報）  
MW, マイクロ波 110(359), 87-90, 2011-01-06

- [5.10] S. Seki and H. Hasegawa; “Cross-tie Slow-wave Coplanar Waveguide on Semi-Insulating GaAs Substrates”, *Electron Lett.* 17, 25
- [5.11] T-H. Wang and T. Itoh; “Compact Grating Structure for Application to Filters and Resonators in Monolithic Microwave Integrated Circuits”, *IEEE Trans. Microwave Theory Tech.*, **MTT-35**, 12, pp.1176-1182, Dec. 1987
- [5.12] T-H. Wang and T. Itoh; “Confirmation of Slow Wave in a Crosstie Overlay Coplanar Waveguide and Its Applications to Band-Reject Gratings and Reflectors”, *IEEE Trans. Microwave Theory Tech.*, **MTT-36**, 12, pp.1811-1818, Dec. 1988
- [5.13] F-R. Yang, Y. Qian, and T. Itoh; “A Novel Uniplanar Compact PBG Structure for Filter and Mixer Applications”, *1999 IEEE MTT-S Digest*, pp.919-922, Jun. 1999
- [5.14] C. Y. Hang, V. Radisic, Y. Qian and T. Itoh; “High Efficiency Power Amplifier with Novel PBG Ground Plane for Harmonic Tuning”, *1999 IEEE MTT-S Digest*, pp.807-810, Jun. 1999
- [5.15] B. Kleveland, T. H. Lee and S. S. Wong; “50 GHz Interconnect Design in Standard Silicon Technology”, *1998 IEEE MTT-S Digest*, pp. Jun. 1998
- [5.16] C. P. Wen, “Coplanar Waveguide: A Surface Strip Transmission Line Suitable for Nonreciprocal Gyromagnetic Device Applications”, *IEEE Trans. Microwave Theory Tech.*, **MTT-17**, 12, pp.1087-1090, Dec. 1969
- [5.17] W. Hilberg, “From Approximation to Exact Relations for Characteristics Impedance”, *IEEE Trans. Microwave Theory Tech.*, **MTT-17**, 5, pp.259-265, May 1969
- [5.18] <http://www.sonnetusa.com/lite/index.htm>
- [5.19] 豊田一彦; 「コプレーナ導波路(CPW)を用いた回路設計」, *MWE'96 Microwave Workshop Digest*, pp.461-470, 1996
- [5.20] E. Hammaerstad and O. Jensen; “Accurate Models for Microstrip Computer Aided Design”, *1980 IEEE MTT-S Digest*, pp.407-409

## 第6章 ミリ波集積回路のアプリケーション応用

### 6.1 はじめに

ここまで様々な半導体材料を用いたミリ波デバイスとその集積化技術について、とくに低コスト化や量産性向上など実用化・事業化に重点をおいて述べてきた。最後に本章では、これらのミリ波集積回路技術の具体的なアプリケーション応用についての最新の研究について述べる。

ミリ波応用としてはその広帯域性を利用した大容量通信がまず一番に期待される。本章ではまず、第3章述べた GaN 系ミリ波デバイスの具体的な応用として、同デバイスを用いて行った長距離通信の実証実験について述べる。GaN デバイスによる送受信回路を組み込んだ 25GHz 帯無線装置を作製し、実際に屋外で 16km 離れた地点で通信実験を行った結果を紹介する。

ミリ波の応用アプリケーションとしては、もう一つ、レーダ応用が挙げられる。防衛分野では古くから実用されてきたが、最近では車の衝突防止や障害物検知用のセンサとして、広く用いられるようになってきている。民生応用としては通信よりもずっと早くから実用化されてきた。本論文は様々なセンサを実現して IoT 化を推進し、Society5.0 の社会への早期実現を目指していることから、本章の応用アプリケーションもレーダセンサを中心に述べていくこととする。

### 6.2 GaN デバイスを実装した準ミリ波帯無線送受信機による実証実験

第3章で GaN HFET を用いた送受信回路について述べた。受信用には低損失のサファイア基板を用い、レーザドリルによるビアホール形成プロセスを確立して低雑音の受信 MMIC を実現した。また、送信用には放熱性に優れた Si 基板を用い、結晶状 SiN ゲート絶縁膜によってゲート耐圧を向上し、25GHz で 10W 以上の高出力パワーアンプを実現した。

ここでは、これらの GaN デバイスを用いて、準ミリ波帯の無線送受信機を構成し、実際に行った GaN デバイスによる長距離無線伝送の実証実験について述べる。

図 6.1 に 実証実験機のブロック構成図を示す。実証実験機は、パナソニックモバイルコミュニケーションズ株式会社が製造・販売した、無線設備規則第 49 条の 20 第 4 項に準拠する、25GHz 帯小電力データ通信システム無線装置(商品名:メガビット・エアー)を利用して、この装置の本体無線部とアンテナとの間に新たに GaN デバイス(LNA(Low Noise Amplifier)及び PA(Power Amplifier))を用いて作製した「RF ブース

ター」を挿入する形で構成した。土台となる 25GHz 帯小電力データ通信システム無線装置はアンテナが 1 個の構成であったため、この構成のまま使用するには図 4.22 に示したように RF ブースター内に送信系と受信系を分離するサーキュレータを導入した設計が必要になる。しかしながら 25GHz 帯ではサーキュレータの入出力間アイソレーションが 18dB 程度しかなく、受信用 LNA の入力から送信用 PA を経て LNA の入力に戻る経路に対する利得がプラスとなってしまい、系が発振する可能性が高い。

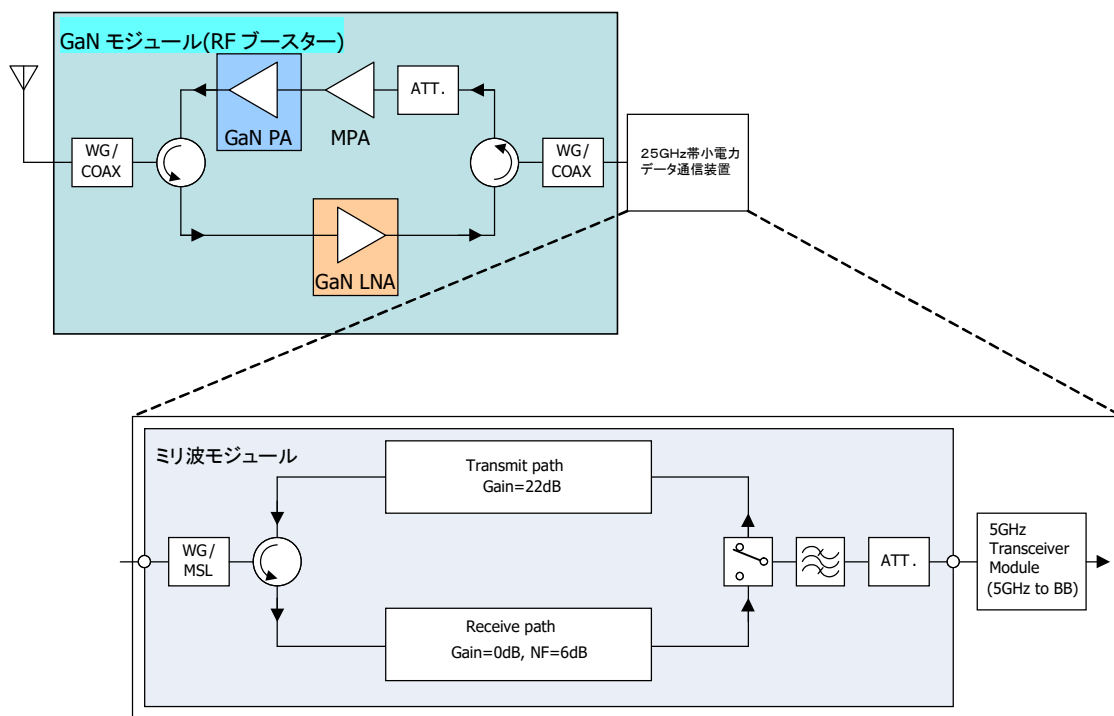


図 6.1 実証実験機のブロック構成図(企画当初)

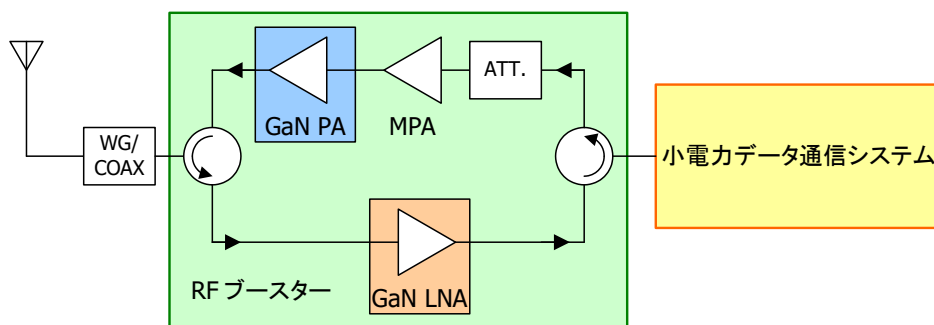


図 6.2 改良した実証実験機のブロック構成図

そこで、送信系と受信系を完全に分離し、それぞれ専用のアンテナを用意してアイソレーションを確保することを考えた。改良したブロック構成を図 6.2 に示す。また使用するアンテナの仕様を表 6.1 に、アンテナに対する対向角とアンテナロスとの関係を図 6.3 に示す。送信、受信のそれぞれのアンテナはどちらも同じ方向で設置するのでお互いに対する対向角は 90 度であり、伝達ロスは 55dB 以上確保することができる。これにより受信用 LNA の入力から送信用 PA、送信用アンテナと受信用アンテナを経て LNA の入力に戻る経路に対する利得は十分に低くなり、系の発振を抑え、安定な動作を確保できる。

表 6.1 アンテナ仕様

		送信用	受信用
型名		VHLP1-26-2	VHLP200-240
口径 (mm)		389	229
周波数帯域 (GHz)		24.25 ~ 26.50	24.25 ~ 26.50
ゲイン (dBi)	Min	36.2	32.1
	Typ.	36.6	32.4
	Max	37.1	32.8
ビーム指向性 (3dB) (deg.)		2.5	3.8
Front / Back 比 (dB)		63	58

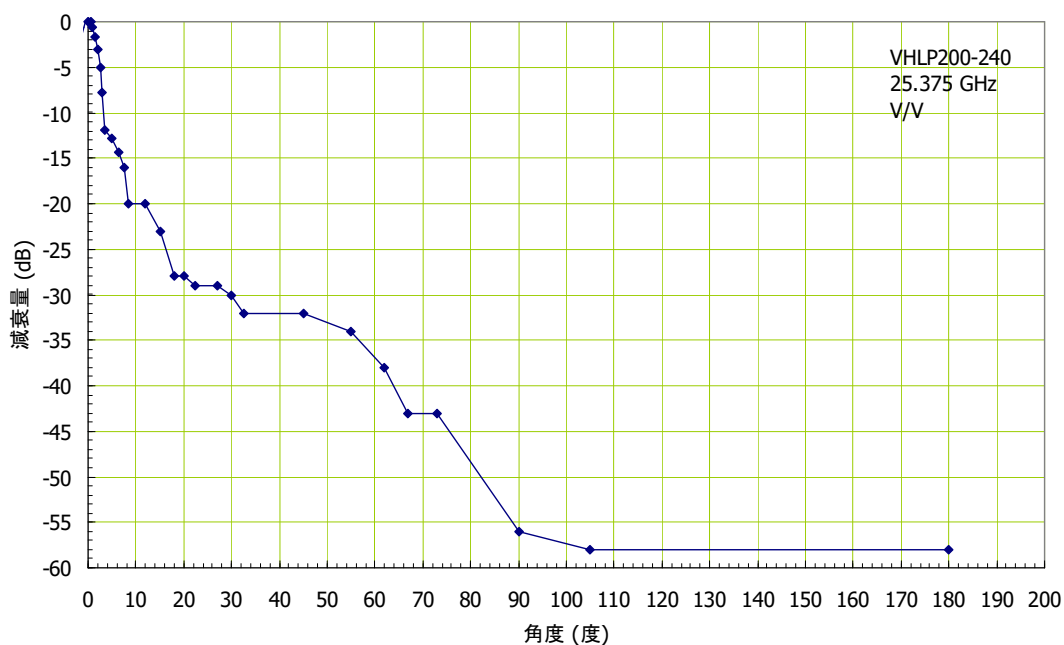


図 6.3 アンテナロスと角度の関係

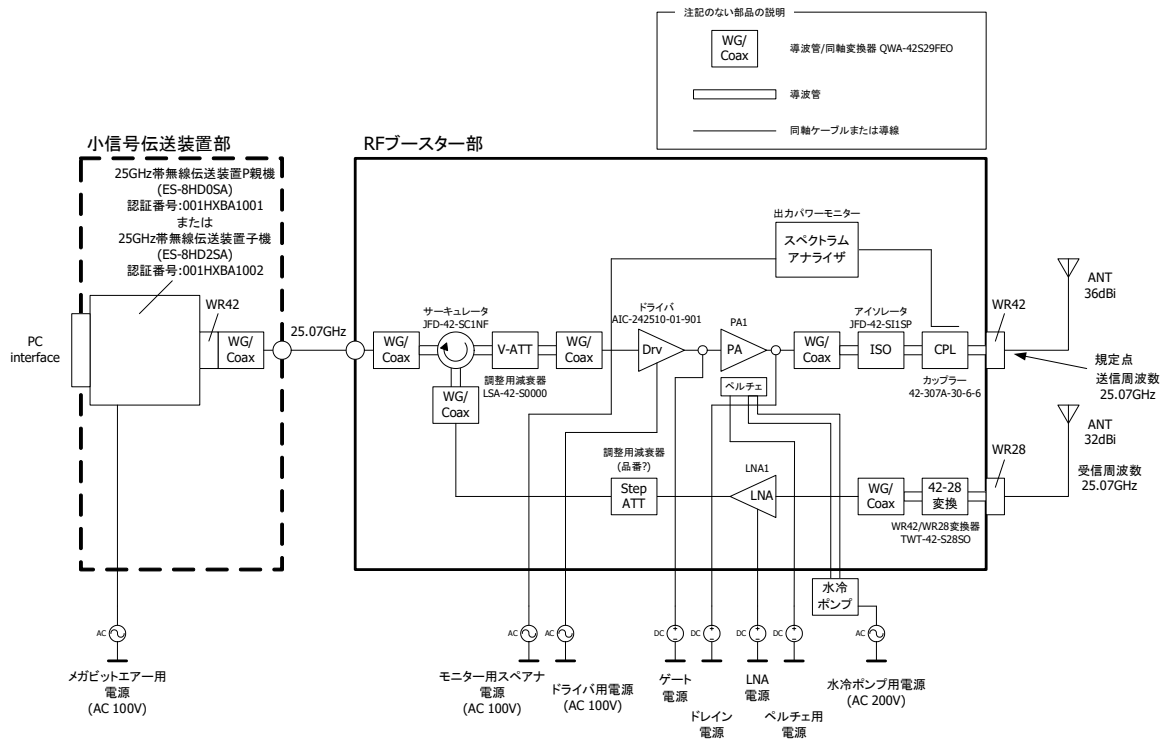


図 6.4 実証実験機の詳細ブロックダイアグラム



図 6.5 実証実験機

図 6.4 に実証実験機の詳細なブロック構成図を、図 6.5 に作製した実証実験機本体の写真を示す。

表 6.2 に実証実験機の主要諸元を、土台とした小電力データ通信システム(メガビットエアー)と比較して示す。GaN デバイスによる RF ブースターにより、伝送距離は 20km にまで伸びる計算である。

表 6.2 実証実験機の主要諸元

項目	小電力データ通信システム (メガビットエアー)	実証実験装置	備考
送信電力	1mW ( $\pm 0$ dBm)	0.5W (+27dBm)	
伝送方式	直交周波数分割多重 (OFDM)方式 (1 次変調: BPSK / QPSK / 16-QAM)		
周波数	24.85 ~ 25.25 GHz (20MHz 間隔の 12 チャンネル)	25.07 GHz	
伝送速度	36, 24, 18, 12, 9, 6 Mbps	36, 24, 18, 12, 9, 6 Mbps	
最大伝送距離	約 3 km	約 20 km (*)	伝送レート = 36Mbps / 晴天時 *) 理論値は 50km
受信感度	-66 dBm	-75 dBm	伝送レート 36Mbps
アンテナ利得	32 dBi	送信 32 dBi 受信 36 dBi	
アンテナ半値幅	約 4 度	送信 約 4 度 受信 約 3 度	

実証実験の候補地は、想定する 2 地点間において障害となるもの・遮蔽物がないことが必要であり、比較的高度のある建造物を中心に検討した。その結果、情報通信研究機構の協力も得て、情報通信研究機構の構内、田無タワー殿(西東京スカイタワー)、東京都庁(都庁舎)が最終候補として選定され、具体的には情報通信研究機構本館と西東京スカイタワーとの間 (4.1km) 及び、西東京スカイタワーと東京都庁舎との間(16.1km)での伝送実験を行うこととした。

図 6.6 に実験地の場所を示した地図を、図 6.7 に実験地の一つである西東京スカイタワーでの実験風景の写真を示す。





図 6.6 実証実験地

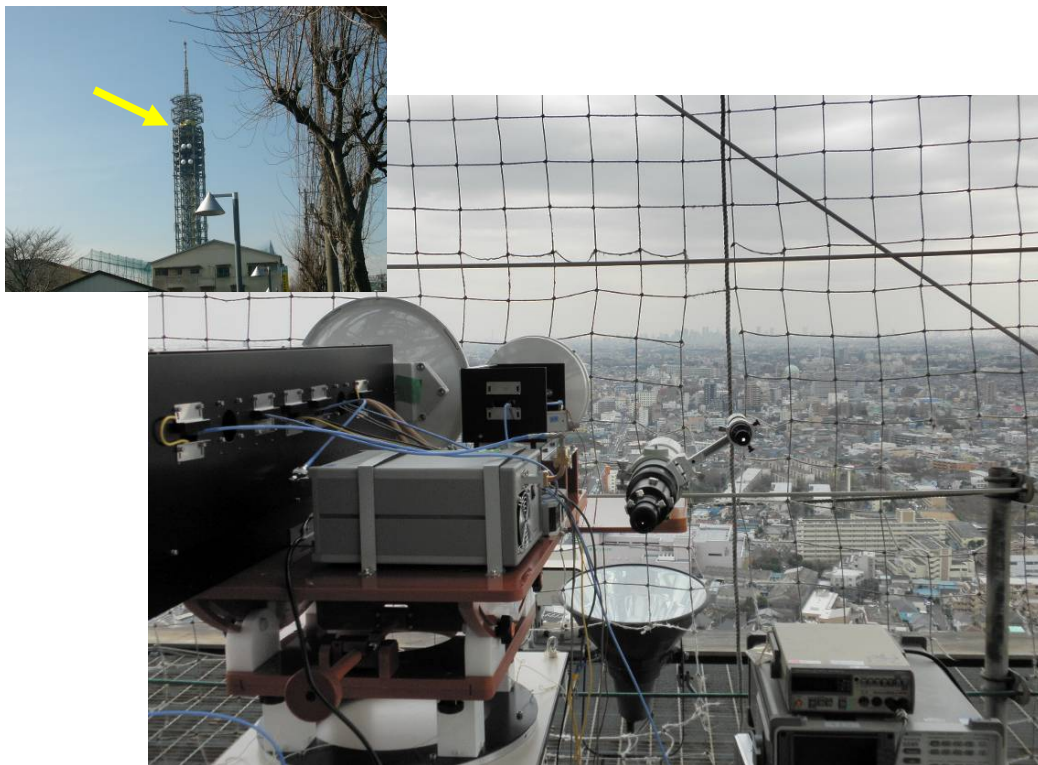


図 6.7 実験地の一つ西東京スカイタワーから東京都庁舎を望む

伝送実証実験は、各地点に設けた実験機に接続した PC での、無線 LAN プロトコル (IEEE 802.11a) を利用したデータ伝送を実施して、地点間での接続が確立されることを確認することから始める。接続が確認できたら、親機に接続した PC をサーバーとして、子機側の PC からサーバーへ接続する。そして親機側の PC 内に保存しているデータを子機側の PC へ FTP 転送し、データ伝送速度を測定する。さらに、PC でのテレビ会議システムを立ち上げて両地点間での通話を試みる。図 6.8 に実証実験の模式図を、表 6.3 に転送したファイルの一覧を示す。

また、受信電波の強度を絶対値として確認できるものではないが、小電力データ通信システム本体に内蔵されている RSSI 端子の電圧と、内部コマンドによって取得することのできる信号強度 (Rx Signal Strength) とを確認する。

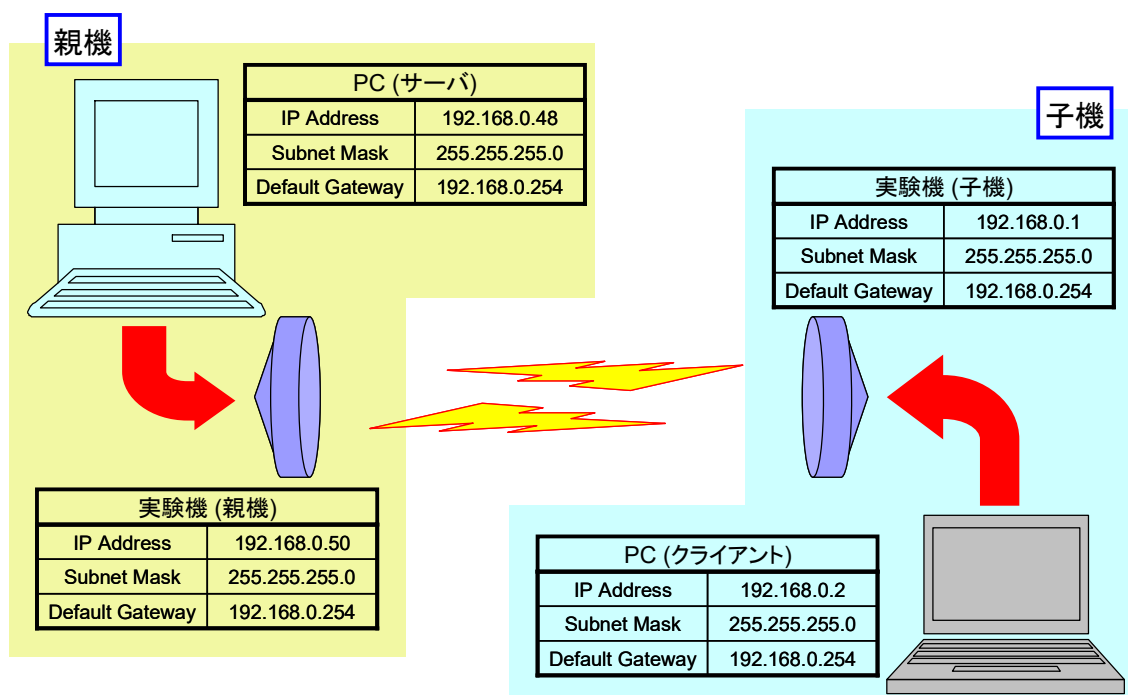


図 6.8 実証実験の模式図

表 6.3 用意した試験用ファイル

	ファイル名	ファイルサイズ (bytes)
	ftptest.tst	20,000,000
	ftptest2.tst	200,000
	tx_test.mat	59,588
	tx_test_01.bmp	3,686,454
	tx_test_05.bmp	9,437,238

実験の結果を表 6.4～表 6.8 にまとめて示す。

実証実験は、各地点に設置した PC から相手方の PC に対して、ネットワークが正しく設定され通信が行える状態にあるかどうかを確認するコマンドである PING コマンドを投げかけて相手方からの応答を待ちながら、アンテナの方向を調整することから始めた。相手方からの応答が帰ってきたら、通信が確立したことを意味する。

実際の実験において通信の確立は、西東京スカイツリー-情報通信研究機構間では無線電波の発射直後に、西東京スカイツリー-東京都庁舎間でも 10 分以内に完了し、それぞれの PC 間での PING コマンドに対する応答を得ることができた。

表 6.4 実証実験場所と条件

	親機設置場所	子機設置場所	距離 (km)	実施日	天気
1	情報通信研究機構構内	情報通信研究機構構内	0.26	3/11	晴
2	西東京スカイツリー	情報通信研究機構本館屋上	4.1	3/12	曇 (風強し)
3	西東京スカイツリー	東京都第一庁舎北側屋上	16.1	3/17	曇ときどき晴 (ときどき風)

表 6.5 情報通信研究機構構内での実験結果 (ファイルサイズ: 20,000,000 バイト)

		1	2	3	4	5
Rx Signal Strength	---	56	74	74	73	76
RSSI	V	1.83	2.16	2.2	2.2	2.2
転送時間	s	12.8	15.97	15.86	15.94	16
伝送速度	kbytes/s	1525.8789	1222.996	1231.479	1225.298	1220.703

表 6.6 西東京スカイツリー-情報通信研究機構間での実験結果  
(ファイルサイズ: 20,000,000 バイト)

		1	2	3
Rx Signal Strength	---	43	42	41
RSSI	V	3.2	2.7	2.7
転送時間	S	103.5	140.31	215.3
伝送速度	kbytes/s	188.70773	139.2007	90.71644

表 6.7 西東京スカイツリー-東京都庁舎間での実験結果 (1)  
(ファイルサイズ: 200,000 バイト)

		1	2	3	4	5
Rx Signal Strength	---	44	45	44	44	45
RSSI	V	1.78	1.78	1.77	1.78	1.78
転送時間	s	0.17	0.16	0.16	0.2	0.17
伝送速度	kbytes/s	1148.897	1220.703	1220.703	976.5625	1148.897

表 6.8 西東京スカイツリー-東京都庁舎間での実験結果 (2)

		1	2	3	4
ファイルサイズ	Bytes	3,686,454	3,686,454	3,686,454	9,437,238
転送時間	s	119.41	114.52	116.5	323.22
伝送速度	Kbytes/s	30.14867	31.43602	30.90174	28.51325

図 6.9 に RSSI 電圧と Rx Signal Strength の地点間の距離との関係を示す。通信距離が長くなるにつれて両者とも値が減少する傾向にあった。

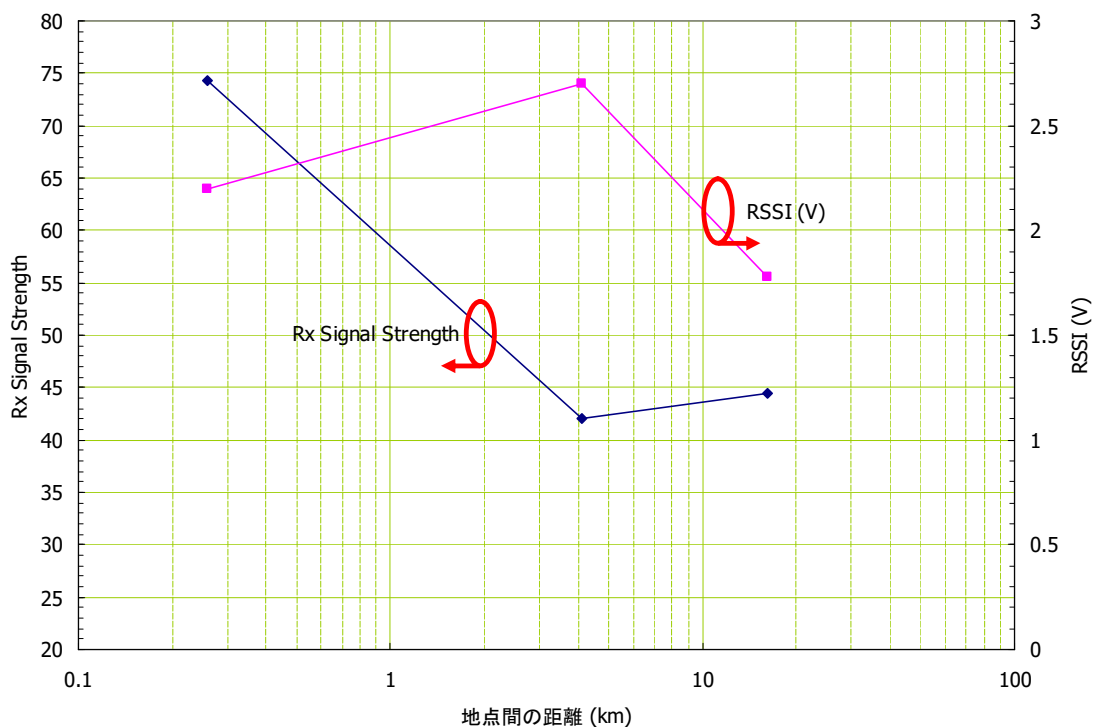


図 6.9 伝送距離対受信信号強度

図 6.10 にデータ伝送速度と、地点間の距離の関係を示す。これも長くなるにつれて値が減少した。

西東京スカイツリー-東京都庁舎間においても 20,000,000 バイトサイズのデータでの FTP 転送を試みたが、200 秒ほど待っても転送が終了しなかったため、サイズの小さなファイルで確認をしておいた。実験当日は天気が良かったので、理論的には最高の伝送速度を確保することができるはずであり、実際のところサイズの小さなファイルでの伝送速度は、情報通信研究機構構内における伝送速度と遜色がないが、大きなファイルでの伝送の場合は伝搬ロスが時々刻々と変化するためにデータの再送要求がなされ、伝送速度が低下するのではないかと考えられる。

伝送したデータは図 6.11 に示すように、元のデータと送信後のデータとの間にノイズなどの差異が全く見られなかった。

通信が確立した後は、地点間の連絡は PC のテレビ会議システムを用いて行った。図 6.12 に情報通信研究機構の構内でのテレビ会議システムを使った通信の様子を示す。西東京スカイツリー-東京都庁舎間でも映像の伝送と良好な音声通話を確認した。

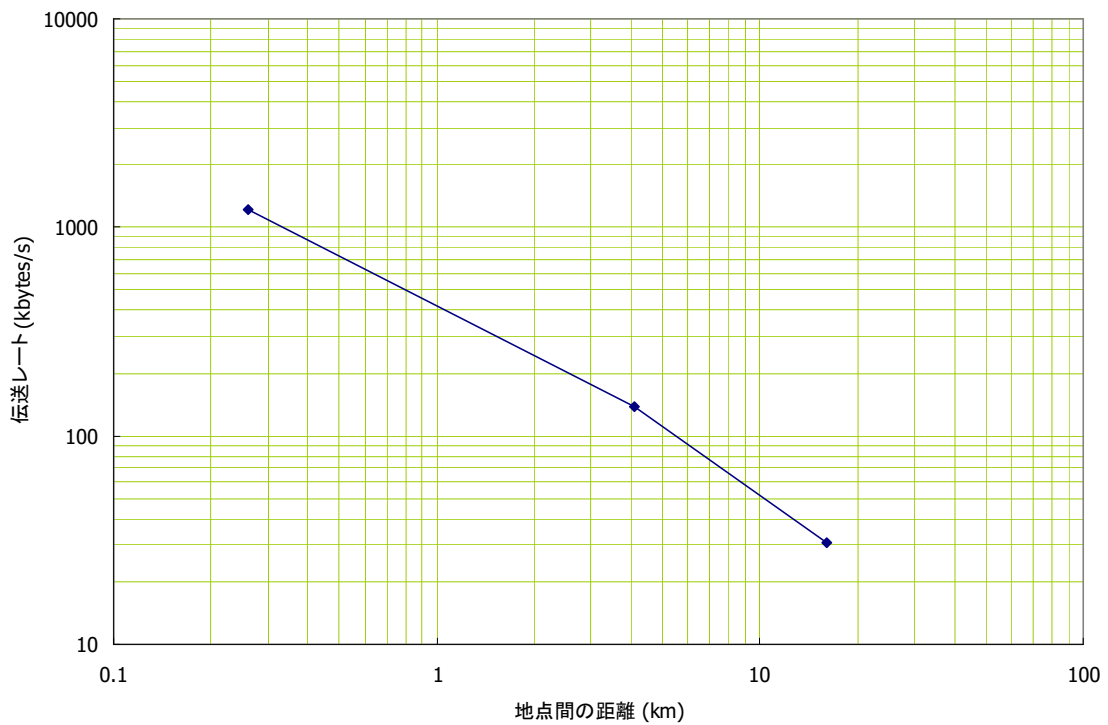


図 6.10 伝送距離対伝送レート





図 6.11 伝送する前の画像(左上)と伝送後の画像(右下)

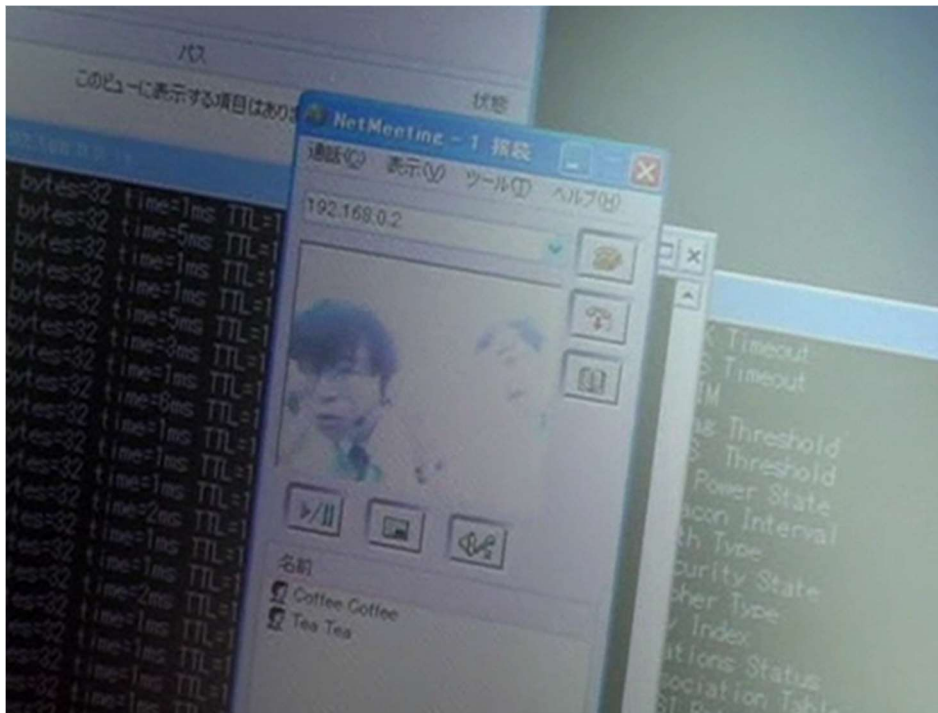


図 6.12 テレビ電話の様子まとめ

以上、GaN デバイスを用いたミリ波応用システムとして、25GHz 帯の長距離無線実証実験について述べた。

GaN デバイスを用いて無線通信機を作製、無線局免許も取得して実際に 16km 離れた地点間で無線リンクを確立し、長距離無線伝送を実証した。本研究で開発した 10W 出力の GaN PA を用いれば、計算上最大 84km の長距離通信が可能となる。

なお、本研究の一部は、総務省から「電波資源拡大のための研究開発」に関する委託契約の助成を受けて行われた。

### 6.3 ミリ波レーダを用いた非接触心拍センシング

#### 6.3.1 はじめに

本節では、もう一つのミリ波応用アプリケーション分野であるレーダ応用について、特に近年の健康ブームや高齢化社会への備えとして注目を浴びているバイタルセンシング応用について述べる。

図 6.13 にミリ波レーダが活用できるアプリケーションの例を示す。もっとも広く使われているのが移動体のトラッキング用途で、車載の障害物検知レーダは最もよく知られている。第2章で述べた GaAs MMIC チップセットもこの車載レーダを目指したものである。最近では屋外に限らず、屋内での移動体トラッキングへ要望もある。たとえば、近年急速に普及した自動搬送などのロボットの目として、ミリ波レーダの活用が期待されている。さらに防犯用途でもミリ波レーダの活用が期待されている。カメラと違って夜あかりの無いところでも検知でき、その動きから不審者を検知して警告するようなインテリジェントなシステムが期待されている。移動体トラッキング以外の用途としては、病院や介護施設、お年寄りの一人暮らし等での見守りセンシングの用途である。レーダのドップラセンサ機能を用いて対象の動きを検知、その動作の理解や、呼吸・心拍などのバイタル信号のセンシングに活用する。さらに、最近ではドップラセンサの動作解析機能をつかって、離れたところの電子機器の制御や、コンピュータやスマートフォンの入力デバイスとしての応用も期待されている。

これらの多種多様な応用分野の中から、本論文では近年の健康思考の高まりから多くの人の興味を引いているバイタルセンシング応用について、最新の研究開発について詳しく述べる。

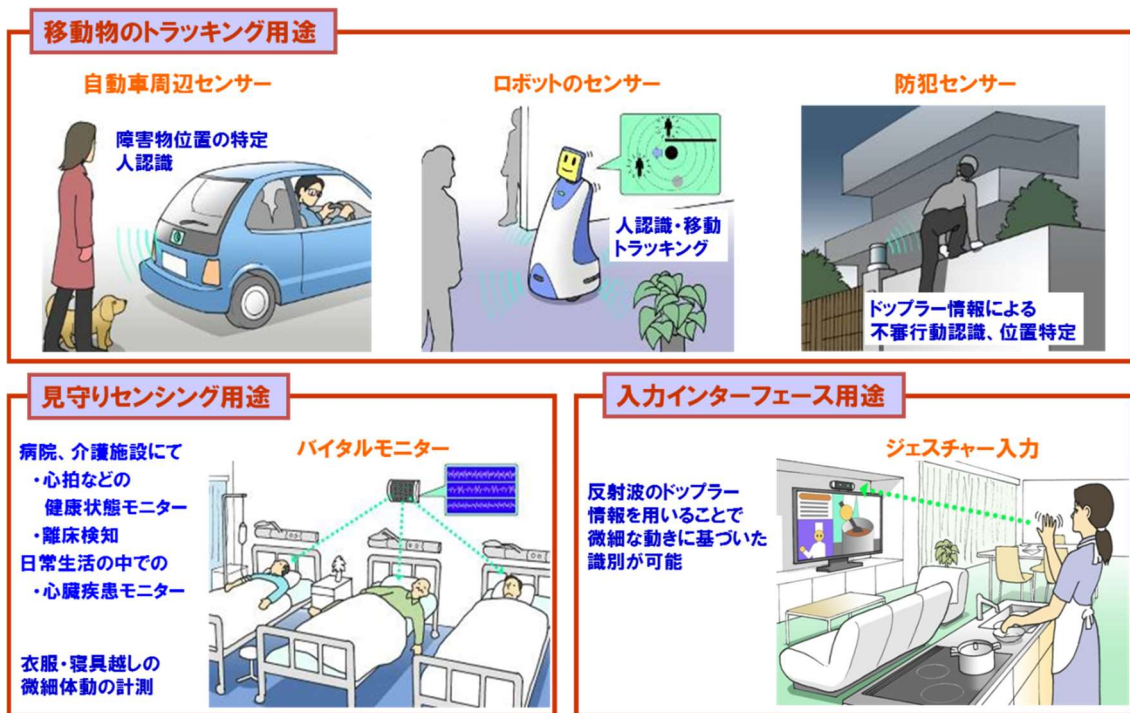


図 6.13 ミリ波レーダが活用できるアプリケーション分野

近年、生活習慣病の予防や日々の健康増進のために、様々な生体情報を常時モニタし、管理したいという要望が高まっている。また、本格的な高齢化社会を迎え、一人暮らしの老人や介護施設の入居者に対し、肉体的・精神的な健康状態を見守りたいという要求も多い。これらの要望に答えるべく、小型で高感度な様々な生体情報センサが開発され、ネットワークを介したクラウド情報管理を組み合わせ様々なセンサシステムが提案されてきた。しかしながら、現状では小型化されているとはいえ、多くの生体センサは身体に接触・装着する必要があるため、接触による不快感、装着の煩わしさ・拘束感、充電等のメンテナンス等の課題が指摘されている。そのため、測定時にストレスを感じさせないカジュアルな生体情報センシングが強く求められてきた。一部ではカメラや電波センサを利用した非接触型の生体センシングも提案されているが、接触型に比べ離れている分だけ環境の影響を受けやすく、測定精度においてはまだ課題が残る。特に、最近では呼吸数や心拍数といった医学的な生体情報だけではなく、これらの情報を用いて人の緊張状態、ストレス状態、眠気など、より高度な神経・精神状況まで推定したいという要望がある。たとえば、心拍間隔の時間的ゆらぎの周波数成分と人の交感神経・副交感神経の活動には関係があると言われており<sup>[6, 1]</sup>、これらの関係から人の緊張状態、ストレス状態などを推定する試みもなされている。しかしながら、平均値としての心拍数に比べ、一拍一拍の拍間隔をリアルタイムに測定するには、センサ自体に高い測定精度が要求されると同時に、心拍を正確かつ高速に推定する優れたアルゴリズムが必要にな



る。

ここでは、高感度スペクトラム拡散ミリ波レーダ技術と独自の信号処理技術を組み合わせた新しい非接触心拍センシング技術について述べる。本技術により、心電計と同程度の高感度な心拍数／心拍間隔の非接触測定が可能になり、高精度かつストレスフリーなカジュアルセンシングが実現できる。

### 6.3.2 スペクトラム拡散レーダ技術

生体情報の非接触センシング手法として、赤外線センサやカメラ、加速度センサ、マイクロ波センサを用いたものなどが提案され、すでに商品として実用化されているものもある。しかし、多くのものは、人のおおまかな行動・体動から、活動状態・睡眠状態などを推定するものであり、呼吸や心拍といった細かなバイタル情報を正確に測定できるものは限られる。カメラ映像データの画像解析から心拍を検出する技術も提案されているが、プライバシーの観点から、使用できる状況が制限される懸念がある。

ミリ波レーダを用いた非接触生体センシングは、ミリ波レーダを人体に照射し、皮膚表面の微細な動きを計測することで、呼吸や心拍を直接検出する。波長の極めて短いミリ波レーダは1mm以下の僅かな動きも検知できるため、人の呼吸による体の動きのみならず心臓の拍動が皮膚表面に伝わるわずかな動き（心弾動）も検出することが出来る。人の呼吸による体表面の変位は1mm～50mm、心拍による変位は0.1mm～0.5mm程度と言われているが、例えば60GHzミリ波レーダの波長は5mmであり、0.5mmの変位は位相にして36度にもなるので、いわゆるドップラー・レーダの原理でこのような微細な動きも検知できる。またミリ波は衣服や布団など透過するため、着衣のまま、布団をかぶっての就寝中でも、検出が可能である。

1mm以下の皮膚の動きを検知するだけであれば、24GHzのISM(Industry Science Medical)帯を用いた狭帯域ドップラセンサを用いても可能であるが、実際の心拍計測の利用シーンを考慮すると課題が多く現実的でない。例えば、室内に被測定者以外に動くものが何もない状態であれば、被測定者の信号のみを検知できるので呼吸や心拍の推定が可能になるが、近くに別の人が居る場合、あるいは人でなくても扇風機など動くものがあつた場合、それらの信号と被測定者の信号が混信して分離できないためセンシングが不可能になる。このような問題は、生体センシングに広帯域のUWB (Ultra Wide Band) レーダを用いることで解決できる。UWBレーダでは、帯域に対応したレンジビンと呼ばれる距離方向の測定区域を限定することができるため、被測定者が居るレンジビンのみの信号を抽出することで、外部擾乱の影響を排除できる。さらに、異なるレンジビンに居る別の被験者は独立して測定できるため、一つのレーダで複数人の生体信号を同時に測定することも可能となる。

生体情報センシングに適したUWBレーダとして、スペクトラム拡散レーダの原理を図6.14に示す。

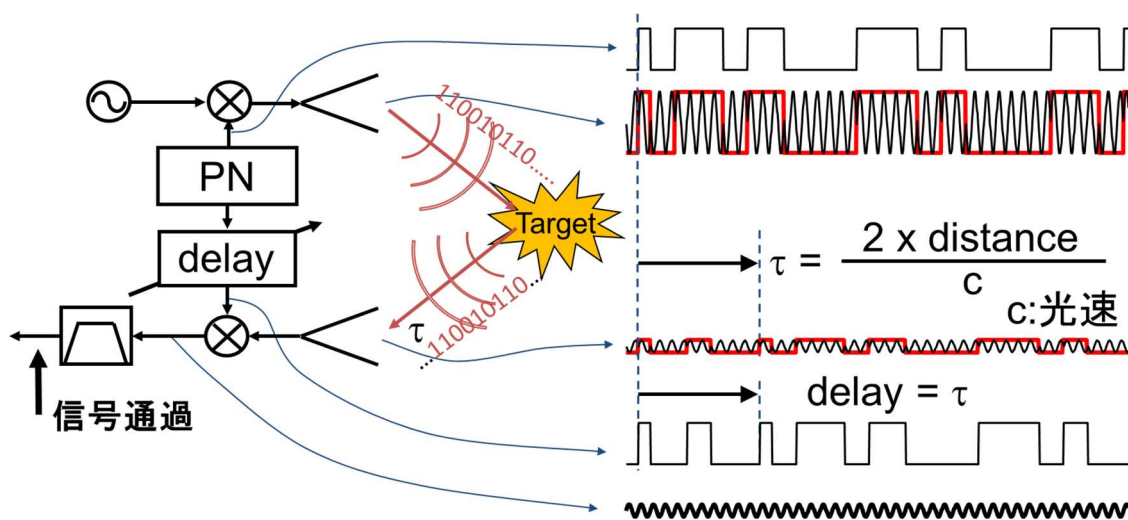


図6.14 スペクトラム拡散レーダの原理

発振器で生成したミリ波信号を特定の拡散符号（疑似ランダム信号）で位相変調し、送信する。送信された電波はターゲットで反射され、レーダからターゲットまでの距離の2倍を光速で割った時間（ $\tau$ ）だけ遅れてレーダに戻ってくる。受信器側では、戻ってきたレーダ信号をdelayだけ遅延させた先程の拡散符号で復調する。delayと $\tau$ が一致した時のみ受信信号は元の狭帯域の発振波に復調されるため、ここからターゲットまでの往復時間、すなわちターゲットまでの距離がわかる仕組みである。ターゲットである人の皮膚表面の僅かな動きは、レーダ信号波の位相シフトとして検知できる。前述のレンジビンは拡散符号のチップレートできまり、チップレートを高くすることでより細かくできる。同じ空間に複数のレーダが存在する場合には、それぞれのレーダに固有の拡散符号を割り当てることで、自己のレーダの反射波と他のレーダ波を区別することが出来るという特長もある。

表6.1にレーダ方式の比較をまとめた。スペクトラム拡散レーダ（PN符号位相変調方式）はパルスレーダなど他のUWBレーダ方式に比べても、連続送信による回路効率の向上など、微弱な生体信号を検出する生体センシング用途に適していることがわかる。

表6.9 レーダ方式の比較

方式	PN符号位相変調方式 (スペクトラム拡散:SS)	パルス方式	FM-CW方式
測距原理	PN符号自己相関	パルス自己相関	送受信周波数差
用途	近距離～中距離 数10cm～20m	航空・気象・軍事・車載など	主に遠距離車載レーダ 3m～100m
耐干渉波	PN符号で分離	干渉あり	干渉あり
回路効率	連続送信のため回路効率高い	インパルス状間欠送信のために大電力回路が必要	連続送信のため回路効率高い
距離分解能	高分解能化可能 ( $\tau c$ )/2 $\tau$ :1bit時間 3Gbit/s : 5cm	高分解能化可能 ( $\tau c$ )/2 $\tau$ :パルス幅 333ps : 5cm	高分解能化し難い 短距離検知も困難

本方式の有効性の確認と、ミリ波レーダによるバイタルセンシングを実証するために、実際にミリ波スペクトラム拡散方式レーダ装置を設計・試作した<sup>[6.2]</sup>。写真を図6.15に、本装置のブロック図を図6.16に示す。周波数は60GHz～61GHz、送信4チャンネル、受信4チャンネルを有し、4×4のMIMO (Multi Input Multi Output) 動作が可能となっている。これにより、レンジ方向だけでなく、角度方向の分離も可能になる。レーダから同一の距離に複数の被測定者が居る場合においても、レーダからの角度が異なれば、分離して同時に心拍を測定することが可能である。大きさは180mm×210mm×470mmと、まだコンパクトとは言えないが、実験室等で人の心拍計測の実験をするには十分な大きさである。



図6.15 スペクトラム拡散方式レーダ試作機の写真

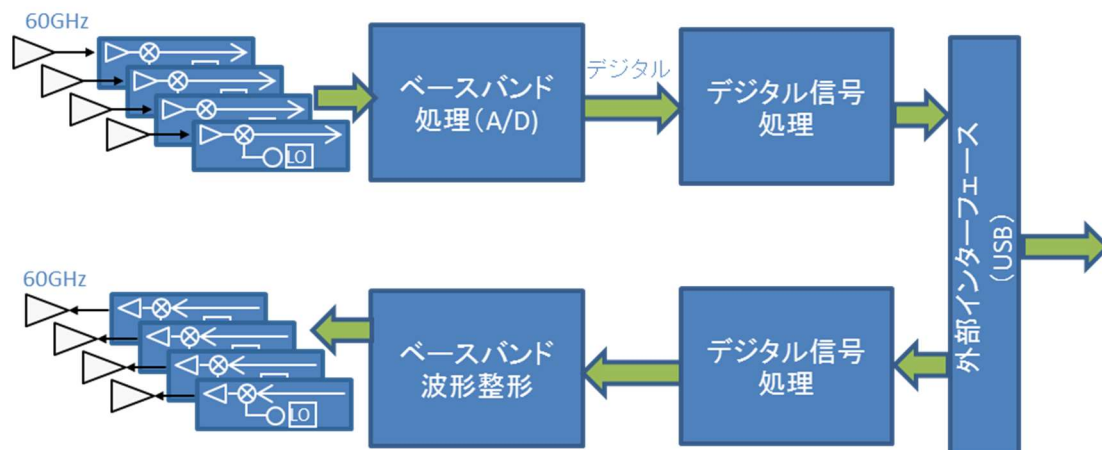


図6.16 スペクトラム拡散方式レーダ試作機のブロック図

表6.10に試作したレーダの主要諸元をまとめた。ここでの距離分解能というのは拡散符号のチップレートでできるレンジビンのことであり、先述したようにチップレートを高くすることでより細かくできる。この距離分解能だけ離れた被測定者は分離可能で、それぞれの心拍を同時に測定することができる。この試作機では最大1.25Gbpsのチップレートで12cmの距離分解能が実現できるが、チップレートを250Mbpsに落とすことで電波法に規程された60GHz帯レーダの帯域に低減し、特定無線設備の技術基準適合証明を取得している。これにより、パブリックスペースでの実験も可能とした。

表6.10 レーダ試作機の主要諸元

周波数帯	60GHz帯
送信電力	10mW以下
変調方式	PN符号位相変調方式
チップレート	250Mbps/1.25Gbps
距離分解能	60cm/12cm
アンテナ	送信4x受信4 アンテナ利得9dBi
サイズ	180mmx210mmx470mm

### 6.3.3. 特徴点を用いた心拍推定アルゴリズム

レーダをどれだけ高感度にしても、離れたところから人の心拍間隔を測定することは容易ではない。そもそも心拍の検出は呼吸の検出に比べて格段に困難である。心臓の拍動による胸の皮膚表面の動きは呼吸による動きに比べて1桁以上小さい上に、実際にはさらに体動などの別の動きも重畳されるからである。また、姿勢や個人差の影響も無視できない上、波形や心拍数は時間的に変化し、再現性も乏しいのが実際である。

図6.17はある被験者の胸部にレーダを照射したときのレーダ信号と装着した心電計による被験者の心電図（Electrocardiogram：ECG）を同時にプロットしたものである。被験者は椅子に着席した状態で、正面から胸部に向かって約1mの距離からレーダを照射した。レーダ信号は位相をプロットしており、被験者の胸部の動きを表している。一見して心電図の波形とレーダ信号の波形は対応が見られず、特に周期が大きく異なっているが、これはレーダ信号では呼吸による胸部の動きが優勢なためである。レーダ波形もよく見ると、細かな周期の動きが重畳しており、これらの信号を抽出すれば、心拍がわかるように思われる。そこで、レーダ信号から帯域通過フィルタによって呼吸の周波数成分を取り除いた波形を図6.18に示した。こうすることで、心電図波形とレーダ波形にある程度の対応が見られるようにはなったが、ここから一拍ごとの心拍を検出するのは容易ではない。呼吸の周波数成分を取り除いても、体動などの別の信号が重畳する他、呼吸信号の高調波成分も乗ってくるからである。

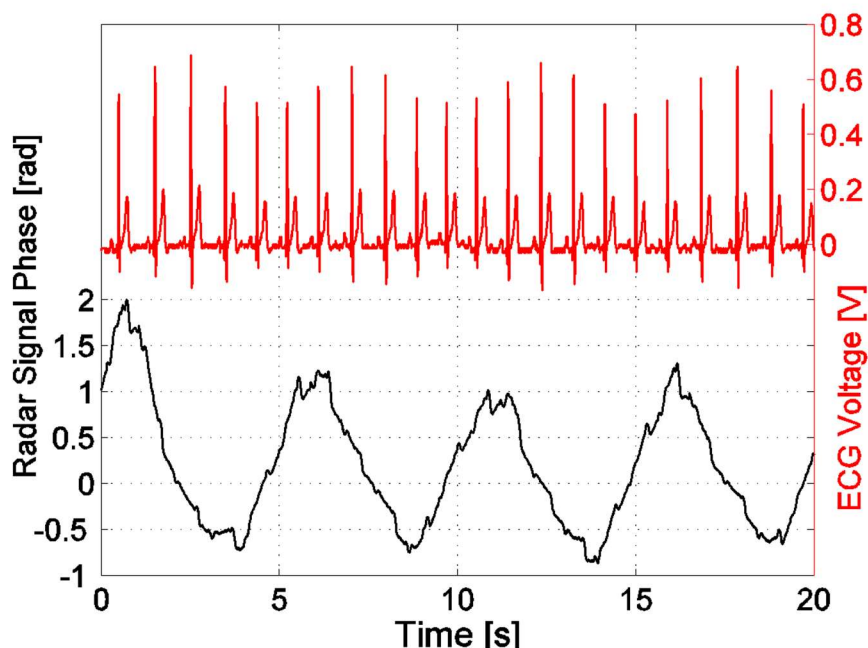


図6.17 レーダと心電位の同時測定波形

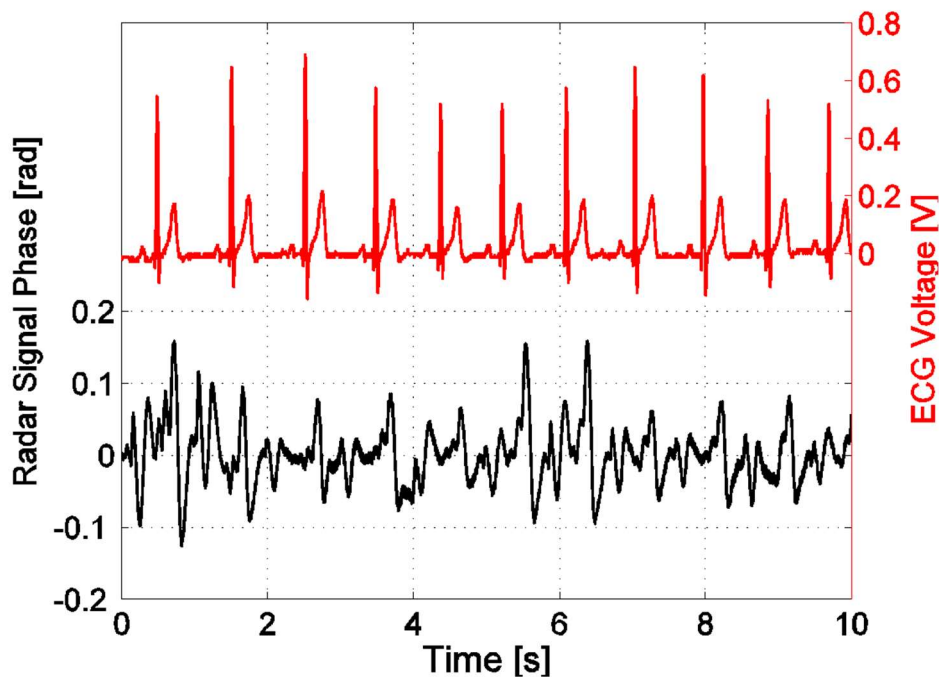


図6.18 単純なフィルタによる呼吸成分除去

これらの混在した信号の中から、心拍の成分を高速に抽出するために、特徴点を用いた新しいアルゴリズムを開発した<sup>[6.3-6.5]</sup>。

心拍間隔時間を推定するには、レーダ信号波形について基準時刻における周期を周期の推定範囲だけ進んだ波形との相関を計算するのが一般的だが、時間が進んだ波形の相関（波形がどの程度似てくるか）だけの判断では、誤った周期を心拍間隔と推定してしまうことも多かった。そこで、特徴点による判断を追加した。まずレーダ波形から、極大点、極小点などの特徴点を抽出する。さらに、その微分信号波形から、勾配極大点や勾配極小点などの特徴点を抽出する。これらの特徴点がどのような順番で現れるか、すなわち特徴量空間における特徴点の遷移状態を表す量として、各特徴点に離散複素特徴量を割り当てた特徴トポロジー信号を新たに定義し、この相関も判断に用いることで、信頼できるデータのみで心拍間隔を推定することにより、正確な推定を可能にした。

図6.19にレーダ信号からこの新しい手法で推定した心拍間隔と、心電図のピーク間隔から計算した心拍間隔を同時にプロットした結果を示す。両者が非常に良く一致しているのがわかる。RMS誤差はわずか5.1msである。図6.20は両者の相関をプロットしたものである。相関係数は0.993に達している。

このことから、ここで述べたミリ波レーダを用いた非接触の心拍センシングは、心電計とほぼ同等の精度で心拍間隔まで計測出来ていると言える。



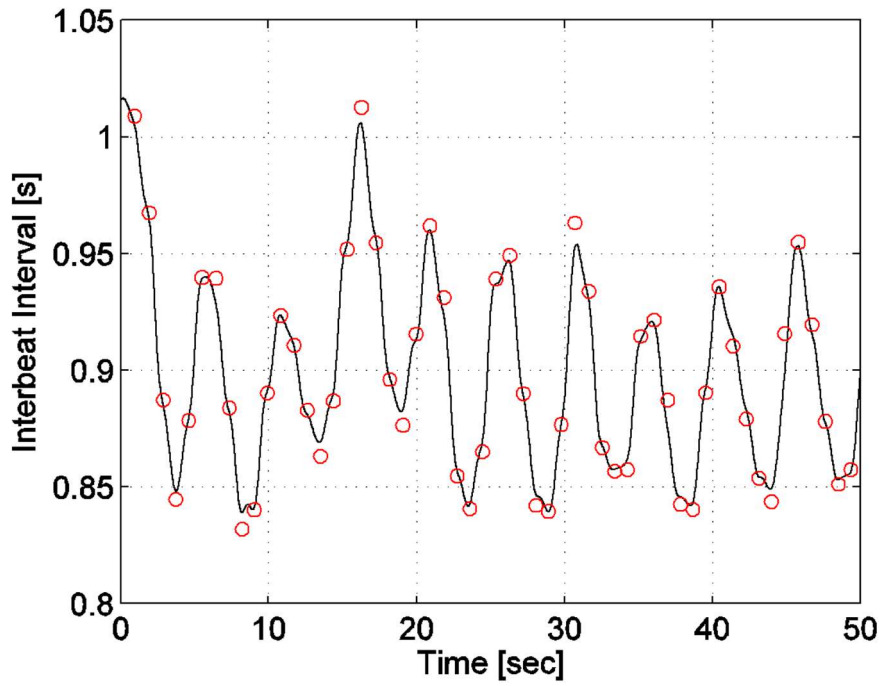


図6.19 心電計とレーダによる瞬時心拍間隔

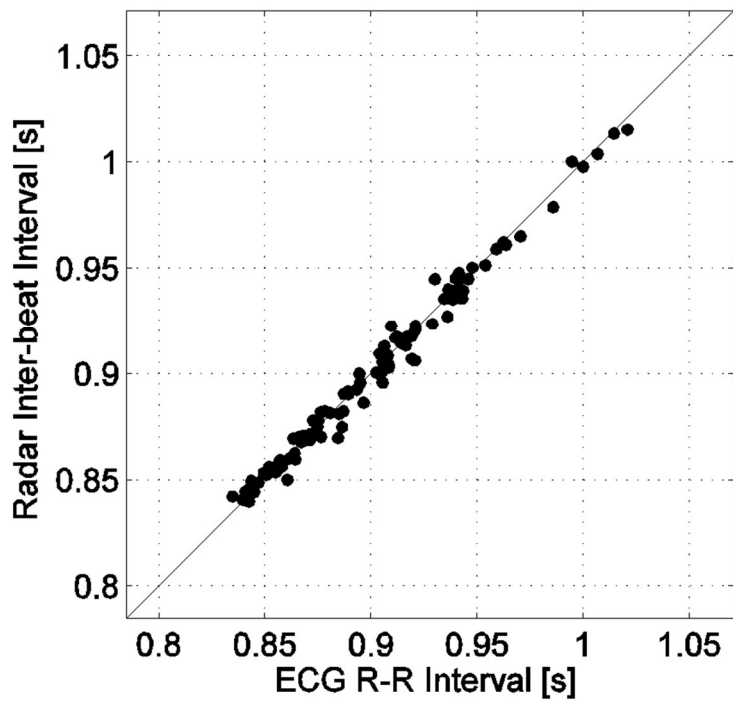


図6.20 心電計とレーダによる瞬時心拍間隔の相関

### 6.3.4. 実用化に向けた取り組み

ミリ波レーダを用いた非接触心拍センシングの基本原理とその実証について述べたが、本システムを広く民生に普及させるには、さらなる検出感度向上に加え、装置の小型化・低コスト等、実用化に向けた取り組みが必須である。本論文で述べてきた実用化・集積化技術をフルに活用して、非接触ミリ波バイタルセンサの小型・高感度化を進めた。

具体的には、周波数としてさらに広帯域な79GHzを用い、ミリ波レーダの機能をCMOS半導体技術により1チップ化<sup>[6.16]</sup>した。広帯域化により、分解能（レンジビン）7.5cm幅（従来比1/8）とさらに細かく分解することが可能になり、1台のレーダでより近接した複数人の心拍間隔を同時計測することが可能になる。

図6.21に実用化に向けて開発した79GHzスペクトラム拡散レーダ試作機の写真を示す。レーダ装置の亚克力ケース開口部に見えているグレーの板がアンテナを含むスペクトラム拡散ミリ波レーダモジュールでレーダの機能のほぼすべてがこのモジュールに実現されている。モジュールが載っている回路基板は、電源回路や、ミリ波レーダからの信号をPC等の外部機器に送るための信号変換・伝送回路が載っているに過ぎない。

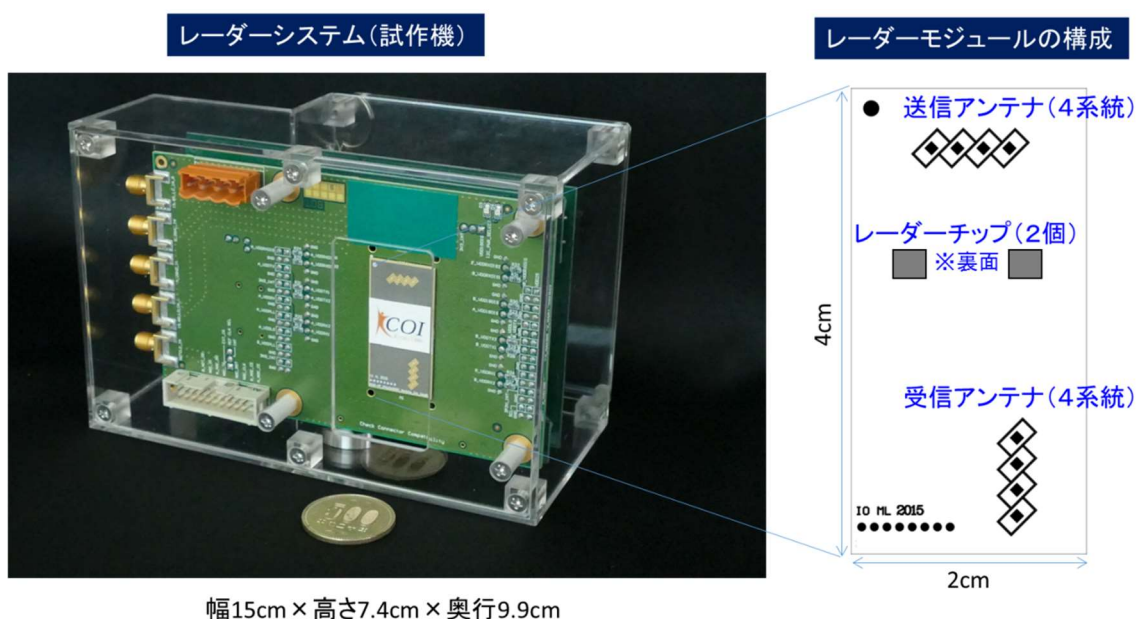


図6.21 CMOSチップを用いた79GHzスペクトラム拡散レーダ試作機の写真

このレーダモジュールの構成も同図に合わせて示している。送信4系統、受信系統のパッチアンテナを有し、全体で4×4のMIMO動作が可能である。ミリ波CMOSレータチ



ップはモジュールボードの裏面に2個実装されており、それぞれが受信2系統、送信2系統の79GHz帯の送受信回路と、レーダ信号処理に必要なデジタル回路もすべて集積されている。最新のCMOS半導体を用いたレーダミリ波デバイスの集積化技術によって、より高性能でより実用的な非接触心拍センサが実現できた。

このレーダを用いて、人体の様々な箇所での心拍間隔測定の実験を行った。心臓の拍動が体表面の動きとして伝わる心弾動は胸部に限らず、人体のあらゆる部分で観測できる。肩でも背中でも、頭頂部でも足の裏でも観測が可能である。実際に、図6.21のスペクトラム拡散レーダを天井に設置し、人体の頭頂部からのエコーで心拍推定する実験を行った<sup>[6.7]</sup>。実験の様子を図6.22に示す。図6.23にレーダ信号から推定した心拍間隔と心電図で測定した心拍間隔を示す。両者は非常によく一致しており、本システムは人体の頭部でも心拍間隔を心電図と同等の精度で測定できることがわかった。将来の家庭やオフィスでの応用を考えたときに、レーダを天井に設置することで、常時簡単に家中、オフィス中の人々のバイタルをチェックすることができることになる。



図6.22 79GHzスペクトラム拡散レーダを用いた心拍推定実験のセットアップ

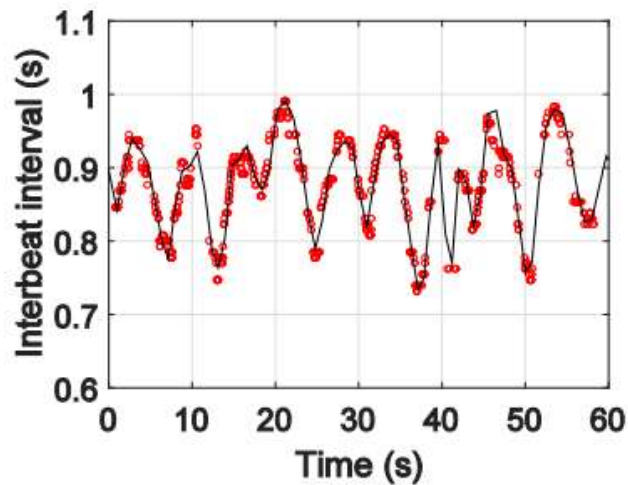


図6.23 頭頂部のエコーから推定した心拍間隔と心電図で測定した心拍間隔の比較

### 6.3.5 まとめ

ミリ波レーダの新しい応用としての非接触心拍センシング技術について解説した。高感度スペクトラム拡散レーダと特徴点を用いた新しい心拍推定アルゴリズムによって、被験者に測定されていることを感じさせない、カジュアルな心拍センシングが可能になり、さらにCMOS半導体によるミリ波レーダの小型集積化によって、実用化の時期も着実に近づいている。

本技術により、人の健康状態からストレス・緊張等の神経の状態までを推定することが可能になり、家庭や職場、介護施設など、様々なところで、健康管理や見守りなどの新しいサービス・システムへの展開が期待される。

図6.24に本技術が開く未来の可能性を示した。オフィスや家庭、病院や保育園などあらゆる場面で、離れたところから人の身体の状態や内面状態までカジュアルセンシングすることで人を見守り、気遣い、快適な空間を先回りして提供することができるようになり、より豊かで幸せな社会が実現することを願ってやまない。



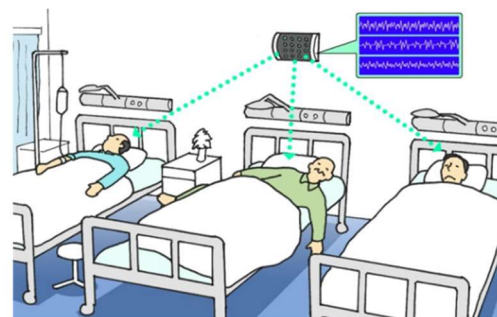
家族の身体と心の状態を常に見守り、快適な空間を提供



オフィスでのストレスチェック、健康管理



保育園等での子どもの見守り



入院患者のバイタルを常時計測、看護業務をサポート

図6.20 非接触ミリ波バイタルセンシング技術が開く未来

## 6.4 まとめ

本論文で述べてきたミリ波回路の集積化技術の応用アプリケーションとして、GaNデバイスを用いた長距離通信の実証実験と、ミリ波レーダを用いた非接触バイタルセンシング技術の開発について述べた。

特に、非接触バイタルセンシング技術はスペクトラム拡散レーダによる高感度センシングと一拍ごとの心拍間隔までも推定するアルゴリズムにより、単なる健康チェックからストレスや感情など、人の内面までも見る新しいセンサ技術となることが期待される。

## 第6章の参考文献

- [6.1] Akselrod S, Gordon D, Ubel FA, et al., “Power spectrum analysis of heart rate fluctuation : A quantitative probe of beat-to-beat cardiovascular control”, *Science*, 213 ; pp.220-222, 1981
- [6.2] <https://news.panasonic.com/jp/topics/142295.html>
- [6.3] T. Sakamoto, R. Imasaka, H. Taki, T. Sato, M. Yoshioka, K. Inoue, T. Fukuda, and H. Sakai, “Accurate heartbeat monitoring using ultra-wideband radar”, *IEICE Electronics Express*, Vol.12, No.3, pp.1-7, 2015.
- [6.4] T. Sakamoto, R. Imasaka, H. Taki, T. Sato, M. Yoshioka, K. Inoue, T. Fukuda, and H. Sakai, "Feature-based Correlation and Topological Similarity for Estimating Accurate Heart Rate using Ultra-Wideband Radar", *IEEE Trans. Biomed. Eng.*, Vol. 63, No. 4, pp.747-757, 2016.
- [6.5] T. Sakamoto, S. Okumura, R. Imanishi, H. Taki, T. Sato, M. Yoshioka, K. Inoue, T. Fukuda, and H. Sakai, "Remote heartbeat monitoring from human soles using 60-GHz ultra-wideband radar", *IEICE Electron. Exp.*, Vol.12, No.21, pp.1–6, 2015.
- [6.6] D. Guermandi, Q. Shi, A. Dewilde, V. Derudder, U. Ahmad, A. Spagnolo, A. Bourdoux, P. Wambacq, W. van Thillo, "A 79GHz 2×2 MIMO PMCW radar SoC in 28nm CMOS", 2016 *IEEE Asian Solid-State Circuits Conference*, pp.105-108, November 7-9, 2016
- [6.7] T. Sakamoto, M. Muragaki, K. Tamura, S. Okumura, T. Sato, K. Mizutani, K. Inoue, T. Fukuda, and H. Sakai, Measurement of instantaneous heart rate using radar echoes from the human head, *Electronics Letters*, Vol.54, No.14, pp.864-866, 2018.

## 第7章 結論

本研究では、ミリ波デバイスの集積化技術に着目し、様々な半導体材料からなるミリ波デバイスについて、その性能を維持したまま実装・回路化し、小型で低コストのミリ波集積回路を実現することを目的とした。

研究内容としては少なくとも異種の半導体・異種の技術を組み合わせることを前提に、ミリ波回路を現実的に小型・低コストで集積化する解を提案し、実際に回路、システムを構成してその効果を実証した。ミリ波信号を直接扱う部分には従来から研究開発の進む GaAs、高周波と高出力を同時に実現できることで近年注目を浴びている GaN について、トランジスタ高周波性能の向上に加えて工業的に量産可能な再現性・信頼性の高いデバイス構造プロセスの確立を目指し、化合物半導体の特徴を活かしたパッケージ、実装等の新しい集積化技術について提案した。さらに Si 半導体技術を利用してこれらの化合物半導体を低コストでさらに自由度の高い設計自由度で集積化できる新しいコンセプトのミリ波 IC の提案と実証を行い、ここで新たに開発した Si 基板上の低損失伝送線路技術を Si デバイスに応用し、低コストの Si を用いても化合物半導体と遜色ないミリ波 IC を実現した。最後にこれらのミリ波デバイスを用いた新しい応用システムを提案し、ミリ波技術が開く新しい世界の一端を示した。

得られた成果を以下にまとめる。

1. GaAs 系ミリ波トランジスタの実用化の観点から量産性再現性に優れた構造・プロセスを開発した。具体的には AlGaAs/InGaAs ヘテロ接合電界効果トランジスタ (HFET) においてレジストパターンのエッチングによる微細パターンの作製プロセスを確立し、通常の UV リソグラフィを用いながら、 $0.1\mu\text{m}$  級の極短ゲート構造を安定に作製することを可能にした。AlGaAs/GaAs ヘテロ接合バイポーラトランジスタ (HBT) においては L 型構造を有する新しいベース電極構造を提案し、 $f_{\text{max}}=253\text{GHz}$  の高周波特性を実現する一方でウエハ内の特性の均一性を実現した。さらに、HFET、HBT 両者において実用が始まっているファウンダリプロセスを用い、車載用近距離レーダという具体的アプリケーション向けのミリ波チップセットを設計・試作した。
2. GaN デバイスについて、ミリ波帯での低コストで実用的な集積回路技術を開発した。レーザドリルによるビアホール形成プロセス技術を確立し、安価なサファイア基板上での GaN MMIC を実現した。入出力の接続特性に優れた構造の新しいチップサイズパッケージを提案し、GaN MMIC の実装技術を進展させた。放熱性に優れた Si 基板上の GaN 高出力トランジスタも開発し、準ミリ波帯で 10W を超える出力のパワーアンプモジュールを実現し長距離無線機への実装を可能にした。

3. Si 基板上の薄膜マイクロストリップ線路の上に化合物半導体からなるミリ波トランジスタを実装するという新しいコンセプトのミリ波 IC(MFIC)を提案し、実際に設計・試作を行ってその有効性を実証した。さらに BCB 誘電体膜によりマイクロストリップ線路の損失を大きく低減し、同技術は Si デバイスによるミリ波 IC の性能向上に大きく貢献した。
4. MFIC で開発した低損失伝送線路技術を応用して、Si トランジスタを用いた低損失のミリ波 MMIC を実現した。また基板に実装した際に基板の影響を受けない、新しい IMSL 配線構造を持つミリ波 CMOS CSP を提案し、60GHz 帯アンプを設計試作して基板実装時にも特性の変化が無いことを確認した。さらにミリ波 Si MMIC の小型・低損失化を実現する新しい取り組みとして波長短縮が可能な Slow-wave 構造を検討し、Si 基板上に実現するための基本的な設計指針を得た。
5. 最後に本論文で述べてきたミリ波回路の集積化技術の具体的な応用アプリケーションとして、試作した GaN 送受信デバイスを実装した無線通信機を作製、無線局免許も取得して実際に 16km 離れた地点間で無線リンクを確立し、長距離無線伝送を実証した。またミリ波技術の新たなアプリケーションとしてミリ波レーダを用いた非接触バイタルセンサを試作し、独自のアルゴリズムで、離れたところから心拍間隔を心電計と同じ精度でセンシングすることに成功した。さらにミリ波 CMOS 集積回路技術を用いて、小型で実用的なレーダセンサを実現した。

本研究が、ミリ波回路の小型化、低コスト化技術発展の一助となり、センサを始めとするミリ波装置、応用システム、サービスが広く民生に普及し IoT 技術をさらに進化させて、目指す Society5.0 の世界がいち早く実現することを筆者は信じる。

## 謝辞

本研究を遂行するに当たり、常に暖かいご指導とご激励、ご鞭撻を賜りました、福井大学大学院工学研究科の葛原正明教授に心から深く感謝致します。

また、有益なご助言とご指導を頂きました、福井大学大学院工学研究科の橋本明弘教授、金邊忠教授、塩島謙次教授に深く感謝致します。

本論文をまとめる機会を与えてくださり、筆者の勤務するパナソニック株式会社での上司として長年公私に渡りご指導ご鞭撻頂いた元パナソニック株式会社先端技術研究所長(上席理事)・現名古屋大学上田大助特任教授に心から感謝いたします。

さらに、筆者らの開発したミリ波デバイスのシステム応用に関して、産学連携の共同研究を通し長きにわたってご指導、ご協力頂いた京都大学の佐藤亨名誉教授、阪本卓准教授はじめ京都大学情報システム研究科佐藤研究室の皆様心より感謝します。

筆者の初めての海外留学時に公私にわたりご援助いただき、筆者に Si 半導体の高周波活用のすべてをご教授くださった米国スタンフォード大学の Robert W. Dutton 教授、S. Simon Wong 教授に心より感謝いたします。

化合物半導体 MMIC の事業化応用に向け、最新のテクノロジーや台湾半導体産業についてご教授、ご指導頂いた台湾国立交通大学の Edward Yi Chang 副校長に深謝いたします。

また、長きにわたるパナソニック株式会社の同僚、また友人として常に筆者を励まし、本論文をまとめるにあたり様々なアドバイスを下さったパナソニック株式会社インダストリアルソリューションズ社事業開発センターの上田哲三所長に深く感謝いたします。

さらに、入社まもない筆者の共同研究先の上司・先輩として、高周波技術の基礎からシステム応用技術まで丁寧にご指導下さいました元松下技研/松下電器産業株式会社先端技術研究所参事の佐川守一氏に深く感謝の意を評します。

本研究は筆者が勤務した松下電器産業株式会社半導体研究センター、松下電子工業株式会社電子総合研究所、松下電器産業株式会社半導体社半導体デバイス研究センター、パナソニック株式会社先端技術研究所等、多くの部署にまたがってなされたものであり、多くの上司、同僚、また部下の方にご協力頂くとともに、多大なるご高配、ご配慮を頂きました。MFIC の試作にご協力頂いた池田義人氏、吉田隆幸氏、MMIC の設計・評価に多大なるご協力を頂いた西嶋将明氏、村田智洋氏、宇治田信二氏、河井康史氏、デバイス試作にご援助頂いた石田秀俊氏、根来昇氏、レーダシステム構築に多大なるご尽力を頂いた福田健志氏、井上謙一氏、水谷研治氏に心より感謝致します。

本研究は上記のほか、数多くの方々のご指導とご協力により達成されたものであり、ここに謹んで感謝の意を表します。

最後に仕事をしながらの研究活動で多くの負担をかけたにもかかわらず、暖かく支

えてくれた妻麻友美はじめ家族に改めて感謝致します。 どうもありがとうございました。



## 本研究に関する発表

### 1. 学術論文

- (1) H. Sakai, Y. Ota, K. Inoue, T. Yoshida, K. Takahashi, S. Fujita and M. Sagawa, "A Novel Millimeter-wave IC on Si Substrate using Flip-chip Bonding Technology", *IEICE Trans. Electron.*, Vol.E78-C, No.8, pp.971-978, 1995.
- (2) M. Tanabe, T. Matsuno, N. Kashiwagi, H. Sakai, K. Inoue and A. Tamura, "0.1 $\mu$ m AlGaAs/InGaAs high electron mobility transistor fabrication by new method of thinned resist pattern reversed by metal", *J. Vac. Sci. & Technol. B*, Vol.14, pp3248-3251, 1996.
- (3) M. Yanagihara, H. Sakai, Y. Ota and A. Tamura, "High  $f_{\max}$  AlGaAs/GaAs HBT with L-shaped Base Electrode and Its Application to 50GHz Amplifier", *Solid-State Electron.* Vol.41, No.010, pp.1615-1620, 1997.
- (4) H. Sakai, T. Yoshida and M. Sagawa, "High Frequency Flip-chip Bonding Technologies and Their Application to Microwave/Millimeter-wave ICs", *IEICE Trans. Electron.*, Vol.E81-C, No.6, pp.810-818, 1998.
- (5) K. Takahashi, S. Fujita, H. Yabuki, T. Yoshida, Y., H. Sakai and M. Sagawa, "Development of K-Band Front-End Devices for band Wireless Communication Systems Using Millimeter-Wave Flip-chip IC Technology", *IEICE Trans. Electron.*, Vol.E81-C, No.6, pp.25-31, 1998.
- (6) S. Ujita, Y. Kawai, K. Kaibara, N. Negoro, T. Fukuda, H. Sakai, T. Ueda, and T. Tanaka, "A 26GHz Transceiver Chipset for Short Range Radar Using Post-Passivation Interconnection", *Jpn. J. Appl. Phys.*, Vol.50, 04DE04, 2011.
- (7) N. Negoro, M. Kuroda, T. Murata, M. Nishijima, Y. Anda, H. Sakai, T. Ueda, and T. Tanaka, "K-Band AlGaN/GaN MIS-HFET on Si with High Output Power over 10W", *IEICE Trans. Electron.* Vol.E95-C No.8, pp.1327-1331, 2012.
- (8) T. Sakamoto, R. Imasaka, H. Taki, T. Sato, M. Yoshioka, K. Inoue, T. Fukuda, and H. Sakai, "Accurate heartbeat monitoring using ultra-wideband radar", *IEICE Electronics Express*, Vol.12, No.3, pp.1-7, 2015.
- (9) T. Sakamoto, S. Okumura, R. Imanishi, H. Taki, T. Sato, M. Yoshioka, K. Inoue, T. Fukuda, and H. Sakai, "Remote heartbeat monitoring from human soles using 60-GHz ultra-wideband radar", *IEICE Electron. Exp.*, Vol.12, No.21, pp.1-6, 2015.
- (10) T. Sakamoto, R. Imasaka, H. Taki, T. Sato, M. Yoshioka, K. Inoue, T. Fukuda, and H. Sakai, "Feature-based Correlation and Topological Similarity for Estimating Accurate Heart Rate using Ultra-Wideband Radar", *IEEE Trans. Biomed. Eng.*, Vol. 63, No. 4, pp.747-757, 2016.
- (11) H. Sakai, T. Fukuda, K. Inoue, S. Okumura, T. Sakamoto, and T. Sato, "Wireless Heart-beat Sensing Technology using Millimeter-wave Radar", *Panasonic Technical Journal*, Vol.63, No.1, pp.40-44, 2017.

- (12) T. Sakamoto, M. Muragaki, K. Tamura, S. Okumura, T. Sato, K. Mizutani, K. Inoue, T. Fukuda, and H. Sakai, "Measurement of instantaneous heart rate using radar echoes from the human head", *Electron. Lett.*, Vol.54, No.14, pp.864-866, 2018.

## 2. 学術雑誌、総説等

- (1) 酒井啓之, 吉田隆幸, 井上薫, 「フリップチップ実装を用いたミリ波帯 IC の開発」, *SHM* (エレクトロニクス実装技術協会) 会誌, Vol.12, No.2, pp.3-8, 1996.
- (2) 吉田隆幸, 池田義人, 酒井啓之, 藤田卓, 「ミリ波フリップチップ IC モジュール」, *SHM* (エレクトロニクス実装技術協会) 会誌, Vol.13, No.3, pp.28-33, 1997.

## 3. 国際学会発表

- (1) H. Sakai, Y. Ota, K. Inoue, T. Yoshida, K. Takahashi, S. Fujita and M. Sagawa, "A Novel Millimeter-wave IC on Si Substrate using Flip-chip Bonding Technology", *1994 IEEE MTT-S International Microwave Symposium Digest*, Vol.3, pp.1763-1766, 1994.
- (2) M. Yanagihara, H. Sakai, Y. Ota, M. Tanabe, K. Inoue and A. Tamura, "253-GHz  $f_{max}$  AlGaAs/GaAs HBT with Ni/Ti/Pt/Ti/Pt-Contact and L-Shaped Base Electrode", *1995 International Electron Devices Meeting (IEDM), Dig. Tech.*, pp.32.6.1-4, 1995.
- (3) H. Sakai, Y. Ota, K. Inoue, M. Yanagihara, T. Matsuno, M. Tanabe, T. Yoshida, Y. Ikeda, S. Fujita, K. Takahashi and M. Sagawa, "A Millimeter-wave Flip-chip IC using Micro-Bump Bonding Technology", *1996 IEEE International Solid-State Circuits Conference, Dig. Tech.*, Vol.39, pp.408-409, 1996.
- (4) K. Takahashi, S. Fujita, T. Yoshida, H. Sakai and M. Sagawa, "An Advanced Millimeter-wave Flip-chip IC Integrating Different Kinds of Active Devices", *1996 IEEE MTT-S International Microwave Symposium Digest*, Vol.3, pp.1919-1922, 1996
- (5) H. Sakai, T. Yoshida and K. Takahashi, "A Low-cost Highly Design Flexible Millimeter-wave Flip-Chip IC for Prospective Commercial Applications", *1997 Asia-Pacific Microwave Conference Proceedings*, Vol.2, pp.741-744, 1997
- (6) M. Maeda and H. Sakai, "Millimeter Wave Flip-Chip Front End IC and Power Amplifier using MBB Technology", *29th European Microwave Conference* pp.305-308, 1999
- (7) M. Nishijima, T. Murata, Y. Hirose, M. Hikita, N. Negoro, H. Sakai, Y. Uemoto, K. Inoue, T. Tanaka and D. Ueda, "A K-band AlGaIn/GaN HFET MMIC Amplifier on Sapphire using novel superlattice cap layer" *2005 IEEE MTT-S International Microwave Symposium*, TU4B-6, 2005.
- (8) T. Fukuda, N. Negoro, S. Ujita, S. Nagai, M. Nishijima, H. Sakai, T. Tanaka, and D. Ueda, "A 26GHz Short-Range UWB Vehicular-Radar Using 2.5Gcps Spread Spectrum Modulation", *2007 IEEE MTT-S International Microwave Symposium*, TH1C-2, 2007.

- (9) S. Ujita, Y. Kawai, K. Kaibara, N. Negoro, T. Fukuda, H. Sakai, T. Ueda and T. Tanaka, “A 26GHz Transceiver Chipset for Short Range Radar using Post-Passivation Interconnection”, *2010 International Conference on Solid State Devices and Materials*, G-2-4, 2010.