

Si基板上GaNパワーMOSデバイスの電気的特性解析  
および信頼性向上に関する研究

メタデータ	言語: jpn 出版者: 公開日: 2020-05-12 キーワード (Ja): キーワード (En): 作成者: 星, 真一 メールアドレス: 所属:
URL	<a href="http://hdl.handle.net/10098/10900">http://hdl.handle.net/10098/10900</a>

福井大学審査  
学位論文「博士（工学）」

Si 基板上 GaN パワーMOS デバイスの  
電気的特性解析および信頼性向上に関する研究

2020 年 3 月

星 真一

# 「Si 基板上 GaN パワーMOS デバイスの電气的特性解析および信頼性向上に関する研究」

星 真一

## 目次

第 1 章 序論 .....	2
1.1 研究背景 .....	2
1.1.1 パワー半導体におけるワイドバンドギャップ半導体の役割 .....	2
1.1.2 SiC と GaN の違い .....	10
1.2 Si 基板上 GaN パワーデバイスの開発状況 .....	12
1.3 Si 基板上 GaN パワーMOS デバイスの問題点 .....	12
1.4 本研究の目的 .....	13
1.5 本論文の構成 .....	14
第 1 章 参考文献 .....	16
第 2 章 Si 基板上 GaN デバイスの耐圧とオン抵抗の関係 .....	23
2.1 緒言 .....	23
2.2 縦型パワーデバイスのオン抵抗限界 .....	23
2.3 横型パワーデバイスのオン抵抗限界 .....	25
2.4 Si 基板上 GaN デバイスの耐圧課題 .....	30
2.5 結言 .....	32
第 2 章 参考文献 .....	33
第 3 章 ワイドバンドギャップ半導体における GaN パワーMOS デバイスの構造 .....	35
3.1 緒言 .....	35
3.2 Si パワーMOS デバイスと GaN パワーMOS デバイスの違い .....	35
3.3 デバイス設計の考え方 .....	38
3.4 デバイスの最適化構造検討 .....	42
3.4.1 数値計算による JFET ゲート構造の電界緩和の検討 .....	43
3.4.2 数値計算による微細化の電界緩和の影響の検討 .....	44
3.4.3 数値計算による MOS ゲート内の電界緩和の検討 .....	46
3.5 結言 .....	47
第 3 章 参考文献 .....	48

## 第4章 JFET 領域を持つ GaN パワーMOS デバイスの試作と電気的特性および信頼性

予測.....	51
4.1 緒言 .....	51
4.2 デバイスの作製方法 .....	51
4.3 ゲートリセスプロセス .....	53
4.3.1 ゲートリセスプロセスの条件 .....	53
4.3.2 ゲートリセス後の GaN 表面の損傷評価 .....	56
4.3.3 ゲート膜成膜前後における GaN 表面の損傷評価 .....	57
4.4 デバイスの電気的特性 .....	59
4.5 破壊箇所の解析結果.....	63
4.6 高温逆バイアス特性における信頼性予測 .....	64
4.7 高温順バイアス特性における信頼性予測 .....	67
4.8 デバイスのスイッチング特性 .....	69
4.9 結言 .....	71
第4章 参考文献 .....	72
第5章 JFET 領域を持つ GaN パワーMOS デバイスのしきい値電圧の安定性評価 .	74
5.1 緒言 .....	74
5.2 試作したデバイスのしきい値電圧特性.....	74
5.3 試作したデバイスのしきい値電圧変動.....	76
5.3.1 オン状態のしきい値電圧変動 .....	78
5.3.2 オフ状態のしきい値電圧変動 .....	78
5.4 試作したデバイスのしきい値電圧変動解析 .....	81
5.5 結言 .....	82
第5章 参考文献 .....	84
第6章 結論.....	87
6.1 本論文のまとめ.....	87
6.2 今後の課題と展望.....	88
謝辞 .....	89
研究業績 .....	90

# 第 1 章

## 序論

# 第1章 序論

本章では、ワイドバンドギャップ半導体の一つである GaN の特徴と、GaN パワーデバイスの可能性と課題を示し、本研究の目的である「Si 基板上 GaN パワー-MOS デバイス開発」とその意義を明らかにする。そして本論文の全体構成を示す。

## 1.1 研究背景

### 1.1.1 パワー半導体におけるワイドバンドギャップ半導体の役割

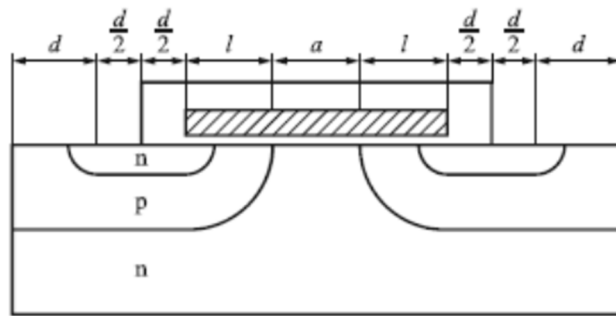
今日のパーソナルコンピュータや携帯電話による便利さの享受、特に、電子メールやインターネットによる情報処理・伝達の高度化は、半導体の発展に依るところが大きい。代表的な応用例の一つであるスマートフォンは、2016 年世界の台数ベースで約 40 億台となり、さらに増大する勢いである[1]。また人の移動に欠かせない車においても、世界的な普及と電子制御化が進み、半導体部品の割合が増大している。エンジン制御の心臓部は、ECU (Engine Control Unit : エンジンコントロールユニット) と呼ばれるマイクロコントローラによって制御され、安全性確保のためのエアバックシステムやアンチロックブレーキシステムを構成する加速度センサや制御センサにも半導体が使われる。さらに、昨今の環境問題から、さらなる排気ガス規制に対応する EV (Electric Vehicle: 電気自動車) や PHV (Plug-in Hybrid Vehicle : プラグインハイブリッド自動車) の開発が活発に進められ、その基幹部品であるインバータや電圧変換する様々なコンバータは、多くの半導体によって構成される。したがって、車においても半導体部品の割合がさらに増大する見込みである[2]。このように私たちの身の回りには多くの半導体を積み込んだ機器があふれており、半導体なくしては成り立たない便利な世の中にいる。

その発展を支える半導体は、1839 年ファラデーによる  $\text{Ag}_2\text{S}$  の抵抗値が金属と反対の温度特性を示したことに始まる。そして、量子力学や固体物理学の進展とともに、半導体への理解は深まり、1947 年にベル研究所の研究チームによって、点接触バイポーラトランジスタが発明された。これが本格的な半導体発展の始まりといわれている。1948 年にバーディ

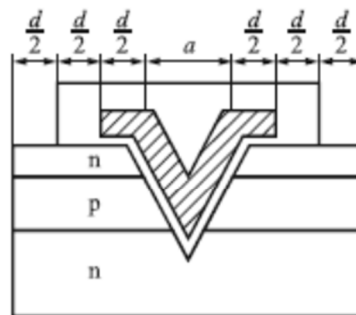
ーンとブラッテンが、「Point-Contact Transistor」を発表し、翌年には、同じ研究チームだったショックレーが接合型バイポーラトランジスタを発表する[3]。1960年にはSi半導体の代表的な技術であるMOS構造の動作が確認された。そして1965年のムーアの法則の論文が予言するとおり、「18か月で半導体の集積率は2倍になる」という半導体の微細化技術が進展する[4]。ムーアの法則とMOS構造の相性の良さから、集積化、高速化、低消費電力化がSi半導体中心に進み、現在も進行中である。2019年で、最先端のシリコンMOSFET（Metal-Oxide-Semiconductor Field-Effect Transistor）のゲート長は10 nm前後となっている。

このような半導体の進展によって、世界全体で人々が便利な技術を楽しむようになると、地球で消費されるエネルギー量が指数関数的に膨張してきた。そのため、大幅な省エネルギーが可能になるパワーエレクトロニクスに注目が集まる。パワーエレクトロニクスは、電力変換や電力制御を、高速・高効率に行う技術である。その核となる技術がパワー半導体であり、先に述べたデジタル処理を中心としたSi半導体の進展の恩恵を受けつつも、パワー半導体技術は異なった経路で発展してきた。

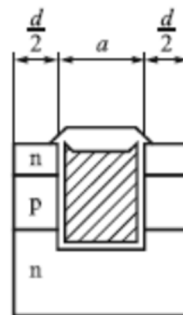
ショックレーの接合型トランジスタは発明された当初から、トランジスタの大電力化が重要な課題であった。バイポーラトランジスタには、電流集中効果のために大電力化に上限が存在するためである。そして1956年にサイリスタが開発されたが、大電流動作が可能になった代わりに自立的な正帰還の仕組みによってターンオフが難しかった。1970年代にはゲート電流を引き抜いてターンオフできるGTO（Gate-Turn-Off）サイリスタが発明され、電車や新幹線に実用化された。1970年代後半になると、Si-MOSの集積化プロセスを用いてMOSFETを並列接続した縦型パワーMOSFETが実用化された（図1.1）。少数キャリア効果のないパワーMOSFETは高速スイッチングが可能である。パワーMOSFETの登場により、スイッチングレギュレータの動作周波数は大幅に高くなり、多くのエレクトロニクス機器の小型化やエネルギー変換の高効率化が進んだ[5]。1980年代から二酸化炭素をはじめとする温室効果ガスによる「地球温暖化」が大きく注目されてくると、より省エネルギーが可能になる高性能パワー半導体の開発必要性が高まった。



(a) DMOSFET



(b) VMOSFET



(c) Self-Aligned  
トレンチ MOSFET

図 1.1 自己整合拡散プロセスで製作される縦型パワーMOSFET の代表構造。(a)→(c)で最小デバイス素子の間隔が大幅に縮小されることで単位面積当たりのオン抵抗  $R_{onA}$  が飛躍的に向上した。

- (a) DMOSFET: Diffusion MOSFET
- (b) VMOSFET: V-groove MOSFET
- (c) トレンチ MOSFET



そして 1980 年代には縦型パワーMOSFET をさらに進化させた IGBT (Insulated Gate Bipolar Transistor) が登場する。当初の IGBT 構造は、ラッチアップによる破壊があり、実使用上の課題があったが、破壊なく動作するノンラッチアップの IGBT が東芝の中川氏によって 1984 年に発明され、実用化された[6]。IGBT は、図 1.2 に示すように、基板側の pnp バイポーラトランジスタのベース電流へ電子注入を行う機能に特徴を持つ。この伝導度変調機能によって、ドリフト層の抵抗が大幅に低減する。IGBT は、npnp のサイリスタ構造を内蔵するため、伝導度変調によるオン抵抗改善と大電流化が可能になる一方、正孔を引き抜く時間が必要になるため、スイッチング速度には制限がある。そのため、IGBT を使いこなすためのドライバ回路技術や周辺技術も重要な技術となる。これら IGBT 関連技術が進展して、現在の大電力パワー半導体を支えている。

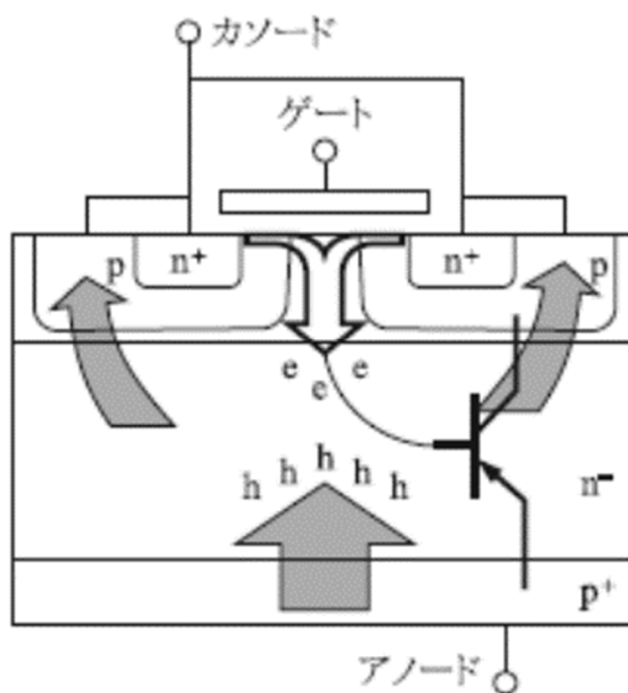


図 1.2 IGBT の代表的な構造

このようにパワー半導体は、半導体の微細化と MOS 技術だけでなく、デバイス構造に大きく特徴を依存して発展してきたといえる。ここでパワー半導体の種類について整理すると図 1.3 になる。大きく分類すると、正孔と電子を利用するバイポーラデバイスと、電子を利用するユニポーラデバイスに分類される。伝導度変調を利用するバイポーラデバイスは、比較的スイッチング速度の遅い大電流大電力に用いられ、より高速スイッチングの応用製品にはパワー-MOSFET が用いられている。

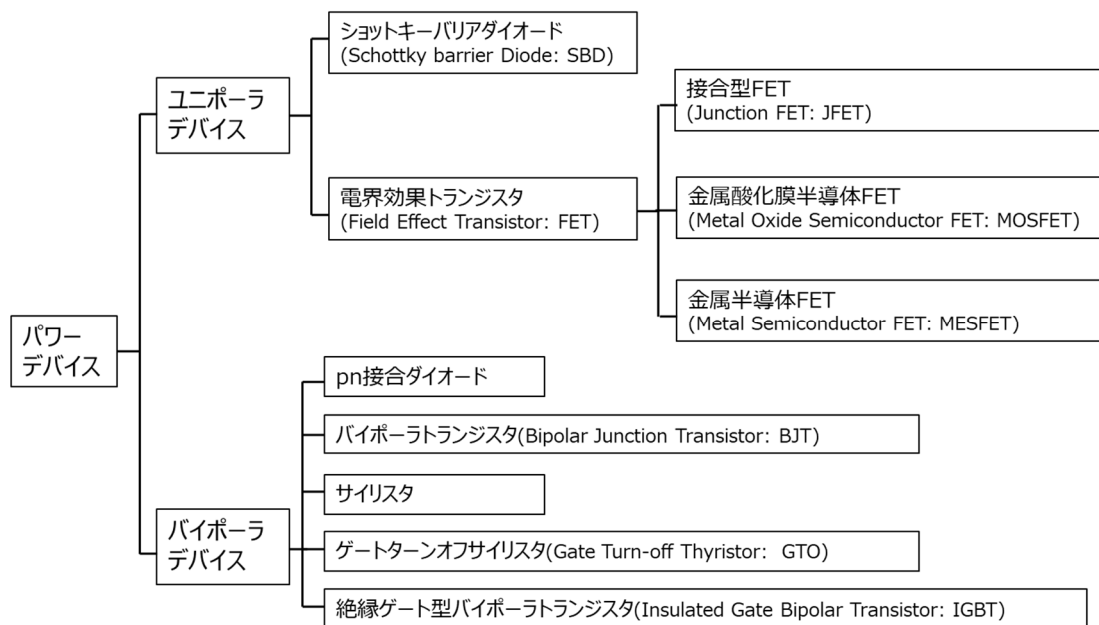


図 1.3 パワーデバイスの分類

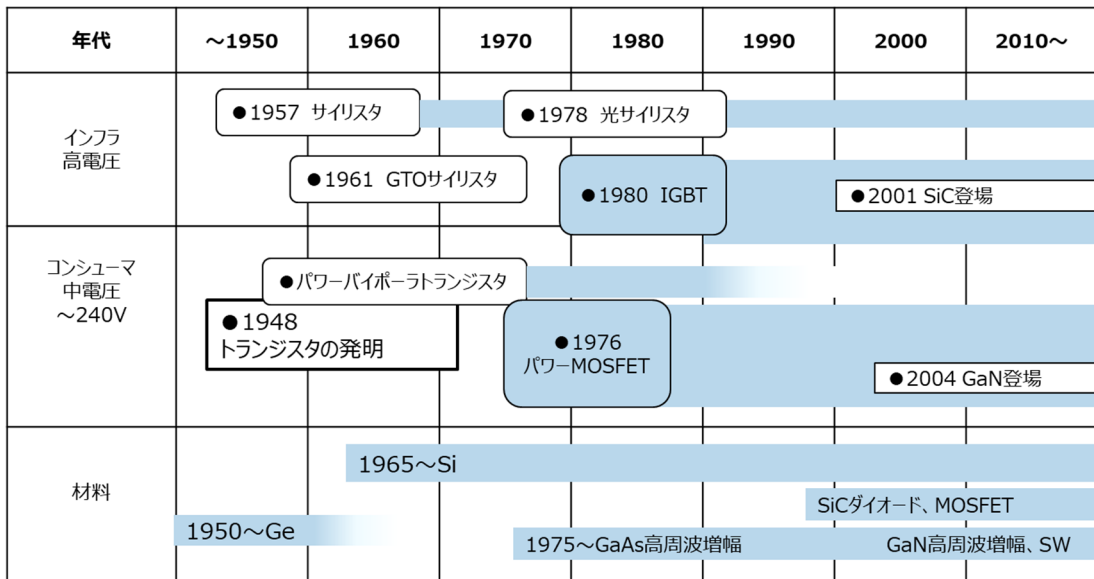


図 1.4 パワー半導体の系譜と応用階層

図 1.4 にパワー半導体の系譜と応用階層を示す。さらなる省エネルギー、高性能化がパワー半導体に求められるようになると、ワイドバンドギャップ半導体が 2000 年以降注目される。これは Si パワー-MOSFET にさらなるオン抵抗低減を求めても、材料特性に依存するオン抵抗と耐圧の理論式があり、耐圧におけるオン抵抗限界が見えてきたことに起因する。 $R_{onA}$  をデバイスの単位面積当たりの規格化オン抵抗 ( $m\Omega cm^2$ )、 $V_B$  をデバイスの阻止耐圧、 $E_c$  を半導体材料固有の絶縁破壊電界とすると、次の理論式で示される[7]。

$$R_{onA} \geq R_{ML} = R_{drift} = \frac{V_B^2}{\epsilon\mu \left(\frac{2E_c}{3}\right)^3} \quad (1.1)$$

$\epsilon$ 、 $\mu$ はそれぞれ半導体材料の誘電率とキャリア移動度である。(1.1)式は、デバイスのドリフト領域のみの抵抗値  $R_{drift}$  における材料で規定される抵抗限界  $R_{ML}$  であり、その半導体材料の最も低減できる規格化オン抵抗  $R_{onA}$  を示している。代表的な半導体である Si、SiC、GaN の抵抗限界線を図 1.5 に示す。これは、表 1.1 で示される各物性値を (1.1) 式に当てはめて図示したものである。最もオン抵抗の低くなる限界線は、Si に比べ、SiC で約 1/300 倍、GaN で約 1/650 倍低減されることがわかる。そのため SiC や GaN のような良好な材料物性値を持つワイドバンドギャップパワー半導体の開発が求められてきた。材

料物性値によるパワー半導体の性能指標がバリガ指数 ( $BFOM$ : Baliga  $FOM$ ) であり、(1.1) 式の分母の項になる。同じ阻止耐圧  $V_B$  で考えた場合、このバリガ指数が大きいほど良好なデバイス性能を示す[8]。

$$BFOM = \varepsilon\mu E_c^3 \quad (1.2)$$

表 1.1 には、電子デバイス用材料の性能指数として重要なジョンソン指数[9]、キース指数[10]も示す。ジョンソン指数は飽和ドリフト速度と絶縁破壊電界の積の 2 乗、キース指数は熱伝導率と飽和ドリフト速度を誘電率で割った値の平方根であり、それぞれ高周波・大電流動作、および高速スイッチング動作のデバイス性能指数とされている。それぞれ、Si の性能指数を 1 として規格化して示した。表 1.1 と図 1.5 からわかる通り、ワイドバンドギャップ半導体である SiC や GaN は、Si と比較して桁違いに性能指数が大きい。これはワイドバンドギャップ半導体の絶縁破壊電界が Si に比べて一桁大きいことに拠る。したがって、桁違いの超低オン抵抗特性を実現できる可能性から、ワイドバンドギャップ半導体材料によるパワーデバイス開発が求められるようになった。

表 1.1 主な半導体材料の物性値と性能指数 (Si=1)とした場合

	記号	単位	Si	4H-SiC	GaNバルク	GaN-2DEG	Diamond
バンドギャップ	$E_g$	eV	1.12	3.26	3.39	3.39	5.47
電子移動度	$\mu_e$	cm <sup>2</sup> /Vs	1400	850	900	1500	2200
正孔移動度	$\mu_h$	cm <sup>2</sup> /Vs	600	115	150	150	1600
飽和速度	$V_s$	cm/sec	10 <sup>7</sup>	2.2x10 <sup>7</sup>	2.7x10 <sup>7</sup>	2.7x10 <sup>7</sup>	2.7x10 <sup>7</sup>
絶縁破壊電界	$E_c$	MV/cm	0.3	2.5	3.3	3.3	10
比誘電率	$\epsilon_s$	--	11.9	9.7	9	9	5.5
熱伝導度	$K$	W/cmK	1.5	4.9	1.5	1.5	20
ジョンソン指数 (Si=1)	$JFOM$	--	1	336	882	882	8100
キース指数 (Si=1)	$KFOM$	--	1	3.0	1.9	1.9	8.8
バリガ指数 (Si=1)	$BFOM$	--	1	286	647	1079	19563

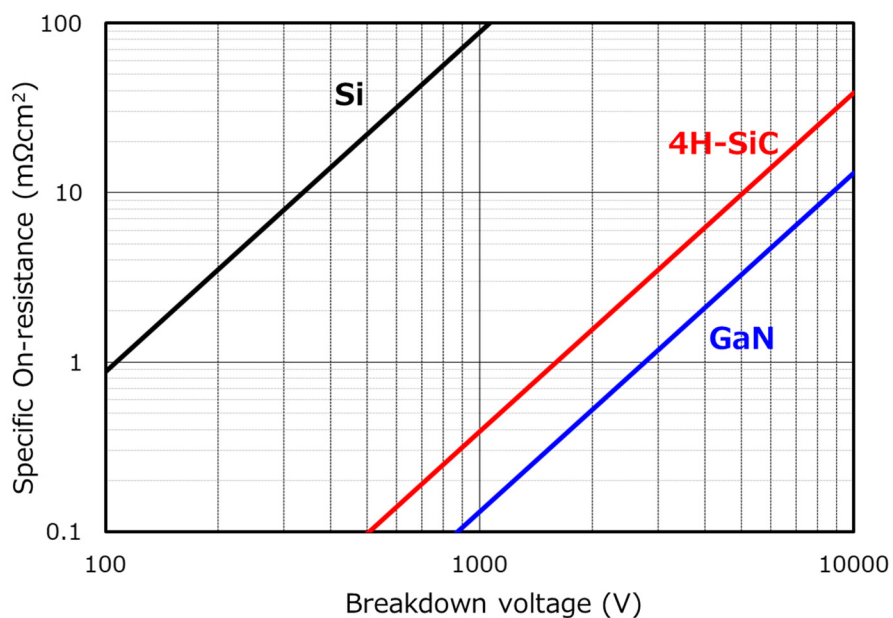


図 1.5 代表的な半導体である Si、SiC、GaN の耐圧とオン抵抗の限界線

### 1.1.2 SiCとGaNの違い

ワイドバンドギャップ半導体の SiC と GaN が、パワーデバイスにおいて、非常に高い性能可能性を有していることを示した。ここでは、SiC と GaN の主な違いについて述べる。

まず、GaN が SiC と異なる点は、GaN が混晶半導体である異種接合を形成できると、直接遷移型のバンド構造を持つことである（図 1.6）。異種接合界面を利用した構造では、異種材料間のバンドオフセットと材料結晶に起因する分極特性を伴うため、AlGa<sub>0.3</sub>Ga<sub>0.7</sub>N 界面に非常に大きな 2 次元電子ガス（2 DEG）が形成され、1500～2000 cm<sup>2</sup>/Vsec の高い電子移動度を得られる。Al 組成比 0.3 程度の Al<sub>0.3</sub>Ga<sub>0.7</sub>N を用いた場合、AlGa<sub>0.3</sub>N/GaN 界面に形成される 2 DEG 濃度は、10<sup>13</sup> /cm<sup>2</sup> 程度になり、GaAs 系の異種接合界面 AlGaAs/GaAs の数倍のシートキャリア濃度になる[13, 14]。電流輸送の視点から、高速動作と超低オン抵抗を合わせ持つ可能性を持つため、デバイス特性として非常に魅力的である。AlGa<sub>0.3</sub>N/GaN の異種接合を用いた高電子移動度トランジスタ（HEMT : High Electron Mobility Transistor）は、1993 年に Khan 等によって報告されて以来[15]、研究が活発に行われている[16-19]。

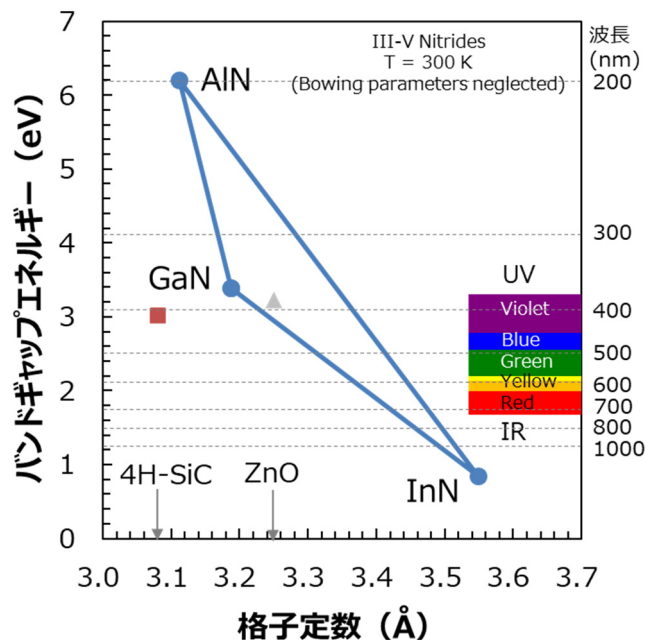


図 1.6 窒化物半導体における混晶半導体の格子定数とバンドギャップ・波長との関係

次に、GaN と SiC の大きな違いは、GaN の良質な同種基板がなかったことである。SiC は、SiC 粉末から昇華法を利用して作製した SiC 基板があり、同種材料のエピタキシャル成長が可能である。結晶成長技術も進み、結晶欠陥が  $10^3/\text{cm}^2$  以下の良質な大口径 6 インチ基板や、RAF (Repeated A-Face growth method)法[20] により、さらに結晶欠陥を低減した基板が提供されている。GaN には良質な大口径 GaN 基板がなく、格子定数の異なる基板上に異種エピタキシャル成長して基板作製されてきた。青色発光ダイオードは、サファイア基板上に成長した GaN が用いられている[21, 22]。放熱の必要な高周波デバイスには、熱伝導度のよい半絶縁性 SiC 基板上に成長した GaN が用いられている[23]。パワーデバイスは、求められるデバイス数量が大きいために低コストが重視され、大口径化が可能な Si(111)面を利用した Si 基板上 GaN-HEMT が用いられるようになった[24-26]。表 1.2 に GaN エピタキシャル成長に用いられる基板一覧を示す。基板との熱膨張係数差が大きいため、エピタキシャル成長する際の GaN 緩衝層に大きな違いがある。Si 基板上の GaN エピタキシャル成長は、熱膨張係数や格子定数が最も異なるにも関わらず、緩衝層の研究が活発に行われ、現在、8 インチ Si(111)基板上の GaN ウェハが提供されるまでに至っている[27, 28]。

表 1.2 GaN エピタキシャル成長に用いられる基板材料物性一覧

		GaN	Si(111)	4H-SiC	sapphire
格子定数	(Å) a軸	3.189	5.43	3.07	4.758
	(Å) c軸	5.185	--	10.05	12.991
熱伝導率	W/cmK	1.3	1.5	4.9	0.3
熱膨張係数	In-plane ( $\times 10^6 / \text{K}$ )	5.59	2.59	4.2	7.5
格子ミスマッチ GaN/基板	(%)	-	16.9	3.5	16
熱膨張係数ミスマッチ GaN/基板	(%)	-	116	33	-25

## 1.2 Si 基板上 GaN パワーデバイスの開発状況

Si 基板上の GaN エピタキシャル成長基板が提供されるに伴って、並行してデバイス開発も活発に行われている。GaN on Si 基板における高抵抗 Si 基板と低抵抗 Si 基板の違いでは、ドレインコンダクタンスの差から高周波特性に大きな違いがあった。高抵抗 Si の GaN on Si 基板を用いて、GaN on SiC 基板のデバイス比較を行ったところ、高周波デバイスの通常使用範囲電圧を超える 70V 程度までほぼ同特性の、2.14 GHz、 $V_{ds} = 70$  V において、出力電力 12.88 W/mm、利得 19.15 dB と電力負荷効率 64% の優れた高周波増幅特性を示した[29]。

高周波デバイスは特性を重視してノーマリオン動作が用いられるが、パワーデバイスは安全性の観点からノーマリオフ特性と Si デバイスを凌駕する超低オン抵抗が望まれる。ノーマリオフ構造は、リセスゲートエッチングによる AlGaIn 層の薄層化[30, 31]、フッ素イオンのゲート直下への注入[32]、p 型ゲートの接合型 FET (Junction FET : JFET) 構造[33, 34]、AlGaIn 上に p-AlGaIn を配した GIT (Gate-Injection-Transistor) 構造[35]、GIT 構造を進化させた AlGaIn をリセスしたのちに AlGaIn、p-GaN を再成長する構造[36]など様々なゲート構造が検討されてきた。これらは、MESFET か、JFET のため、順方向電流によるゲート振幅制限や大きな逆方向電流等の課題がある。Si パワー-MOSFET の回路方式や知見を利用するには、ゲート電流をほとんど無視できる同様の MOS 構造が望まれる。このような視点から GaN 系 MOSFET の研究も活発に行われている[37, 38]。ゲート絶縁膜には、Si と同じ SiO<sub>2</sub> を用いる構造[37]、バンド整合の関係から Al<sub>2</sub>O<sub>3</sub> ゲート膜を提唱する構造[39, 40]、熱処理後でも結晶化し難い AlSiO ゲート膜[41]など、研究開発が報告されている。

## 1.3 Si 基板上 GaN パワー-MOS デバイスの問題点

窒化物半導体パワーデバイスの実用化にむけて、重要な課題も依然として残されている。『電流コラプスの低減』、『オフ漏れ電流（ソース・ドレイン間漏れ電流、GaN 緩衝層を流れる漏れ電流）の低減』、『ゲートのノーマリオフ化』、そして『デバイス信頼性』である。特に、『ゲートのノーマリオフ化』と『デバイス信頼性』は、安全性を重視する車載デバイスで重要な



課題となる。

電流コラプスの低減方法として、AlGaN 上に n-GaN キャップを挿入する方法[17]、GaN デバイスの表面保護膜による方法[42, 43]、フィールドプレートによる改善方法が報告されている[44]。また刃状転位と電流コラプスとの相関関係[45]や AlGaN/GaN HEMT エピタキシャル緩衝層のイエローミネッセンスと電流コラプスとの相関[46]も報告されており、電流コラプスの低減に向けた取り組みが勢力的に進められた。オフ漏れ電流においては、空間電荷制限電流伝導モデルによる解析を行い、貫通転位、電子捕獲密度が GaN 緩衝層漏れ電流とオフ耐圧特性に影響を与えると報告されている[47, 48]。

GaN パワー半導体は、p-GaN を用いた JFET デバイスで量産が始まっているものの、MOSFET については、実用展開が全く進んでいない。その主たる要因は、GaN パワー MOS デバイスにおける耐圧信頼性と特性変動にある。MOS デバイスが動作するとき、MOS ゲートに印加する電界強度は、定格のオン状態とオフ状態で最大となる。その電界ストレス、および温度ストレスに対して、デバイスを破壊することなく、想定する使用時間に余裕をもった安定動作が求められる。特にパワー MOS デバイスでは、オフ状態でドレインに高電圧が印加されるため、ゲート MOS の破壊には注意して設計しなければならない。Si パワー MOS デバイスでは、pn 接合の耐圧設計やフィールドプレートを用いて、電界緩和が適切に設計されていた。一方、GaN パワー MOS デバイスは、材料の絶縁破壊電界強度が異なるため同じ構造では状況が異なる。

またオン状態でも Si MOS デバイスで用いられる安定な Si 熱酸化膜は使えないため、ゲート膜中や酸化膜／半導体界面でのキャリア捕獲による特性変動という課題がある。このような現象を理論的に解明し、GaN MOSFET の信頼性構造を追究することは、実用化への不可避な課題である。横型 GaN MOSFET では、MOS 構造の特性や安定性には報告があるものの、高電圧が印加された時の阻止耐圧信頼性について十分に議論されていない。

#### 1.4 本研究の目的

前節までに、パワーデバイスとして、Si 半導体に比べて、より優れた材料特性を有するワイドバンドギャップ半導体、特に SiC よりも可能性がある GaN の MOSFET における利点と課

題について述べた。また Si 基板上の GaN デバイスは、安価な基板と大口径化可能な Si 基板を用いることで、製造費用対デバイス特性（コストパフォーマンス）の視点においても大きな魅力がある。パワーデバイスの信頼性を確保するには、まず使用する領域（電圧範囲、および温度範囲）で破壊しないデバイス構造を確立する必要がある。その次に使用する領域で特性安定性を確立しなければならない。これらデバイス信頼性やデバイス特性安定性を確立していないばかりに、初期特性が非常に良好なデバイスも実用化されなかった例は数多くある。従って、本研究の目的は、コストパフォーマンスと優れた材料特性を兼ね備えた Si 基板上 GaN パワーMOS デバイス構造において、実用上耐えうる阻止耐圧信頼性を実証することである。

まず耐圧信頼性構造を提案するために、Si MOS デバイス構造と比較して、ワイドバンドギャップ半導体ならではの MOS 構造が必要であることを電界強度の数値計算で示した。そして、数値計算から適切な電界強度を満足するデバイス構造を提案、試作し、そのデバイス特性およびスイッチング特性を示した。試作したデバイスを用いて、TDDB（Time Dependent Dielectric Breakdown：時間依存による誘電体膜破壊）の信頼性評価を実施し、実用に耐えうる十分な阻止耐圧特性を有することを示した。最後にその構造における MOS 特性の評価を実施し、安定性の課題について言及する。

## 1.5 本論文の構成

以降、各省の構成と省別概要に触れる。本論文は第 1 章「序論」から第 6 章「結論」まで全 6 章で構成されている。以下は研究の本体である第 2 章から第 5 章までの概要である。

第 2 章では、パワーデバイスにおける GaN デバイスの低オン抵抗特性の可能性、とくに横型 GaN デバイスの可能性について検討した。その中で Si 基板上 GaN デバイスに用いられる Si 基板上の GaN エピタキシャル膜厚に起因する耐圧限界にも触れる。

第 3 章では、GaN MOSFET 構造において、同じワイドバンドギャップ半導体の SiC MOSFET を参考に、耐圧信頼性を確保するための構造を電界強度の数値解析から明らかにする。

第 4 章で、そのデバイスの電界強度の数値解析結果で得た知見をもとに提案したデバイ

ス構造を試作し、そのプロセスの流れと、MOS 構造で気を付けるべきプロセス条件詳細を示す。TDDB 評価結果から、予想されるデバイス寿命を示し、MOS に印加する電界強度が耐圧信頼性大きな影響を与えることを示す。

第 5 章で、試作したデバイスの MOS 特性、および MOS 特性安定性について示し、GaN パワー-MOS デバイスの残されている課題を示す。

第 6 章では本論文を総括し、今後の展望について述べる。

## 第1章 参考文献

- [1] 総務省情報通信白書 平成 29 年版「世界のスマートフォン OS 別インストールベース台数」.(<http://www.soumu.go.jp/johotsusintokei/whitepaper/h29.html>)
- [2] 図解カーエレクトロニクス 下 要素技術編 日経 BP 社 加藤光治 監修 デンソーカーエレクトロニクス研究会.
- [3] 奥山幸祐、SEAJ Journal 2008.5, No. 114 ~ SEAJ Journal 2009.3, No. 119.
- [4] G. E. Moore, "Cramming more components onto integrated circuits", Electronics Magazine 19 April (1965).
- [5] 上田大助、田中毅、滝川信一、「化合物半導体技術のエレクトロニクスへの展開」、電子情報通信学会-IEICE 会誌, Vol. 100, No. 9, p. 919 (2017).
- [6] A. Nakagawa, H. Ohashi, M. Kurata, H. Yamaguchi, and K. Watanabe, "Non-Latch-Up 1200V, 75A Bipolar-Mode MOSFET with Large SOA", IEEE IEDM Tech. Dig., p. 860 (1984).
- [7] J. A. Cooper, Jr., M. R. Melloch, R. Singh, A. Agarwal, and J. W. Palmour, "Status and prospects for SiC power MOSFETs", IEEE Trans., Electron Devices, Vol. 49, p. 658 (2002).
- [8] B. J. Baliga, "Semiconductors for high-voltage vertical channel FETs", J. Appl. Phys., Vol. 53, p. 1759 (1982).
- [9] E. O. Johnson, RCA Rev., 26, p. 163 (1965).
- [10] R. W. Keyes, Proc. IEEE, 60, p. 225 (1972).
- [11] 四戸孝、「SiC パワーデバイス」、東芝レビュー-Vol.59, No. 2 (2004).
- [12] 赤崎勇編著：「III 族窒化物半導体」、培風館、東京、1999 年
- [13] O. Ambacher, J. Smart, J. R. Shealy, N. G. Weimann, K. Chu, M. Murphy, W. J. Schaff, and L. F. Eastman, "Two-dimensional electron gases induced by spontaneous and piezoelectric polarization charges in N- and Ga-face AlGaN/GaN heterostructures", J. Appl. Phys., Vol. 85, p. 3222 (1999).

- [14] O. Ambacher, B. Foutz, J. Smart, J. R. Shealy, N. G. Weimann, K. Chu, M. Murphy, A. J. Sierakowski, W. J. Schaff, and L. F. Eastman, "Two dimensional electron gases induced by spontaneous and piezoelectric polarization in undoped and doped AlGa<sub>N</sub>/Ga<sub>N</sub> heterostructures", *J. Appl. Phys.* Vol. 87, p. 334 (2000).
- [15] M. A. Khan, J. N. Kuznia, A. R. Bhattarai, and D. T. Olson, "Metal semiconductor field effect transistor based on single crystal Ga<sub>N</sub>", *Appl. Phys. Lett.*, Vol. 62, p. 1786 (1993).
- [16] Y. F. Wu, A. Saxler, M. Moore, R. P. Smith, S. Sheppard, P. M. Chavarkar, T. Wisleder, U. K. Mishra, and P. Parikh, "30-W/mm Ga<sub>N</sub> HEMTs by field plate optimization", *IEEE Electron Device Lett.*, Vol. 25, p. 117 (2004).
- [17] T. Kikkawa, and K. Joshin, "High Power Ga<sub>N</sub>-HEMT for Wireless Base Station Applications", *IEICE Tans. Electronics*, Vol. E89-C, p. 608 (2006).
- [18] T. Nakayama, H. Miyamoto, Y. Ando, Y. Okamoto, T. Inoue, K. Hataya, and M. Kuzuhara, "Low-contact-resistance and smooth-surface Ti<sub>2</sub>AlNb/Au ohmic electrode on AlGa<sub>N</sub>/Ga<sub>N</sub> heterostructure", *Appl. Phys. Lett.* Vol. 85, p. 3775 (2004).
- [19] S. Arulkumaran, T. Egawa, S. Matsui, and H. Ishikawa, "Enhancement of breakdown voltage by AlN buffer layer thickness in AlGa<sub>N</sub>/Ga<sub>N</sub> high-electron-mobility transistors on 4in. diameter silicon", *Appl. Phys. Lett.* Vol. 86, 123503 (2005).
- [20] H. Kondo, H. Takaba, M. Yamada, Y. Urakami, T. Okamoto, M. Kobayashi, T. Masuda, I. Gunjishima, K. Shigeto, N. Ooya, N. Sugiyama, A. Matsuse, T. Kozawa, T. Sato, F. Hirose, S. Yamauchi, and S. Onda., "Development of RAF Quality 150mm 4H-SiC Wafer", *Materials Science Forum*, Vol. 778-780, p. 17 (2014).
- [21] H. Amano, N. Sawaki, and I. Akasaki, "Metalorganic vapor phase

epitaxial growth of a high quality GaN film using an AlN buffer layer", *Appl. Phys. Lett.*, Vol. 48, p. 353 (1986).

[22] S. Nakamura, M. Senoh, and T. Mukai, "High-power InGaN/GaN double-heterostructure violet light emitting diodes", *Appl. Phys. Lett.*, Vol. 62, p. 2390 (1993).

[23] S. T. Sheppard, K. Doverspike, W. L. Pribble, S. T. Allen, J. W. Palmour, L. T. Kehias, and T. J. Jenkins, "High-power microwave GaN/AlGaIn HEMTs on semi-insulating silicon carbide substrates", *IEEE Electron Device Lett.*, Vol. 20, p. 161 (1999).

[24] A. Watanabe, T. Takeuchi, K. Hirosawa, H. Amano, K. Hiramatsu, and I. Akasaki, "The growth of single crystalline GaN on a Si substrate using AlN as an intermediate layer", *J. Crystal Growth*, Vol. 128, p. 391 (1993).

[25] H. Ishikawa, G. Y. Zhao, N. Nakada, T. Egawa, T. Jimbo, and M. Umeno, "GaN on Si Substrate with AlGaIn/AlN Intermediate Layer", *Jpn. J. Appl. Phys.*, Vol. 38, L492 (1999).

[26] A. Ubukata, K. Ikenaga, N. Akutsu, A. Yamaguchi, K. Matsumoto, T. Yamazaki, and T. Egawa, "GaN growth on 150-mm-diameter (111) Si substrates", *J. Crystal Growth*, Vol. 298, p. 198 (2007).

[27] D. Christy, T. Egawa, Y. Yano, H. Tokunaga, H. Shimamura, Y. Yamaoka, A. Ubukata, T. Tabuchi, and K. Matsumoto, "Uniform Growth of AlGaIn/GaN High Electron Mobility Transistors on 200 mm Silicon (111) Substrate", *Appl. Phys. Express*, Vol. 6, 026501 (2013).

[28] D. Marcon, B. De Jaeger, S. Halder, N. Vranckx, G. Mannaert, M. Van Hove, S. Decoutere, "Manufacturing Challenges of GaN-on-Si HEMTs in a 200 mm CMOS Fab", *IEEE Trans., Semiconductor Manufacturing*, Vol. 26, p. 361 (2013).

[29] S. Hoshi, M. Itoh, T. Marui, H. Okita, Y. Morino, I. Tamai, F. Toda, S.

Seki, and T. Egawa, "12.88 W/mm GaN High Electron Mobility Transistor on Silicon Substrate for High Voltage Operation", *Appl. Phys. Express*, Vol. 2, 061001 (2009).

[30] W. Saito, Y. Takada, M. Kuraguchi, K. Tsuda, and I. Omura, "Recessed-gate structure approach toward normally off high-voltage AlGa<sub>N</sub>/Ga<sub>N</sub> HEMT for power electronics applications", *IEEE Trans. Electron Devices*, Vol. 53, p. 356 (2006).

[31] N. Ikeda, R. Tamura, T. Kokawa, H. Kambayashi, Y. Sato, T. Nomura, and S. Kato, "Over 1.7 kV normally-off Ga<sub>N</sub> hybrid MOS-HFETs with a lower on-resistance on a Si substrate", *Proc. 23<sup>rd</sup> ISPSD*, p. 284 (2011).

[32] K. J. Chen, L. Yuan, M.J. Wang, H. Chen, S. Huang, Q. Zhou, C. Zhou, B.K. Li, and J.N. Wang, "Physics of fluorine plasma ion implantation for Ga<sub>N</sub> normally-off HEMT technology", *IEEE IEDM Tech. Dig.*, p. 19.4.1 (2011).

[33] X. Hu, G. Simin, J. Yang, M. A. Khan, R. Gaska, and M. S. Shur, "Enhancement mode AlGa<sub>N</sub>/Ga<sub>N</sub> HFET with selectively grown pn junction gate", *Electron Letters*, Vol. 36, p. 753 (2000).

[34] N. Tsuyukuchi, K. Nagamatsu, Y. Hirose, M. Iwaya, S. Kamiyama, H. Amano, and I. Akasaki, "Low-Leakage-Current Enhancement-Mode AlGa<sub>N</sub>/Ga<sub>N</sub> Heterostructure Field-Effect Transistor Using p-Type Gate Contact", *Jpn. J. Appl. Phys.*, Vol. 45, L319 (2006).

[35] Y. Uemoto, M. Hikita, H. Ueno, H. Matuo, H. Ishida, M. Yanagihara, T. Ueda, T. Tanaka, and D. Ueda, "Gate Injection Transistor (GIT)—A Normally-Off AlGa<sub>N</sub>/Ga<sub>N</sub> Power Transistor Using Conductivity Modulation", *IEEE Trans. Electron Devices*, Vol. 54, p. 3393 (2007).

[36] H. Okita, M. Hikita, A. Nishio, T. Sato, K. Matsunaga, H. Matsuo, M. Mannoh, and Y. Uemoto, "Through recessed and regrowth gate technology for realizing process stability of Ga<sub>N</sub>-GITs", *Proc. 28<sup>th</sup>*

- ISPSD, p. 23 (2016).
- [37] T. Yonehara, Y. Kajiwara, D. Kato, K. Uesugi, T. Shimizu, Y. Nishida, H. Ono, A. Shindome, A. Mukai, A. Yoshioka, and M. Kuraguchi, "Improvement of Positive Bias Temperature Instability Characteristic in GaN MOSFETs by Control of Impurity Density in SiO<sub>2</sub> Gate Dielectric", IEEE IEDM Tech. Dig., p. 745 (2017).
- [38] S. Nakazawa, H.-A. Shih, N. Tsurumi, Y. Anda, T. Hatsuda, T. Ueda, M. Nozaki, T. Yamada, T. Hosoi, T. Shimura, H. Watanabe, and T. Hashizume, "Fast Switching Performance by 20 A / 730 V AlGaIn/GaN MIS-HFET Using AlON Gate Insulator", IEEE IEDM Tech. Dig., p. 605 (2017).
- [39] T. Hashizume, S. Anantathanasam, N. Negoro, E. Sano, H. Hasegawa, K. Kumakura, and T. Makimoto, "Al<sub>2</sub>O<sub>3</sub> Insulated-Gate Structure for AlGaIn/GaN Heterostructure Field Effect Transistors Having Thin AlGaIn Barrier Layers", Jpn. J. Appl. Phys. Vol. 43, L777 (2004).
- [40] M. Kanamura, T. Ohki, S. Ozaki, M. Nishimori, S. Tomabechi, J. Kotani, T. Miyajima, N. Nakamura, N. Okamoto, T. Kikkawa, and K. Watanabe, "Suppression of threshold voltage shift for normally-Off GaN MIS-HEMT without post deposition annealing", Proc. 25<sup>th</sup> ISPSD, p. 411 (2013).
- [41] D. Kikuta, K. Itoh, T. Narita, and T. Mori, "Al<sub>2</sub>O<sub>3</sub>/ SiO<sub>2</sub> nanolaminate for a gate oxide in a GaN-based MOS device", J. Vac., Science Technology, Vol. A35, 01B122 (2017).
- [42] S. Hoshi, T. Marui, M. Itoh, Y. Sano, and S. Seki, "Influence of NH<sub>3</sub>-plasma pretreatment before Si<sub>3</sub>N<sub>4</sub> Passivation Film Deposition on Current Collapse in AlGaIn/GaN-HEMTs", IEICE Trans. Electron., Vol. E89-C, p. 1052 (2006).



- [43] T. Marui, S. Hoshi, M. Itoh, I. Tamai, F. Toda, H. Okita, Y. Sano, and S. Seki, "Effects of a Thermal CVD SiN Passivation Film on AlGa<sub>N</sub>/Ga<sub>N</sub> HEMTs", *IEICE Trans. Electron.*, Vol. E91-C, p. 1009 (2008).
- [44] W. Saito, M. Kuraguchi, Y. Takada, K. Tsuda, T. Domon, I. Omura, and M. Yamaguchi, "Current Collapseless High-Voltage Ga<sub>N</sub>-HEMT and its 50-W Boost Converter Operation", *IEEE IEDM Tech. Dig.*, p. 861 (2007).
- [45] D. S. Green, S. R. Gibb, B. Hosse, R. Vetury, D. E. Grider, and J. A. Smart, "Control of epitaxial defects for optimal AlGa<sub>N</sub>/Ga<sub>N</sub> HEMT performance and reliability", *J. Crystal Growth*, Vol. 272, p. 285 (2004).
- [46] H. Fujimoto, W. Saito, A. Yoshioka, T. Nitta, Y. Kakiuchi, and Y. Sano, "Wafer Quality Target for Current-Collapse-Free Ga<sub>N</sub>-HEMTs in High Voltage Applications", *CS MANTECH Dig.*, p. 5.2 (2008).
- [47] M. Kurida, H. Ishida, T. Ueda, and T. Tanaka, "Nonpolar (11-20) plane AlGa<sub>N</sub>/Ga<sub>N</sub> heterojunction field effect transistors on (1-102) plane sapphire", *J. Appl. Phys.* Vol. 102, 093703 (2007).
- [48] T. Fujiwara, S. Rajan, S. Keller, M. Higashiwaki, J. S. Speck, S. P. DenBaars, and U. K. Mishra, "Enhancement-Mode m-plane AlGa<sub>N</sub>/Ga<sub>N</sub> Heterojunction Field-Effect Transistors", *Appl. Phys. Express.* Vol. 2, 011001 (2009).

## 第 2 章

### Si 基板上 GaN デバイスの耐圧とオン抵抗の関係

## 第 2 章 Si 基板上 GaN デバイスの耐圧とオン抵抗の関係

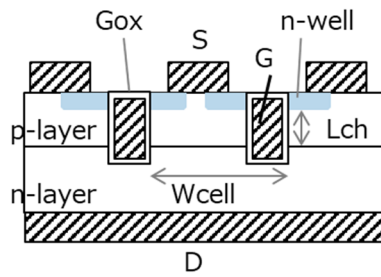
### 2.1 緒言

本章では、パワーデバイスにおける耐圧とオン抵抗の関係から、パワーデバイスにおける横型 GaN デバイスの低オン抵抗可能性を明らかにする。Si 基板上 GaN デバイスには、耐圧とオン抵抗の関係式に含まれないエピタキシャル膜厚に起因した GaN 膜の耐圧が存在する。Si 基板上 GaN デバイスの阻止耐圧可能性は、横型 GaN デバイス特性と GaN 膜の耐圧を検討したうえで算出されなければならない。そして本論文の目的である Si 基板上 GaN パワー-MOS デバイスに適した構造の議論につなげる。

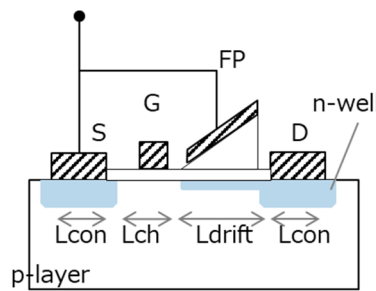
### 2.2 縦型パワーデバイスのオン抵抗限界

ここではまずパワーデバイスのオン抵抗と耐圧の限界を述べるために、ドリフト抵抗で規定されるオン抵抗の限界を縦型パワーデバイスの視点から述べる。縦型のパワーデバイスのオン抵抗限界は、1 章で述べた (1.1) によって述べたが、改めてここで示す。図 2.1(a)で示すトレンチゲート MOSFET (UMOSFET) を選び、縦型パワーデバイスの単位面積当たりのオン抵抗  $R_{onA_V}$  を次のようにあらわす

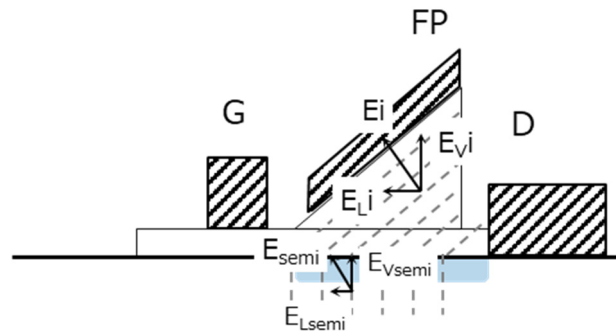
$$R_{onA_V} = R_{driftV} + R_{chV} + R_{conSV} + R_{conDV} \quad (2.1)$$



(a)



(b)



(c)

図 2.1 RonA を試算する縦型デバイスと横型デバイスの断面模式図。(a) 縦型パワーデバイスの断面模式図 (UMOSFET)、(b) 横型パワーデバイス(L-FET)の断面模式図、(c) 斜めフィールドプレートを用いた理想的な電界分布を持つ横型パワーデバイスの電位分布 (点線) と電界強度

$R_{\text{driftV}}$  は縦型ドリフト層の抵抗、 $R_{\text{chV}}$  は縦型チャンネル抵抗、 $R_{\text{conSV}}$  はソースの接触抵抗、 $R_{\text{conDV}}$  はドレインの接触抵抗である。 $R_{\text{driftV}}$  は 1 章でも示した通り、次のように示すことができる。これは、その半導体材料を用いた場合の最も低いオン抵抗となるため、 $R_{\text{driftV}}$  は材料固有の抵抗限界である。これを  $R_{\text{ML}}$  とする。

$$R_{\text{driftV}} = R_{\text{ML}} = \frac{V_{\text{B}}^2}{\varepsilon\mu \left(\frac{2E_{\text{c}}}{3}\right)^3} \quad (2.2)$$

### 2.3 横型パワーデバイスのオン抵抗限界

横型パワーデバイスのオン抵抗限界を考える場合、縦型デバイス同様に、ゲート・ドレイン電極間のドリフト領域で耐圧が決まる。このドリフト領域を効果的に短縮できる構造が横型パワーデバイスのオン抵抗限界である。斜めフィールドプレートをソースに接続した横型 FET (Lateral FET : L-FET) の模式図を図 2.1(b) に示す。斜めフィールドプレート構造は、電界集中なく平坦な電界となり、理想的な電界分布を示すため、最も低いオン抵抗を実現できる構造と考えられる(図 2.1(c)) [1]。この構造は平坦な電界強度を有する SOI の Si パワー MOSFET を実現する概念に類似する [2]。この構造から理論的なオン抵抗限界を推定する。オン抵抗は、縦型デバイス同様に、横方向のドリフト抵抗  $R_{\text{driftL}}$ 、横方向のチャンネル抵抗  $R_{\text{chL}}$ 、ソースの接触抵抗  $R_{\text{conSL}}$ 、ドレインの接触抵抗  $R_{\text{conDL}}$  の合計で計算できる。横方向デバイスの各抵抗は単位ゲート幅当たりの抵抗 ( $\Omega/\text{mm}$ ) で示されている。

横方向のドリフト抵抗  $R_{\text{driftL}}$  はドリフト長を導電率で割った下式で示すことができる。

$$R_{\text{driftL}} = \frac{L_{\text{drift}}}{q\mu_{\text{drift}}N_{\text{drift}}} \quad (2.3)$$

ここで、 $L_{\text{drift}}$  はドリフト長となるゲート・ドレイン間距離、 $q$  は素電荷量、 $\mu_{\text{drift}}$  はドリフト領域の電子移動度、 $N_{\text{drift}}$  はドリフト領域のシートキャリア濃度である。

図 2.1(c) のように、理想的なフィールドプレートによって、電界分布は平坦になるため、素子耐圧  $V_{\text{B}}$  は次のようにあらわすことができる。

$$V_B = E_{L\text{semi}}L_{\text{drift}} \quad (2.4)$$

ここで  $E_{L\text{semi}}$  は図 2.1(c)で示す半導体内の横方向の電界強度を示す。ドリフト領域の電荷量は、フィールドプレートと電荷量と釣り合うので、下記のようになる。

$$qN_{\text{drift}} = \varepsilon_0\varepsilon_s \frac{V_B}{T_i} = \varepsilon_0\varepsilon_i E_{V_i} = \varepsilon_0\varepsilon_s E_{V\text{semi}} \quad (2.5)$$

ここで、 $\varepsilon_0$  は真空の誘電率、 $\varepsilon_i$  はフィールドプレート下にある絶縁膜の比誘電率、 $T_i$  はその絶縁膜の厚さ、 $E_{V_i}$  はフィールドプレート下における垂直方向の電界強度である。 $\varepsilon_s$  は半導体材料の比誘電率、 $E_{V\text{semi}}$  はドリフト領域における垂直方向の電界強度を示す。

耐圧電圧印加時には、ドリフト領域の電界強度は絶縁破壊電界強度  $E_c$  になっており、図 2.3 に示すように、 $E_{L\text{semi}}$  と  $E_{V\text{semi}}$  の電界強度は、下記の式になる。

$$E_{\text{semi}} = E_c = \sqrt{E_{L\text{semi}}^2 + E_{V\text{semi}}^2} \quad (2.6)$$

$E_{L\text{semi}}$  は (2.4) 式から、阻止耐圧に影響を及ぼし、 $E_{V\text{semi}}$  は (2.5) 式からドリフト抵抗に影響を及ぼす。したがって、最も低抵抗で高耐圧の素子を得るには、 $E_{L\text{semi}}$  と  $E_{V\text{semi}}$  が等しい時に与えられる。すなわち、

$$E_{L\text{semi}} = E_{V\text{semi}} = \frac{E_c}{\sqrt{2}} \quad (2.7)$$

この計算において、 $E_c$  は絶縁破壊電界強度であり、定数となる。

(2.4) (2.5) (2.7) 式を (2.3) 式に当てはめると下式が得られる。

$$R_{\text{driftL}} = \frac{2V_B}{\mu_{\text{drift}}\varepsilon_0\varepsilon_s E_c} \quad (2.8)$$

(2.4)式の電界印加状態と、(2.5)の不純物添加濃度をもつ RESURF 構造 (Reduced Surface Field 構造) は、(2.8)式と同じドリフト抵抗を持つ。

$R_{chL}$  と  $R_{conSL}$ 、 $R_{conDL}$  についてもここで述べておく。 $R_{chL}$  は  $R_{driftL}$  と同様に長さを導電率で割った下式で示すことができる。

$$R_{chL} = \frac{L_{ch}}{q\mu_{ch}N_{ch}} \quad (2.9)$$

$L_{ch}$  はチャネル長さ、 $\mu_{ch}$  はチャネルのキャリア移動度、 $N_{ch}$  はチャネルのシートキャリア濃度である。

デバイスのゲート容量  $C_g$  とゲート電圧  $V_g$  から、チャネルの  $qN_{ch}$  は下記のようになる。

$$qN_{ch} = C_g(V_g - V_{th}) \quad (2.10)$$

$V_{th}$  は、デバイスのしきい値電圧である。ここで計算するパラメータとして、表 2.1 に材料パラメータ、表 2.2 に構造パラメータを示す。表 2 は、実用的な高電圧 Si パワー-MOSFET の数値をもとに選択してワイドバンドギャップ半導体にも応用した[1]。

接触抵抗は、ソース側もドレイン側も同じであるので、下記のように示す。 $\rho_{con}$  は面積当たりの接触抵抗であるから

$$R_{conSL} = R_{conDL} = \frac{\rho_{con}}{L_{con}} \quad (2.11)$$

したがって L-FET の規格化オン抵抗は、単位面積あたりの抵抗になるので、 $R_{cell}$  を最小デバイス素子の間隔として、

$$\begin{aligned} RonA_L &= (R_{driftL} + R_{chL} + R_{conSL} + R_{conDL}) \times R_{cell} \\ &= \left( R_{driftL} + R_{chL} + \frac{2\rho_{con}}{L_{con}} \right) \times (L_{drift} + L_{ch} + 2L_{con}) \end{aligned} \quad (2.12)$$

$RonA_L$  を  $L_{con}$  で微分して、 $RonA_L$  が最小になるように  $L_{con}$  を求めると、次の式になる。

$$L_{con} = \sqrt{\frac{\rho_{con}(L_{drift} + L_{ch})}{R_{driftL} + R_{chL}}} \quad (2.13)$$

以上の議論から、縦型デバイス（UMOSFET）と横型デバイス（L-FET）のオン抵抗を比較する。UMOSFET の最小規格化オン抵抗は（2.1）式で示される。一方、L-FET の最小オン抵抗は、縦型デバイスと同様に、チャンネル抵抗  $R_{chL}$ 、ソースの接触抵抗  $R_{conSL}$ 、ドレインの接触抵抗  $R_{conDL}$  を無視して考える。したがって、横方向のドリフト抵抗  $R_{driftL}$  が最小オン抵抗であり、単位面積当たりの規格化オン抵抗にするためには、 $R_{driftL}$  に  $L_{drift}$  を掛けて、 $(L_{drift})^2$  の面積で規格化する。（2.4）式と（2.8）式より、

$$RonA_L = R_{driftL} \times L_{drift} = \frac{2\sqrt{2} V_B^2}{\epsilon\mu E_c^3} \quad (2.14)$$

となる。この（2.9）式と（2.2）式により、

$$RonA_L = 0.84R_{ML} \quad (2.15)$$

を得る。これらの議論から、L-FET のオン抵抗限界は、縦型のオン抵抗限界とほぼ同等になる。実際には、接触抵抗、チャンネル抵抗を無視できないので、（2.9）や（2.13）式と表 2.1、表 2.2 の定数を使って試算すると、図 2.2 の横型デバイスの耐圧とオン抵抗の線は点線のように GaN 限界に漸近する。



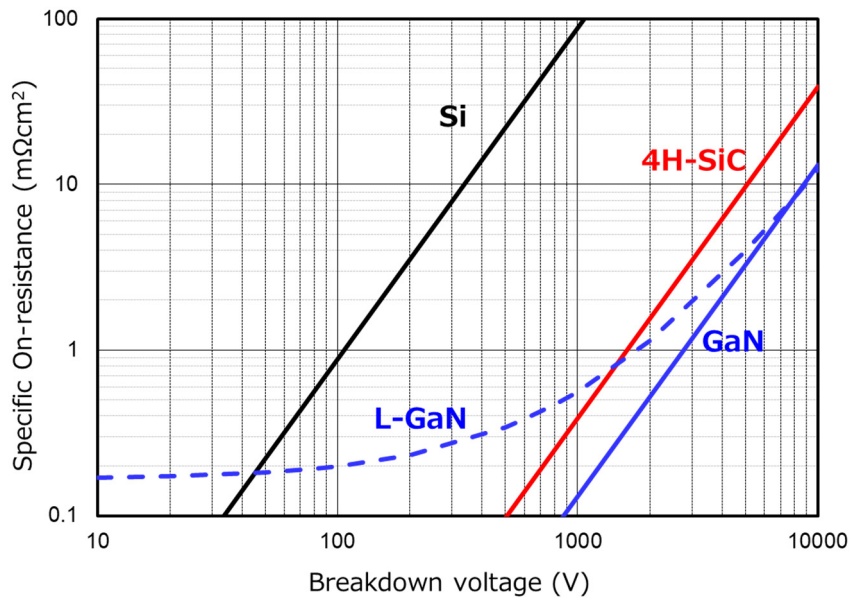


図 2.2 横型 GaN デバイスの耐圧-オン抵抗の限界線

表 2.1 2章で用いた材料パラメータ

	記号	単位	Si	4H-SiC	GaN-2DEG
絶縁破壊電界	$E_c$	MV/cm	0.3	2.5	3.3
比誘電率	$\epsilon_s$	--	11.9	9.7	9
ドリフト移動度	$\mu_{\text{drift}}$	$\text{cm}^2/\text{Vs}$	1400	850	1500
チャネル移動度	$\mu_{\text{ch}}$	$\text{cm}^2/\text{Vs}$	500	140	1000

1章の表 1.1と1章の参考文献[11]より抜粋

表 2.2 2章で用いた構造パラメータ

	記号	単位	
ゲート容量	$C_g$	nF/cm <sup>2</sup>	35
チャネル長	$L_{ch}$	μm	0.5
ゲート電圧	$V_g - V_{th}$	V	5
コンタクト抵抗率	$\rho_{con}$	μΩcm <sup>2</sup>	10

参考文献[1]より抜粋

#### 2.4 Si 基板上 GaN デバイスの耐圧課題

横方向デバイスのドリフト耐圧の観点から、L-FET のオン抵抗限界を論じてきたが、Si 基板上 GaN デバイスには、Si 基板が絶縁または半絶縁特性にならないため、GaN エピタキシャル成長の GaN 厚で制限される耐圧が存在する。特に導電性 Si 基板を用いた場合は、この耐圧は GaN 膜厚で規定される。一方、Si 基板上に GaN エピタキシャル成長するとき、Si と GaN の格子定数が 17%異なるため、結晶欠陥が多数存在すること、および Si と GaN の熱膨張係数の差から、GaN 膜厚に成長可能な臨界膜厚があること[3]が知られている。そのため、Si 基板上の GaN エピタキシャル成長では、応力を調整できるひずみ超格子緩衝層 (Strained-Layer Super-lattices buffer 層 : SLS 層) を用いて、GaN エピタキシャル膜厚の改善がなされてきた[4, 5]。SLS 緩衝層を用いて GaN 膜厚 9 μm、耐圧 1800V を実現した報告もある[6]。

また Si 基板上 GaN 基板は大口径化が望まれる一方で、大口径ほど熱膨張係数の差でウェハ反りが生じるようになる。ウェハの反りはプロセス装置の処理や搬送に影響するため、6 インチ基板で 100 μm 以下の反りにすることが望ましい。そのため、Si 基板上の GaN エピタキシャル基板は GaN 膜厚 5 μm 前後で提供されることが多い。その基板を用いたときの耐圧の電流・電圧特性を示す (図 2.3)。耐圧の定義を漏れ電流 1 μA/mm<sup>2</sup> の電圧とすると、約 880 V と見積もれる。この耐圧の緩衝層膜厚依存性を図 2.4 に示す。測

定は、室温と車載デバイスには必要な 150℃で実施した。温度に対して漏れ電流が上昇するため、この耐圧は 150℃で規定される。緩衝層厚依存性から、緩衝層厚に対する耐圧は 240 V/μm であった。GaN の絶縁破壊電界は 330 V/μm (3.3 MV/cm) であるので、Si 基板上的 GaN エピタキシャル成長膜は、結晶欠陥が多いにも関わらず、材料特性に近い値が得られている。

このように Si 基板上 GaN デバイスの耐圧は、GaN デバイスのドリフト耐圧の視点と、Si 基板上的 GaN 膜厚で規定される耐圧の視点で考える必要がある。SiC デバイスより Si 基板上的 GaN デバイスが低コストで製造できることを前提とすると、図 2.2 より 50V～1000V の耐圧領域が、Si 基板上 GaN デバイスとして最も利用価値の高い領域となる。

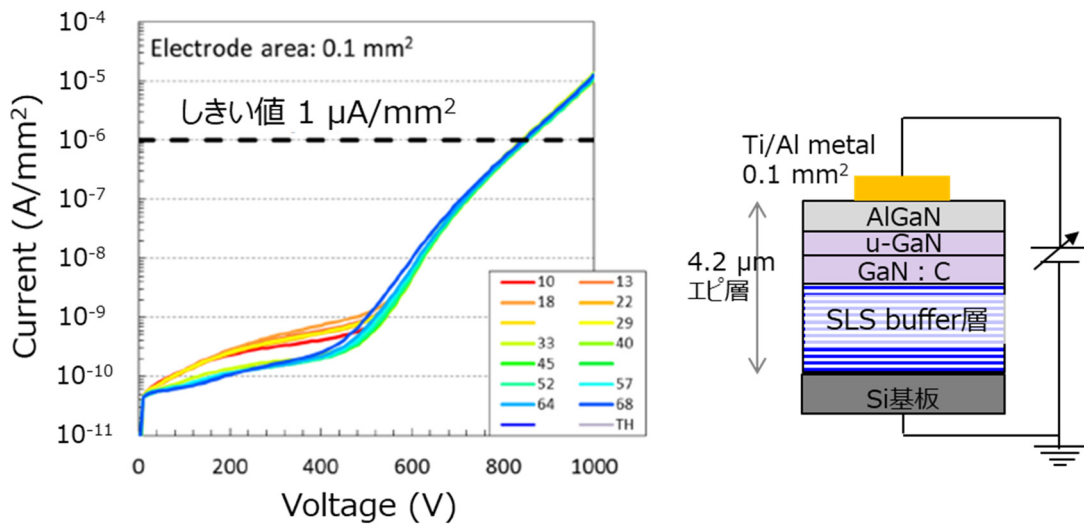


図 2.3 GaN 膜耐圧の I-V 測定結果。右図は耐圧の測定方法と測定試料を示す。

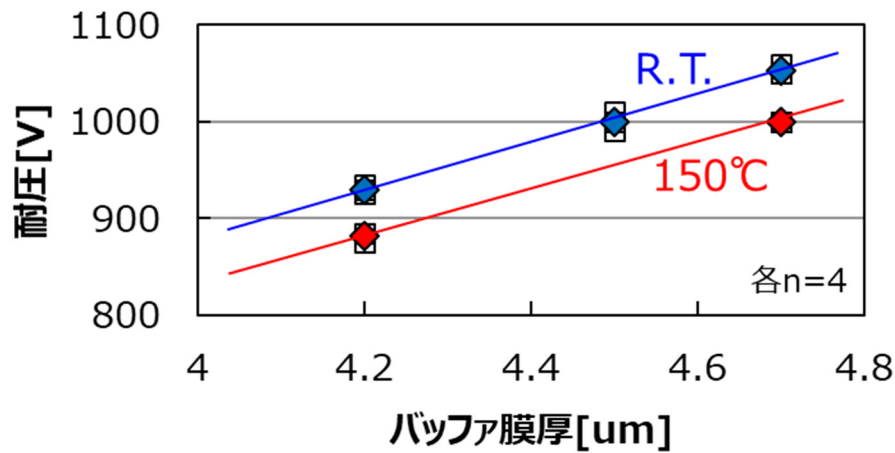


図 2.4 GaN 膜耐圧の緩衝層依存性と温度依存性

## 2.5 結言

本章では、Si 基板上 GaN パワーデバイスの低オン抵抗可能性について、縦型デバイスのモデルと横型デバイスのモデルの比較から、以下の知見を得た。

横型 GaN デバイスにおいて、理論的には縦型デバイスと同等のオン抵抗と耐圧特性を得られる可能性がある。一方で、Si 基板上 GaN デバイスには、GaN エピタキシャル成長膜厚に起因する耐圧があり、デバイス耐圧はこの GaN 膜厚耐圧に制限される。これは Si 基板と GaN の熱膨張係数差や格子定数差に起因する。Si 基板上の GaN 基板は、基板コスト、大口径基板の視点で魅力的であるが、この耐圧課題を認識してデバイスを設計する必要がある。もし Si 基板上 GaN デバイス特有の GaN 膜厚制限がない、つまり熱膨張係数差によるウェハ反り課題のない、低コスト GaN 基板が開発されれば、横型 GaN デバイスの利用価値は高まるであろう。

以上は Si 基板上 GaN デバイスを設計するために必要であるため、次章以降の GaN MOS デバイスの設計に寄与する情報とする。

## 第 2 章 参考文献

- [1] W. Saito, I. Omura, T. Ogura, and H. Ohashi, "Theoretical limit estimation of lateral wide band-gap semiconductor power-switching device", *Solid-State Electronics*, Vol. 48, p. 1555 (2004).
- [2] S. Merchant, E. Arnold, H. Baumgart, S. Mukherjee, H. Pein, and R. Pinker, "Realization of high breakdown voltage (>700 V) in thin SOI devices ", *Proc. ISPSD*, p. 31 (1991).
- [3] 伊藤統夫 名古屋工業大学 博士論文 (2009).  
<http://id.nii.ac.jp/1476/00002882/>
- [4] 梅野正義、神保孝志、江川孝志、応用物理 72, p. 273 (2003).
- [5] A. Krost, and A. Dadgar, "GaN-Based Devices on Si", *Phys. Stat. sol. Vol. (a)* 194, p. 361 (2002).
- [6] S. L. Selvaraj, T. Suzue, and T. Egawa, "Breakdown Enhancement of AlGaN/GaN HEMTs on 4-in Silicon by Improving the GaN Quality on Thick Buffer Layers", *IEEE Electron Device Lett.* Vol. 6, p. 587 (2009).

## 第3章

# ワイドバンドギャップ半導体における GaN パワーMOS デバイスの構造

## 第3章 ワイドバンドギャップ半導体における GaN パワーMOS デバイスの構造

### 3.1 緒言

本章では、ワイドバンドギャップ半導体における Si 基板上 GaN パワーMOS デバイスの構造について述べる。パワーデバイスを検討するとき、動作状態を考慮した電界強度の構造設計は重要である。とくに MOS ゲート構造を用いる場合、SiC パワーMOS デバイスにおいては、その議論は先行して論じられてきた[1-4]。これは Si デバイスに対して絶対電界破壊強度が 10 倍高いため、Si デバイスと同じ構造では、MOS 構造への印加電界が強まり、阻止耐圧時の MOS 信頼性を確保できないためである。GaN パワーMOS デバイスにおいて、MOS 特性やオン抵抗性能は論じられるが、ワイドバンドギャップ半導体ならではの、このような阻止耐圧時の信頼性課題は論じられていない。本章では、デバイスの数値計算を用いて、横型デバイスである Si 基板上 GaN パワーMOS デバイスの阻止耐圧と耐圧信頼性について論じる。

### 3.2 Si パワーMOS デバイスと GaN パワーMOS デバイスの違い

2 章では、理想的な電界分布を持つ斜めフィールドプレート構造の横型デバイスにおいて、オン抵抗と阻止耐圧の性能限界をドリフト領域に特化して論じた。実際のフィールドプレート構造では、理想的に電界集中なく分布させることは難しい。そのため、ゲート・ドレイン間距離に依存する阻止耐圧では、阻止耐圧をゲート・ドレイン間距離で商した電界強度が 0.6 ~ 1 MV/cm 程度まで低下することが報告されている[5, 6]。したがって電界集中を考慮してデバイスの阻止耐圧を決めなければならない。さらに、MOS に印加する電界強度が 3 MV/cm を大幅に超越すると、MOS の耐圧信頼性が大幅に劣化する。これはすでに SiC デバイスで論じられている。Si 基板上の GaN パワーMOS デバイスの構造を検討するときに、絶縁電界強度  $E_c$  を鑑みて、耐圧信頼性を有するように MOS 領域とドリフト領域の印加電界強度制御し、かつ低オン抵抗可能性を十分に引き出すことが非常に重要になる。電

位分布や電界強度は数値的に論じるため、SYNOPTSYS 社のデバイス計算機ソフトウェア sentaurus version 0-2018.06-SP2 を用いた。基本的にデバイスの数値計算では、ある境界条件の下、ポアソンの方程式と電子・正孔の電流連続の式が満たすように一意的に解ける[7]。そのため、デバイス断面を細かく区切った各領域で、それぞれ数値解析して、二次元的に電位分布や電界分布を得ることができる。ここではそのポアソンの方程式と電流連続の式について、一次元の具体的な式を示す。

ポアソンの方程式

$$\frac{dE}{dx} = \frac{\rho_s}{\epsilon_s} \quad (3.1)$$

$E$  は電界、 $\epsilon_s$  は半導体の誘電率、 $\rho_s$  は空間電荷密度である。 $\rho_s$  はキャリア密度とイオン化した不純物の和を表すため下式になる。

$$\rho_s = q(p - n + N_D^+ - N_A^-) \quad (3.2)$$

$q$  は素電荷量、 $n$  は電子密度、 $N_D^+$  はイオン化ドナー密度、 $p$  は正孔密度、 $N_A^-$  はイオン化アクセプタ密度である。電流連続の式はそれぞれ電子と正孔に対して下式になる。

$$\frac{\partial n}{\partial x} = \frac{1}{q} \frac{\partial J_n}{\partial x} + (G_n - R_n) \quad (3.3)$$

$$\frac{\partial p}{\partial x} = -\frac{1}{q} \frac{\partial J_p}{\partial x} + (G_p - R_p) \quad (3.4)$$

$J$  は電流密度、 $G$  は生成割合、 $R$  は再結合割合を示し、添え字  $n, p$  はそれぞれ電子と正孔のそれを示す。デバイスの阻止耐圧時は、理想的には、熱平衡状態で生成割合、再結合割合の和は 0 であり、電流が流れない。さらに完全に空乏化している領域では、 $p = n = 0$  になるため、電位分布（静電ポテンシャル $\phi$ ）と電界分布は、ポアソンの方程式と境界条件から算出される。



$$\frac{d^2\phi}{dx^2} = -\frac{q}{\epsilon_s}(N_D^+ - N_A^-) \quad (3.5)$$

このとき、表面で固定される電位（ピンニングポテンシャル）は SYNOPSIS の推奨モデルを入れて計算した（AlGaIn 1.57 eV, GaN 0.95 eV）。また GaN, AlGaIn の不純物濃度は、n 型で  $10^{15} \text{ cm}^{-3}$  で、AlGaIn/GaN 界面には Al 組成比が 0.3 のとき  $10^{13} \text{ cm}^{-2}$  の 2DEG が形成されるように分極モデルが施されている。

またデバイスの数値計算における  $I$ - $V$  の計算は、ポアソンの方程式（3.1）と電流連続の式（3.3）、（3.4）で求められる。GaN パワー-MOS デバイスはユニポーラデバイスなので、（3.3）式より、

$$J_n = q\mu_n nE + qD_n \frac{dn}{dx} \quad (3.6)$$

$\mu_n$  は電子移動度、 $D_n$  は電子の拡散係数である。拡散係数はアインシュタインの関係式で表すことができる。

$$D_n = \left[ \frac{kT}{q} \right] \mu_n \quad (3.7)$$

$k$  はボルツマン定数、 $T$  は絶対温度である。この時に用いる電子移動度は、2DEG 領域において、高電界下での電子速度飽和を考慮したモデル（Caughey-Thomas モデル）を用いて計算している[8, 9]。

$$\mu_n = \mu_0 \left[ \frac{1}{1 + \left( \frac{\mu_0 E}{v_{\text{sat}}} \right)} \right]^{\frac{1}{\beta}} \quad (3.8)$$

低電界移動度  $\mu_0$  を  $1000 \text{ cm}^2/\text{Vsec}$ 、飽和速度 ( $v_{\text{sat}}$ )  $1.8 \times 10^7 \text{ cm/sec}$ 、 $\beta$  は 2 と仮定して計算した。

ノーマリオフ MOS デバイスを検討する際、AlGa<sub>N</sub>/Ga<sub>N</sub> 異種界面には、2 DEG の高い電子濃度が形成されるため、AlGa<sub>N</sub> を部分的に除去する。そのため Ga<sub>N</sub> MOS 構造はリセスした凹部に形成されることになる[10]。この部分に MOS 構造を形成するため、ターンオフの阻止状態では、形状的に電界強度が集中しやすい構造となる。耐压設計の違いで、Si パワー-MOSFET との大きな違いを整理すると下記の 3 つになる。

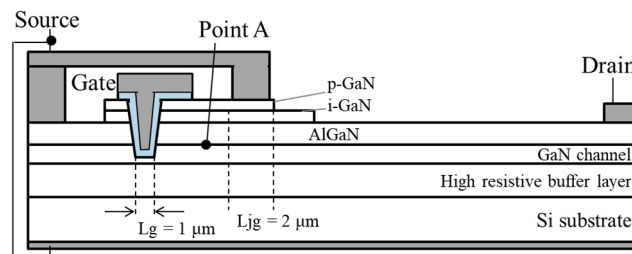
- (1) 材料による  $E_c$  の違い : Si の絶縁破壊電界は 0.3 MV/cm であり、ワイドバンドギャップ半導体である Ga<sub>N</sub> の絶縁破壊電界は、その 10 倍の 3 MV/cm になる。
- (2) MOS 構造形状の違い : 横型 Si パワー-MOSFET では、反転層チャンネルでノーマリオフ構造になるためプレーナー型 MOS 構造で形状が単純である。フィールドプレートや RESURF 構造によって十分に電界緩和されやすい。一方、AlGa<sub>N</sub>/Ga<sub>N</sub> MOS 構造は、ノーマリオフ構造にするため AlGa<sub>N</sub> を部分的に除去するため凹型になる。そのため形状的に電界集中しやすい。
- (3) 基板材料の違い : Si パワー-MOSFET では、Si 基板または Si 基板上同種エピタキシャル成長基板でつくられるため、裏面基板との阻止耐压は、縦方向の pn 構造で決まる。その絶縁破壊電界は 0.3 MV/cm である。一方、Si 基板上 Ga<sub>N</sub> パワー-MOSFET では、Si 基板上に Ga<sub>N</sub> エピタキシャル成長するため、阻止耐压は、その緩衝層とチャンネル下の炭素添加した半絶縁性 Ga<sub>N</sub> 層で決まる [11]。

(1)~(3)の違いによって、Ga<sub>N</sub> パワー-MOS デバイスの MOS 構造に印加する電界強度は、Si パワー-MOSFET に比べて必然的に大きく異なる。(1) について、SiC パワー-MOS デバイスを参考に検討し、(2)の形状と(3)の基板材料の違いによる電界強度を検討するため、数値解析計算の結果を用いた。

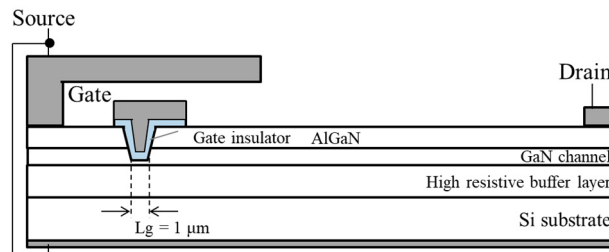
### 3.3 デバイス設計の考え方

図 3.1 に従来 MOS-HFET 構造と今回提案する JFET 領域を持つ Ga<sub>N</sub> パワー-MOS デバイス構造を示す。AlGa<sub>N</sub>/Ga<sub>N</sub> HEMT 構造を有する MOS 構造の場合、ドリフト領域の HEMT と AlGa<sub>N</sub> をエッチング除去した MOS 領域になるので、MOS-HFET という名称

で記す。また、この提案構造は、ゲート領域の MOS 構造、JFET 領域の JFET 構造、ドリフト領域の HEMT 構造をもつため、JFET 領域を持つ GaN パワー-MOS デバイス構造と称す（MOS-HFET と JFET を複合したという意味で、Hybrid-GaN とし、短縮して H-GaN 構造と呼ぶことにする）。この H-GaN 構造は、p-GaN / i-GaN / AlGaN の JFET ゲート構造を持つノーマリオン型の JFET を MOS ゲートとドレイン電極の間に持つ。i-GaN は不純物無添加 GaN を示し、AlGaN も不純物無添加である。JFET のゲート電極に相当する部分をソース電極と接続することでソースフィールドプレートとして機能させ、MOS 構造を保護する概念となっている。



(a) H-GaN



(b) 従来 GaN MOS-HFET

図 3.1 デバイス断面模式図

この 2 つの FET（MOS-HFET, JFET）は素子内で直列に接続されたカスコード接続となる。その等価回路を図 3.2 に示す。JFET 領域で MOS を保護する概念は SiC パワー MOS デバイスで用いられている。ゲート領域とドリフト領域の間に JFET 領域が配置されている。JFET 領域は MOS 領域よりも深い位置に配置された p 層（deep-p 構造）で形成され、ソース電位に固定されている。JFET 領域の長さは deep-p 構造の深さで決まり、

ドレイン電極からの高電位を MOS に印加させない機能を持つ。この deep-p 構造をもつ SiC パワー-MOS デバイス模式図を、従来構造の Si パワー-MOSFET の代表である DMOS (double-diffused MOS) 構造と比較した。また SiC パワー-MOSFET 構造と並列して、H-GaN 構造を従来 GaN MOS-HFET 構造と比較している (図 3.3)。

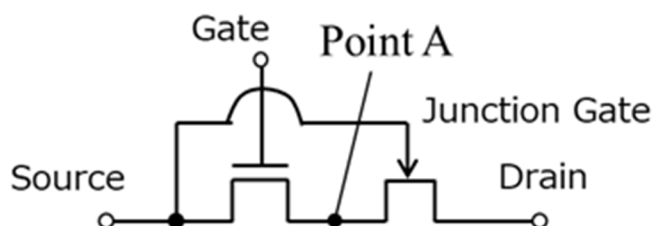


図 3.2 H-GaN の 2 つの FET (MOS、JFET) の等価回路図。ポイント A は、図 3.1 に示すポイント A の位置を回路図上で示す。

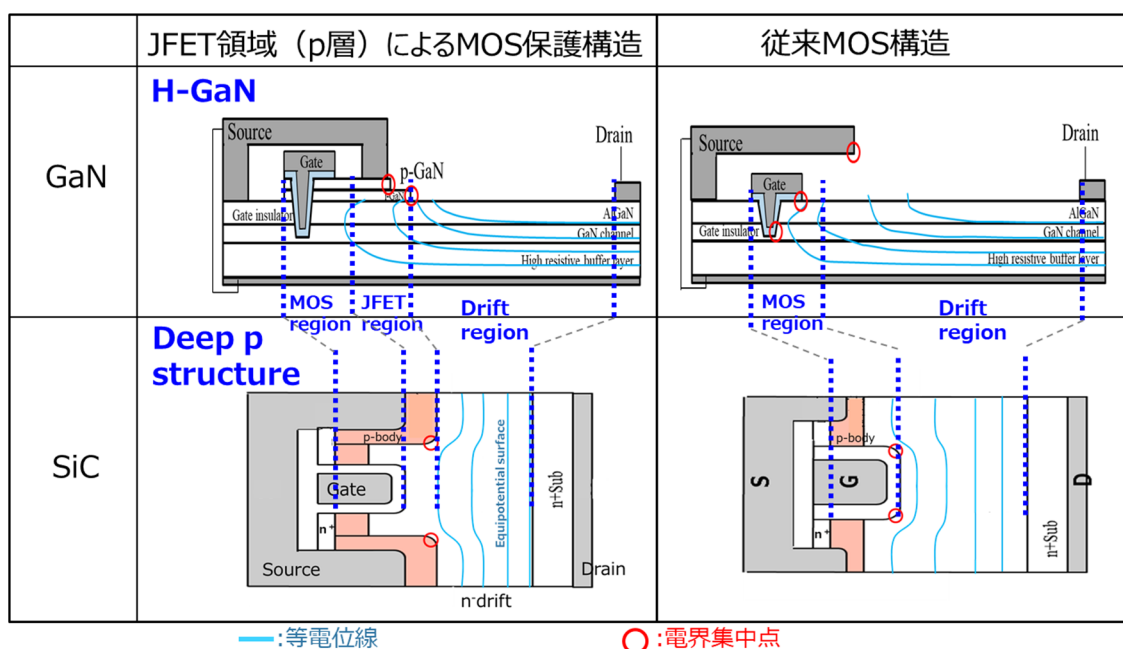


図 3.3 JFET 領域で保護された MOS 構造と従来 MOS 構造の断面模式図。それぞれ横型 GaN デバイスと縦型 SiC デバイスで比較した。p 層を配置した H-GaN と deep-p 構造をもつ SiC は JFET 領域を設けて MOS を保護していることが類似する。

従来の Si-MOS では、Si の破壊電界強度( $E_c$ ) が 0.3 MV/cm のため、定格のドレイン電圧において、ソース・ドレイン間の pn ダイオードがアバランシェ動作するよう設計する。この定格電圧時に、MOS に印加される電界は、3 MV/cm 以下に設計される。一方、SiC パワーMOS デバイスの場合、 $E_c$  が 3 MV/cm と 10 倍になる。トレンチ MOS 底部にかかる電界強度も比例して上昇するため、MOS を保護する JFET 領域が必要になった。JFET 領域を形成する構造は、deep-p 構造の他、さまざまな構造が提案されている[12-14]が、考え方はいずれも同じで、JFET 領域で MOS の電界を緩和することにある。

SiC パワーMOS デバイスと同様に考え、横型 GaN MOS-HFET にも MOS 領域の電界緩和を考慮する必要がある。そのため MOS ゲートとドレイン電極との間に p-i-n 構造を持つ JFET 領域が有用と考えた。JFET のゲートをソース電極と接続し、ソースフィールドプレートとして設けることで、オフバイアス時に JFET 領域が空乏化し、ドレインの高電圧から MOS を保護する。したがって、デバイス設計の考え方は H-GaN も SiC パワーMOSFET と同じである。

この p-i-n 構造により、JFET のしきい値電圧はノーマリオンとなり、ドリフト領域のシート抵抗を十分に低減することができる。また p 層と i 層の、デバイス上面から見た配置は、ドレイン電極の電位を空間的に分配するため、i 層をドレイン側へ延伸する構造にした。JFET ゲート端部の電界集中を防ぐことでドリフト領域を最短に設計できるため、低オン抵抗と耐圧の両立を実現できる構造となっている。

また、この H-GaN 構造は、MOS ゲートへの電界集中を劇的に抑制させると同時に、デバイス短絡時の飽和電流を大幅に抑制する。そのデバイス動作を、下記のデバイスのオフ時とオン時の動作の中で説明する。

#### (オフ時の動作説明)

デバイスがターンオフしたとき、つまり MOS ゲートが閉じたとき、MOS ゲートと JFET ゲートの中間点 (図 3.1 および図 3.2 のポイント A) の電位が上昇する。JFET のゲート電極が H-GaN のソース電極に接続されているので、この JFET ゲートはソース電位に固定される。ドレイン電位が上昇するとき、JFET ゲートがポイント A の電位に比べて相対的に負電位になる。結果、ポイント A の電位が JFET のしきい値電圧の絶対値に到達したとき、JFET が完全にターンオフする。JFET がターンオフすると、MOS ゲートはドレイン電極の高電

位から遮断され、ポイント A の電位は JFET のしきい値電圧の絶対値で固定される。

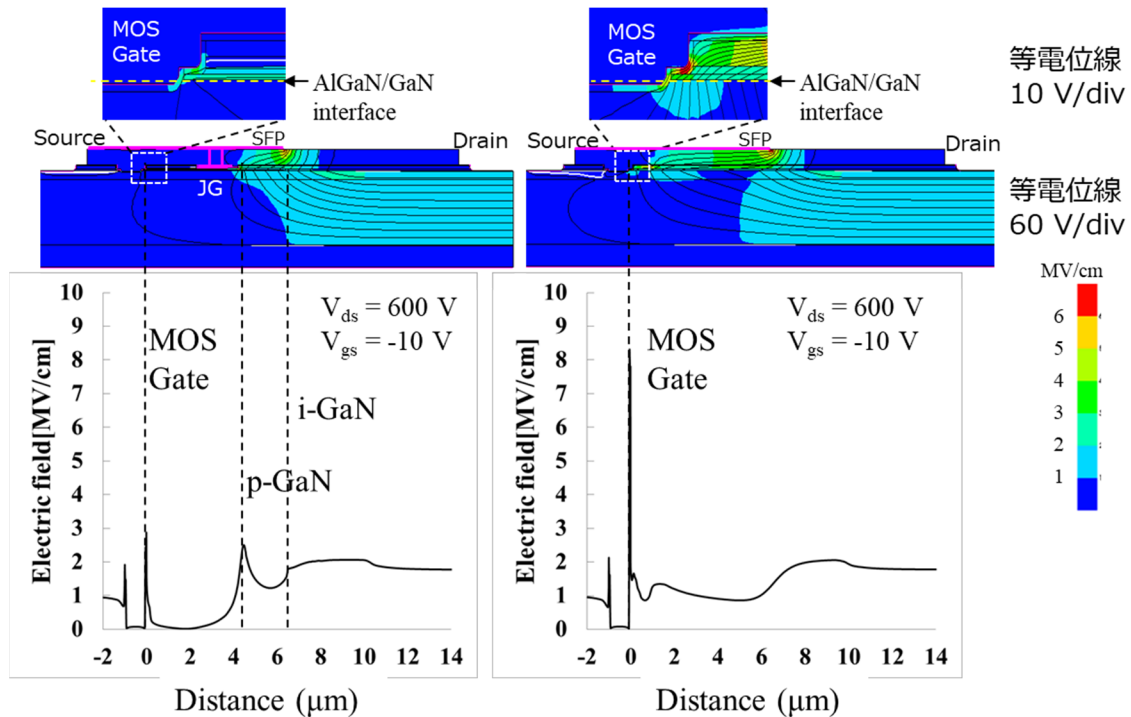
(オン時の動作説明)

デバイスがターンオンしたとき、MOS ゲートが開くので、同時にポイント A の電位もソース電位と同じになる。そのためノーマリオン JFET もオンとなり、遅延なくデバイスがターンオンする。

デバイスが短絡した際の飽和電流の低減の仕組みは以下のとおりである。H-GaN デバイスが短絡すると、つまりデバイスがオン状態でドレイン電圧が急上昇するとき（短絡時）、MOS ゲートと JFET ゲート間のポイント A の電位は、MOS チャネルの抵抗とドレイン電流に対応して上昇する。したがって JFET ゲートの電位は、ポイント A の電位と相対的に負電位になり、結果、飽和電流領域において JFET ゲートが閉じる分、飽和電流が低下する。飽和電流が低下することで、短絡時電流が低下し、デバイス全体の発熱量が抑制されるため、発熱が原因で破壊される短絡耐量が向上する。

### 3.4 デバイスの最適化構造検討

デバイスの電界分布を数値解析して、MOS 構造に印加する電界を制御できる考え方に至った検討結果を示す。まず従来 MOS H-FET と H-GaN 構造の電位分布と電界分布の数値計算結果を示す（図 3.4）。デバイスの寸法は図 3.1 に示すものを用いている。図 3.3 で示した電界集中点は、このデバイスの数値解析結果で電界集中を示した箇所である。ドレイン電圧 600 V、ゲート電圧 -10 V のオフ状態で、2DEG 領域（AlGaIn/GaN 界面）における電界強度は、従来 GaN MOS-HFET で 8 MV/cm を超えているが、H-GaN 構造では 3 MV/cm に抑制されていることがわかる。これは、JFET 領域で等電位線が大きく間隔が広げられ、電界が大きく緩和されているためである。



(a) H-GaN

(b) 従来 MOS-HFET

図 3.4 (a) H-GaN と (b) 従来 MOS-HFET の阻止耐圧状態時における電界分布のデバイス数値計算結果。色は電界強度を示し、黒線は等電位線を示す。電界強度のグラフは、AlGaIn/GaN 界面の一次元で示した電界強度分布である。

### 3.4.1 数値計算による JFET ゲート構造の電界緩和の検討

JFET は、MOS 領域とドレイン電極の間に形成するので、MOS-HFET に集中していた電界が JFET ゲートのドレイン端に集中する。GaN の絶縁破壊電界強度は、3.3 MV/cm のため、電界強度はそれ以下にしなければならない。また Si 基板上 GaN デバイスの場合、導電性 Si 基板を用いるため、ドリフト領域全体の電界分布も考慮して検討する必要がある。

JFET ゲート (JG) 部は、p-GaN/i-GaN/AlGaIn 構造を持ち、i-GaN 層は 2 次元正孔ガス (2DHG) が形成される厚みで設計されている [15, 16]。ここでは p-GaN 90 nm / i-GaN 45 nm / AlGaIn 30 nm で、JG とドレイン電極の距離は 8.5 μm である。この距離に対して、i-GaN 層をドレイン側に延伸する距離  $X$  によって、ドリフト領域の電

界集中する位置が異なる様子を図 3.5 に示す。i-GaN 層をドレイン側まで伸ばす ( $X = 7 \mu\text{m}$ ) とドレイン端に電界集中し、一方、ゲート端に寄せる ( $X = 1 \mu\text{m}$ ) とゲート端に電界集中する。これは2つの効果に起因する。一つは、ドリフト領域が空乏化して AlGaIn 層上下に分極で生じる固定電荷が釣り合うため、p-GaN / i-GaN / AlGaIn の電界は垂直に分布する効果である。もう一つは、Si 基板は 0 V に固定されたため、ドレイン領域の電界分布は、ドレイン電極を中心とした曲率をもつためである。ドレイン電圧 600 V 印加時に、ドリフト領域の半導体領域の電界強度が 3 MV/cm 以下に設定できる  $X = 1 \sim 5 \mu\text{m}$  は電界が分散している領域であり、ここではプロセス余裕度を考慮して、以下、 $X = 2 \mu\text{m}$  で設計して議論を進める[17]。

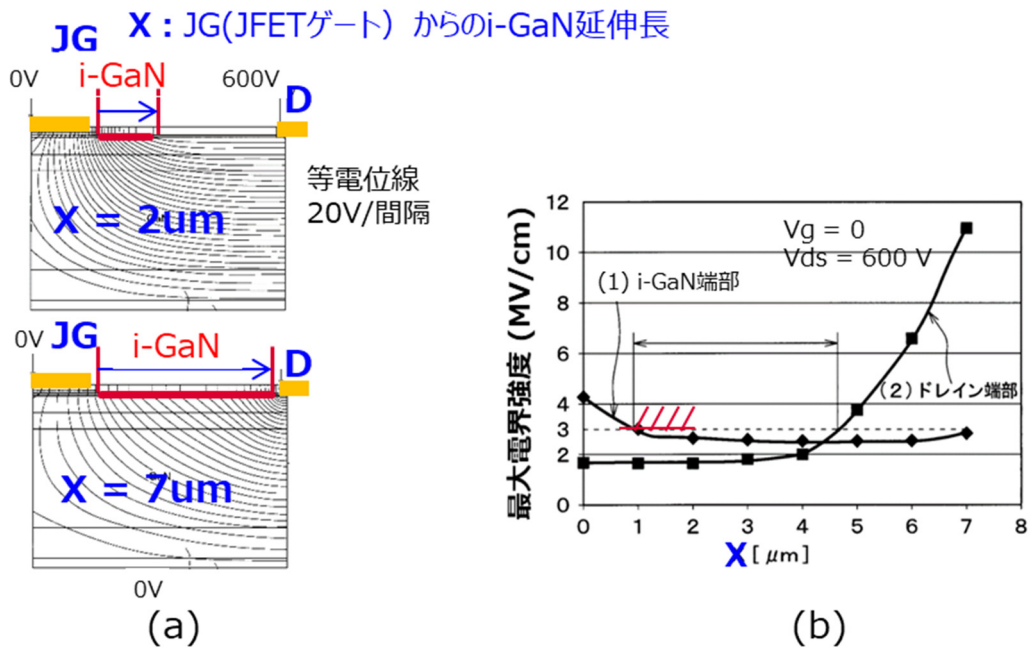


図 3.5 i-GaN 延伸長を  $X$  として、ドリフト領域の電界分布計算した結果。JG p-GaN のドレイン端を  $X = 0$  として、 $X = 2 \mu\text{m}$ 、 $X = 7 \mu\text{m}$  の時の等電位線図、(b) 最大電界強度となる電界強度の  $X$  長依存性結果で、(1)i-GaN のドレイン端部、(2)ドレイン電極端部、それぞれの最大電界強度を示す。

### 3.4.2 数値計算による微細化の電界緩和の影響の検討

H-GaN 構造において、ドリフト領域以外の微細化はオン抵抗の改善に有効である。微



細化しても電界強度分布が変化しないことを確かめる目的で、①ゲート領域のゲート長 A、②ゲート領域と JFET 領域の間の距離 B、③JFET 領域の p-GaN 長 C の微細化検討を行った。いずれも MOS 領域の最大電界強度は変化せず、JFET 領域の電界遮断効果は維持できる結果になった。図 3.6 にその結果を示す。最大電界強度は、図 3.4 と同じ個所を示し、MOS ゲート長 A、MOS 領域と JFET 領域の距離長 B、JFET ゲート長 C において、電界分布に違いはみられなかった。これはゲート・ドレイン間の領域において、i-GaN が延伸される 2  $\mu\text{m}$  が JFET 領域であり、この領域と i-GaN 延伸による電界分散効果によって、ドレインからの電位が遮断されている理由による。したがって、H-GaN 構造において、ドリフト長以外の微細化は、MOS 領域の電界強度を変えないため、オン抵抗低減の有効な手段となる。

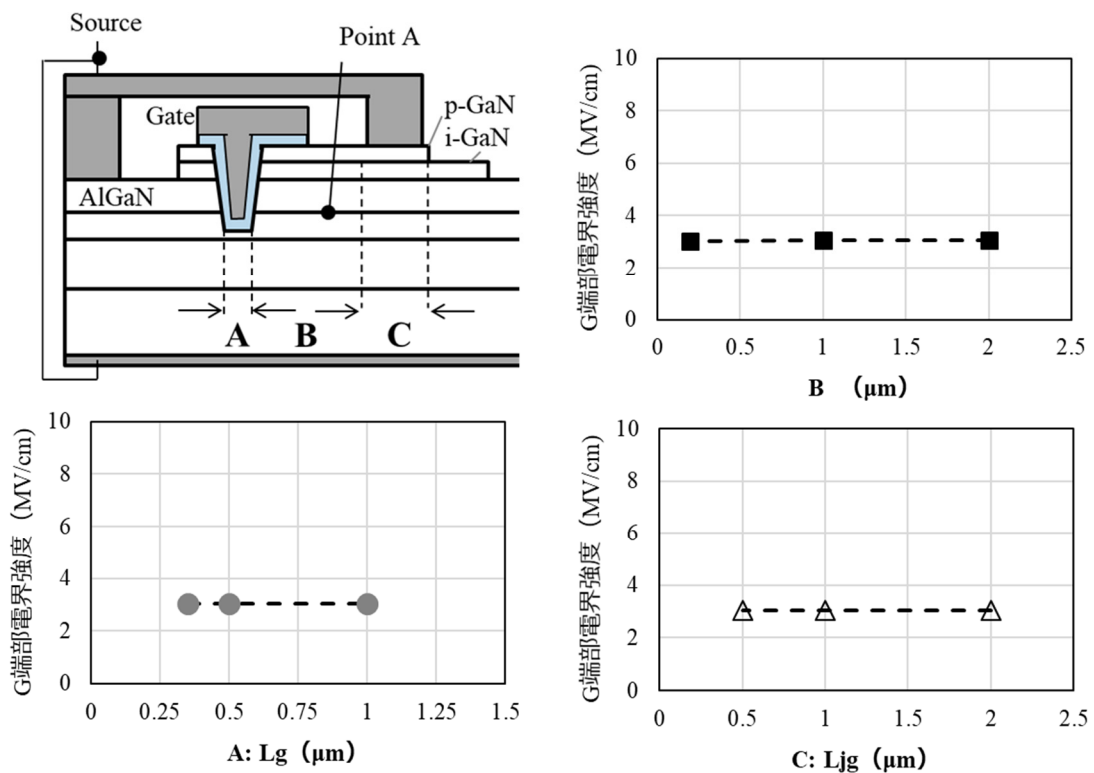


図 3.6 各 A, B, C パラメータにおける MOS ゲートのドレイン端部の電界強度 (A : MOS ゲート長、B : MOS 領域と JFET 領域の距離長、C : JFET ゲート長)

### 3.4.3 数値計算による MOS ゲート内の電界緩和の検討

H-GaN 構造のドリフト領域は、p-GaN 層を除去している。これは、ドリフト層の 2DEG 濃度が p-GaN 層を除去することでシートキャリア濃度が回復し、ドリフト抵抗が下がるためである。同じように MOS 構造でシートキャリア濃度によって MOS に印加する電界強度が変わるか、デバイスの数値解析結果で確認した。結果は MOS 構造で p-GaN を除去しない構造で、阻止耐圧時のゲート膜内の最大電界強度が約 4 割低下することがわかった。MOS 構造を AlGaIn 上からでなく、p-GaN 上から形成することで、電界強度を 3.1 MV/cm まで抑制することができる。その計算結果を図 3.7 に示す。要因は 2 つあり、p-GaN をゲート領域内に配置したことでその領域の 2DEG 濃度が抑制されたこと、AlGaIn 上で電界集中するゲート膜領域の SiO<sub>2</sub> 換算膜厚が、p-GaN / i-GaN の膜厚分で実効的に倍増したことによると考えられる。

図 3.8 は、図 3.7 のデバイスの数値解析結果を反映して、ゲート MOS 膜内の最大電界値を各ドレイン電圧で図示したものである。H-GaN 構造の MOS 膜内最大電界は、従来の MOS-HFET 構造に比べて 1/3 以下に低減できていることがわかる。

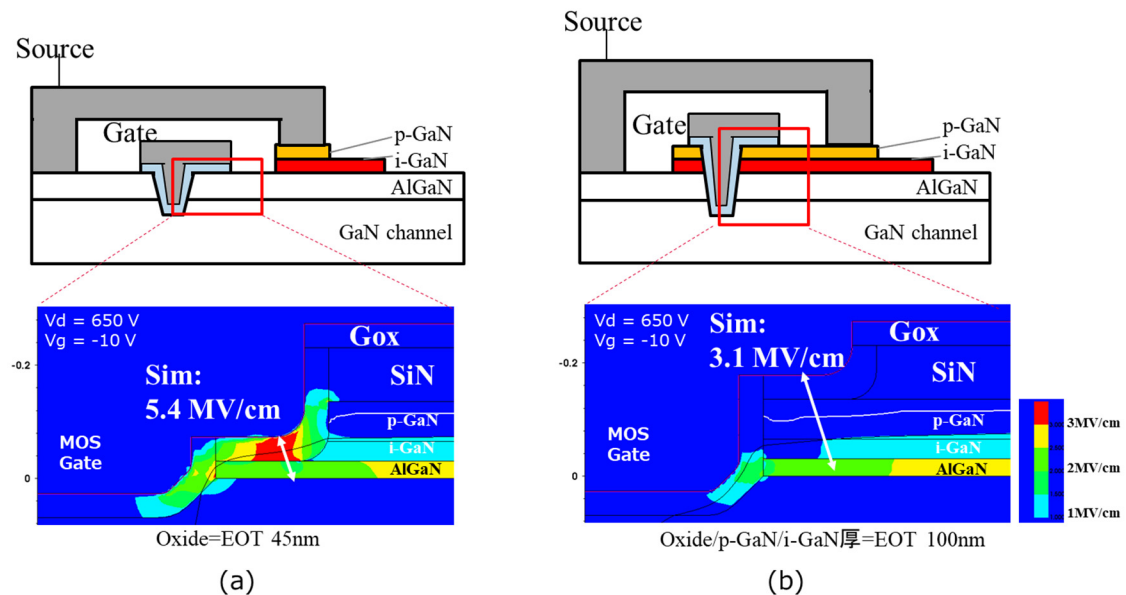


図 3.7 ゲート MOS 内部の電界強度検討結果。(a)は電界強度改善前の MOS 構造、(b)は電界強度改善後の MOS 構造

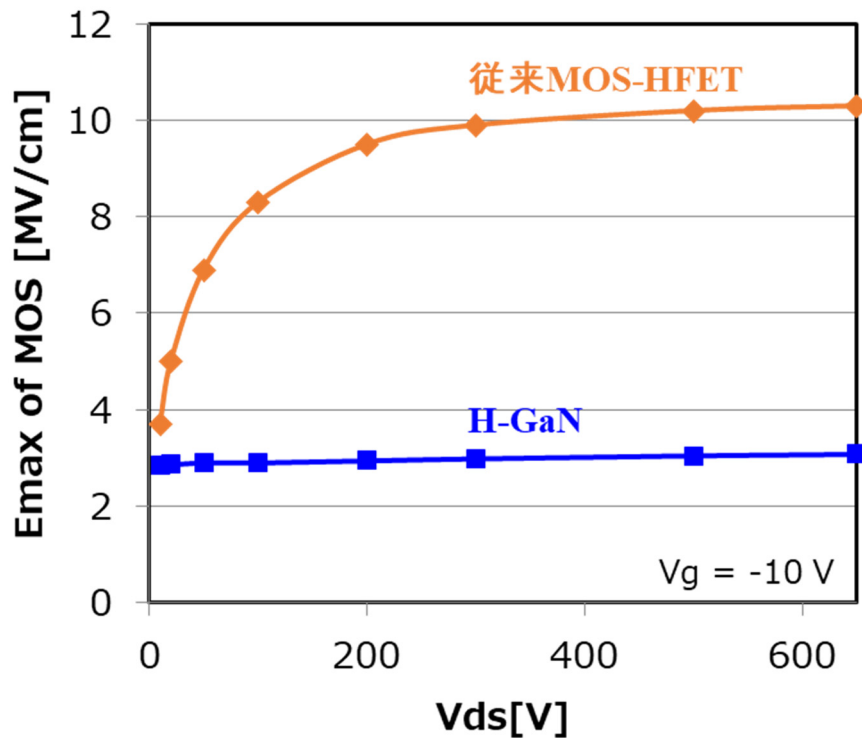


図 3.8 ゲート絶縁膜中の最大電界のドレイン電圧依存性計算値。デバイスの数値解析結果の二次元電界分布計算（図 3.4）において、ゲート膜内の最大電界をドレイン電圧依存性で図示した。

### 3.5 結言

GaN MOS パワー-FET において、SiC パワー-MOSFET を参考に、横型パワーデバイスにも JFET 領域を設けたこと、またデバイス内部の電界強度を詳細に数値解析し、MOS 領域の電界強度を 3.1 MV/cm までに抑制したことで、具体的な H-GaN デバイス構造を提案した。さらにドレイン領域以外の微細化によって、耐圧を変えずにオン抵抗低減できる可能性も示した。この H-GaN 構造を実現できれば、GaN MOS デバイスの耐圧信頼性が改善するので、GaN パワー-MOS デバイスの実用性を高める見込みを得た。

### 第3章 参考文献

- [1] J. A. Appels, H. M. J. Vaes, "High voltage thin layer devices (RESURF devices)", IEEE IEDM Tech. Dig., p. 238 (1979).
- [2] J. Spitz, M. R. Melloch, J. A. Cooper, Jr., and M. A. Capano, "High-voltage (2.6 kV) lateral DMOSFETs in 4H-SiC", IEEE Electron Device Lett., Vol. 19, p. 100, (1998).
- [3] J. Tan, J. A. Cooper, Jr., M. R. Melloch, "High-voltage accumulation-layer UMOSFETs in 4H-SiC", IEEE Electron Device Lett., Vol. 19, pp. 487 (1998).
- [4] Y. Sugawara, K. Asano, R. Singh, J. Palmour, D. Takayama, "4.5 kV novel high voltage high performance SiC-FET `SIAFET'", Proc. 12<sup>th</sup> ISPSD, SiC session (2000).
- [5] H. Okita, T. Marui, S. Hoshi, M. Itoh, F. Toda, Y. Morino, I. Tamai, Y. Sano, and S. Seki, "Comparison of SiN Passivation Film Deposited by PE-CVD and T-CVD Method for AlGaIn/GaN HEMTs on SiC Substrate", IEICE Trans. Electron., Vol. E92-C, p. 686 (2009).
- [6] M. Kuzuhara, J. T. Asubar, and H. Tokuda, "AlGaIn/GaN high-electron-mobility transistor technology for high-voltage and low-on-resistance operation", Jpn. J. Appl. Phys., Vol. 55, 070101 (2016).
- [7] S. M. Sze 著、南日康夫、川辺光央、長谷川文夫 訳、「半導体デバイス」、産業図書、東京、1987年
- [8] Sentaurus Device User Guide Version K-2015.06, Synopsys.
- [9] D. M. Caughey, and R. E. Thomas, Proc. IEEE Vol. 55, p. 2192 (1967).
- [10] N. Ikeda, J. Li, and S. Yoshida: "Normally-off operation power AlGaIn/GaN HFET," Proc. ISPSD, p. 369 (2004).
- [11] 池田成明、李江、加藤一雄、賀谷秀介、風間敏明、古川拓也、佐藤義浩、岩見正之、野村剛彦、増田満、加藤禎宏、古河電工時報 122号, p. 22 (2008).

- [12] D. Peters, R. Siemieniec, T. Aichinger, T. Basler, R. Esteve, W. Bergner, and D. Kueck, "Performance and Ruggedness of 1200V SiC - Trench - MOSFET", Proc. 29<sup>th</sup> ISPSD, p. 239 (2017).
- [13] R. Tanaka, Y. Kagawa, N. Fujiwara, K. Sugawara, Y. Fukui, N. Miura, M. Imaizumi, and S. Yamakawa, "Impact of Grounding the Bottom Oxide Protection Layer on the Short-Circuit Ruggedness of 4H-SiC Trench MOSFETs", Proc. 26<sup>th</sup> ISPSD, P. 75 (2014).
- [14] Y. Ebihara, A. Ichimura, S. Mitani, M. Noborio, Y. Takeuchi, S. Mizuno, T. Yamamoto, and K. Tsuruta, "Deep-P Encapsulated 4H-SiC Trench MOSFETs With Ultra Low RonQgd", Proc. 30<sup>th</sup> ISPSD, p. 44 (2018).
- [15] A. Nakajima, M. H. Dhyani, Y. Sumida, H. Kawai, and E. M. Sankara Narayanan, "GaN Based Super HFETs over 700 V Using the Polarization Junction Concept", Proc. 23<sup>rd</sup> ISPSD, p. 280 (2011).
- [16] A. Nakajima, Y. Sumida, M. H. Dhyani, H. Kawai, and E. M. Sankara Narayanan, "High Density Two-Dimensional Hole Gas Induced by Negative Polarization at GaN/AlGaN Heterointerface", Appl. Phys. Express, Vol. 3, 121004 (2010).
- [17] 公開特許公報 (A) , "半導体装置", 特開 2017-63172.

## 第4章

### JFET 領域を持つ GaN パワーMOS デバイスの試作と 電気的特性および信頼性予測

## 第4章 JFET 領域を持つ GaN パワー-MOS デバイスの試作と電気的特性および信頼性予測

### 4.1 緒言

3章で提案した H-GaN 構造の試作方法と電気特性について述べる。その際に実施したゲートリセス構造の最適化プロセス条件についても詳細を述べる。阻止耐圧の時間依存性が H-GaN 構造と MOS-HFET 構造で大きな差となって示された。その耐圧信頼性をワイブル図表と電界強度の逆数の寿命予測モデルで評価した。最後に耐圧信頼性を有した H-GaN 構造でも、スイッチング特性において、Si パワー-MOSFET に対して優位性があり、他の GaN パワーデバイスと比較して遜色ないことを述べる。

### 4.2 デバイスの作製方法

図 4.1 に H-GaN 構造の作製プロセスを示す。p-GaN 90 nm / i-GaN 45 nm / AlGaIn 30 nm / i-GaN 400 nm / C 添加の GaN 高抵抗緩衝層 3700 nm のエピタキシャル構造を MOCVD (Molecular Organic Chemical Vapor Deposition) 装置により 6 インチウェハに成長した。p-GaN の不純物添加は Mg で、濃度は  $2 \times 10^{19} \text{ cm}^{-3}$  である。i-GaN は不純物無添加である。AlGaIn の Al 組成は 25% で不純物無添加である。次に p-GaN を ICP-RIE (Inductively Coupled Plasma Reactive Ion Etching) 装置で、JFET と MOS ゲート領域以外をエッチングする (図 4.1(a))。このときのエッチングガスは  $\text{BCl}_3$  と  $\text{Cl}_2$  の混合ガスである。エッチング後の表面 AFM では、RMS で 0.3 nm 以下であり、エピタキシャル成長後の RMS と比較して遜色なく、低損傷エッチングとなっている。ICP-RIE エッチングについては後に詳細を述べる。ドリフト領域を形成する i-GaN エッチングは、AlGaIn の過剰エッチングを防ぐため、 $\text{Cl}_2$  と  $\text{O}_2$  の混合ガスで選択エッチングした。この選択比は 25 を超える。この時 JFET のドレイン端側の i-GaN は所望の距離を残してエッチングする (図 4.1(b))。ドリフト領域を形成後、p-GaN 上からゲートリセスを実施する。ゲートリセス深さは、2DEG を遮断するため、AlGaIn/GaN の 2DEG の下部

40 nm までエッチングする。この時 AlGaN 膜厚を同時に光学的観察しながらエッチングするため、精度の良いエッチングが可能になる。ゲートリセス後、SiO<sub>2</sub> 30 nm / Al<sub>2</sub>O<sub>3</sub> 30 nm の MOS ゲート絶縁膜を堆積する。Al<sub>2</sub>O<sub>3</sub> は ALD (Atomic Layer Deposition) 装置で、TMA (Tri-Methyl Aluminum) と O<sub>3</sub> を用いて成膜した。成膜温度は 400℃である。SiO<sub>2</sub> は TEOS (Tetra-Ethyl Ortho-Silicate)を原料とし、680℃の LP-CVD (Low Pressure Chemical Vapor Deposition) で成膜した。PDA (Post Deposition Anneal : 成膜後熱処理) は N<sub>2</sub> 中で ALD 成膜後、SiO<sub>2</sub> 成膜後に 800℃、5分それぞれ実施している。ゲート金属は Boron 添加した p 型の Poly-Si ゲートを用いた (図 4.1(c))。

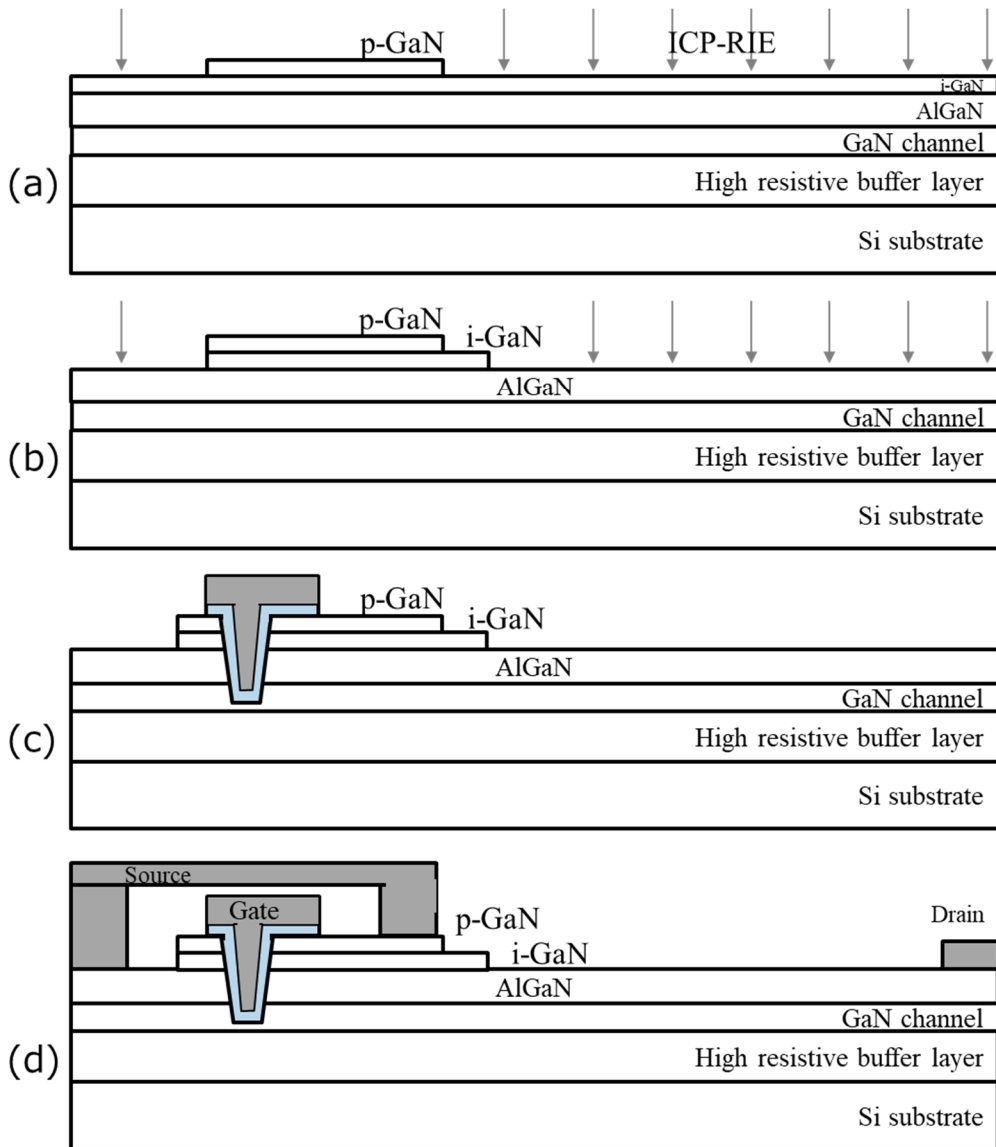


図 4.1 H-GaN 構造の作製プロセスの流れ



最後に Al/Ti オーミック接触電極をソース、ドレイン、JFET ゲート領域にスパッタ堆積し、接触抵抗を低減する熱処理を N<sub>2</sub> 中で実施した。上層配線の形成時にソース電極と JFET ゲートを接続し、デバイス動作が可能になる (図 4.1(d))。MOS ゲート長 L<sub>g</sub> は 1 μm、JFET のゲート長となる p-GaN 長は 2 μm、電界緩和のための i-GaN の延伸は p-GaN 端より 2 μm とした。MOS ゲートとドレイン電極間は 15 μm で統一し、同ウェハ上に従来 MOS-HFET と JFET も作製し、H-GaN と比較した。H-GaN における JFET ゲートとドレイン電極間は 8.6 μm とした。

### 4.3 ゲートリセスプロセス

MOS ゲートの作製において、ゲートリセスは、酸化膜/半導体の界面状態を決める重要なプロセスであり、平坦かつ低損傷に作製する必要がある。そのため高密度プラズマを利用し低加速電圧でエッチングできる ICP-RIE 装置 (SAMCO 製 RIE-200iPC) を用いた。そのエッチング実験と最適条件の結果を示す。またエッチングによる極表面の物理的な損傷評価をカソードルミネッセンスで行ったので、その結果も併せて述べる。

#### 4.3.1 ゲートリセスプロセスの条件

ゲートリセスを平坦にエッチングするための条件について述べる。プラズマ密度を決める ICP 電力は 150 W、エッチング圧力は 0.6 Pa で固定した。エッチング後の表面平坦性に影響した①BCl<sub>3</sub>、Cl<sub>2</sub> の混合ガス比、②RIE 部分のバイアス電力、③基板温度について調べた結果を示す。実験は、依存性を見るため洗浄した Si 基板上 GaN エピタキシャル基板の小片 (1 cm 角) を用いた。図 4.2 の BCl<sub>3</sub> 流量依存性から、BCl<sub>3</sub> 流量が 20 sccm 以上で表面平坦性が飽和していた。また図 4.3 のバイアス電力依存性から、25 W 付近でリセス表面粗さが極小になることがわかった。さらに図 4.5 から基板温度 100°C で微小突起が消失しており、基板温度による反応促進もリセス表面粗さに寄与することがわかった。これらのことからゲートエッチング条件は、ICP 電力 150 W、0.6 Pa、BCl<sub>3</sub>/Cl<sub>2</sub> の流量 20/20 sccm、バイアス電力 25 W、基板温度 100°C とした。この条件でエッチングしたゲ

トリセス時の表面平坦性は、図 4.4、図 4.5 を示す通り、0.3 nm 以下で、エッチング前の表面平坦度に最も近い値を得られた。

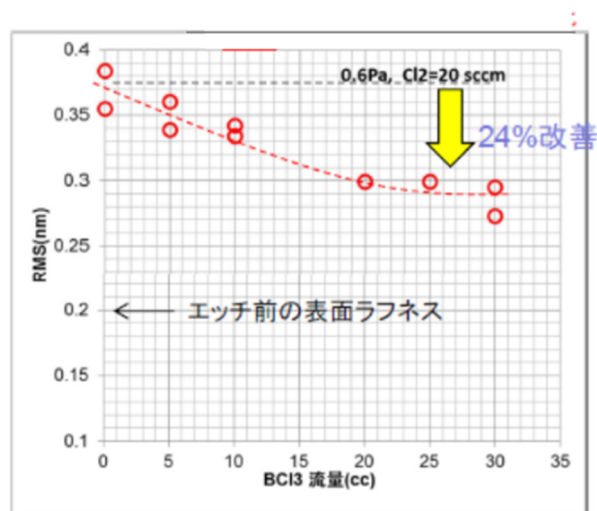


図 4.2 ICP エッチング条件：リセス表面粗さの  $\text{BCl}_3$  流量依存性 (ICP 電力 150 W、0.6 Pa、 $\text{Cl}_2 = 20$  sccm、バイアス電力 25 W、基板温度  $20^\circ\text{C}$ )

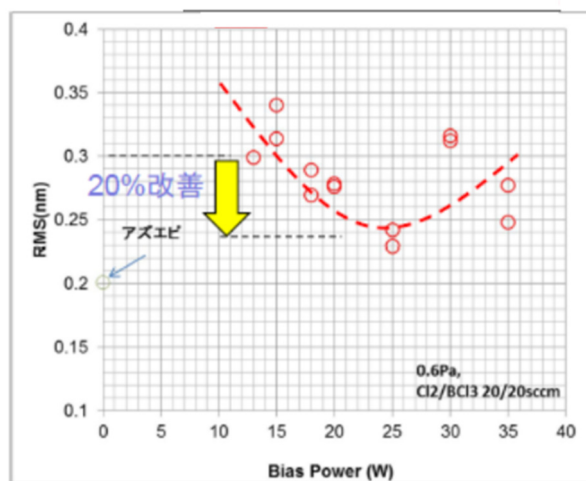


図 4.3 ICP エッチング条件：リセス表面粗さのバイアス電力依存性 (ICP 電力 150 W、0.6 Pa、 $\text{BCl}_3 / \text{Cl}_2 = 20 / 20$  sccm、基板温度  $20^\circ\text{C}$ )

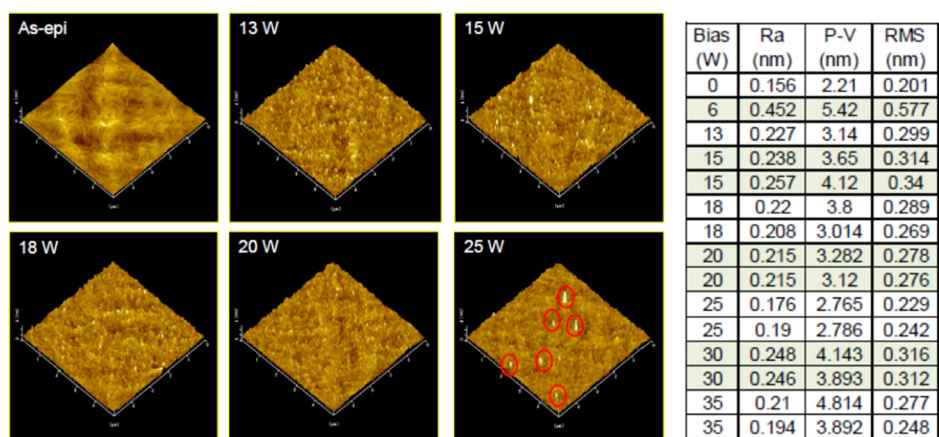


図 4.4 ICP エッチング条件：リセス表面粗さのバイアス電力依存性の AFM 像（5  $\mu\text{m}$  角）、右表は各試料のエッチング後の測定結果を示す（ICP 電力 150 W、0.6 Pa、 $\text{BCl}_3 / \text{Cl}_2 = 20 / 20$  sccm、基板温度 20 $^\circ\text{C}$ ）。

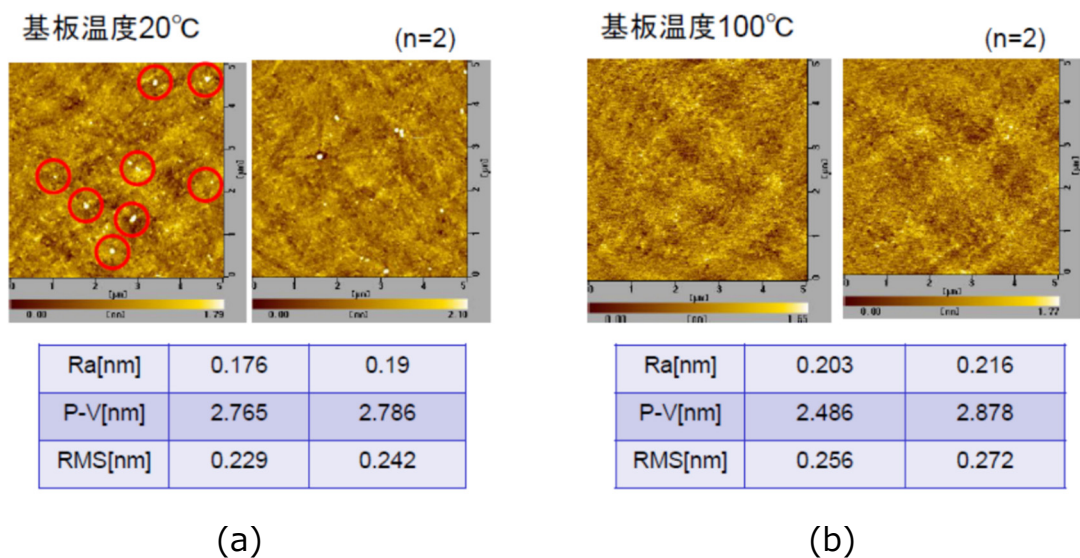
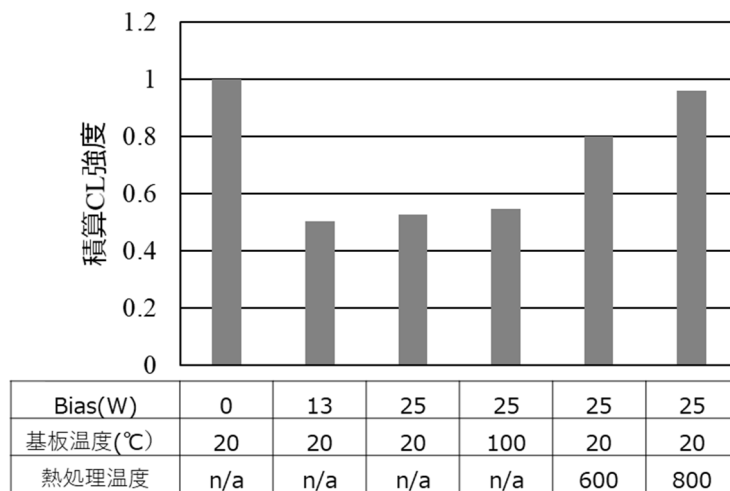


図 4.5 ICP エッチング条件：表面平坦性の AFM 像（5  $\mu\text{m}$  角）。(a)は基板温度 20 $^\circ\text{C}$ 、(b)は基板温度 100 $^\circ\text{C}$ の AFM 像を示す（ICP 電力 150 W、0.6 Pa、 $\text{BCl}_3 / \text{Cl}_2 = 20 / 20$  sccm、バイアス電力 25 W）。

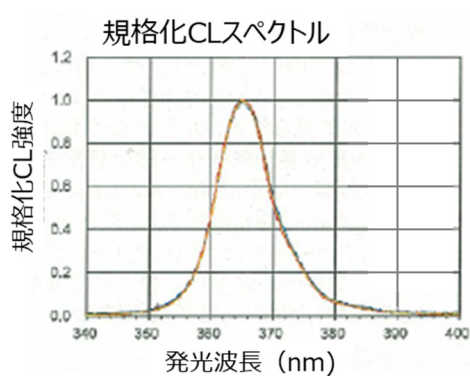
#### 4.3.2 ゲートリセス後の GaN 表面の損傷評価

カソードルミネッセンス (CL) を用いて、ICP-RIE エッチングした GaN 表面の結晶損傷度を評価した。CL 測定では、入射した電子線によって励起した電子・正孔対のバンド端発光を観察できるので、極表面の結晶損傷度を評価できる。CL 測定は FE-SEM(日本電子製 JSM-7000F)に付属した CL 測定器 (堀場製作所製 NP-32MA-J) を用いた。低いバイアス電力でリセスエッチングした GaN 表面への損傷は、表面から数 nm の領域に存在すると考えられるため、CL 励起する電子線の加速電圧は 3 kV と低く設定した。この照射条件では電子線の侵入深さは 50 nm 程度である[1]。照射電流は 0.1 nA とした。ICP エッチングをしていない試料の発光強度を 1 とし、エッチング後や熱処理後の発光強度を比較した評価結果を図 4.6 に示す。ゲートリセスエッチングをしていない試料に比べ、リセス後で発光強度が 60%程度に低下していることがわかった。また、リセス後に N<sub>2</sub> 雰囲気熱処理を実施すると発光強度が回復し、800℃の N<sub>2</sub> 熱処理で 94%まで発光強度が回復することがわかった。CL の半値幅については、発光強度で規格化した発光波形の形状で比較し、全く変化していないことがわかった。

これらのことにより、ゲートリセス工程における ICP-RIE エッチング条件では、結晶損傷はそれほど大きくなく、極表面に非輻射欠陥が入り、CL 発光強度が低下したことを示している。熱処理は、その非輻射の欠陥を回復させる効果があると考えられる。



(a)



(b)

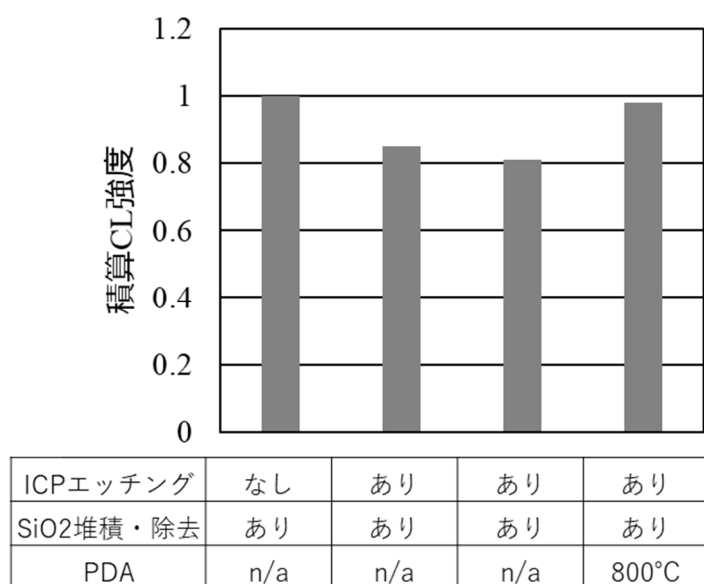
図 4.6 ICP エッチング前後、および熱処理後の GaN 表面 CL 強度

- (a) 各試料の CL 強度比較 (エッチング前の試料の CL 強度を 1 として比較)  
 (b) 各試料の CL 半値幅比較 (各試料の CL 発光強度で規格化して形状を比較)

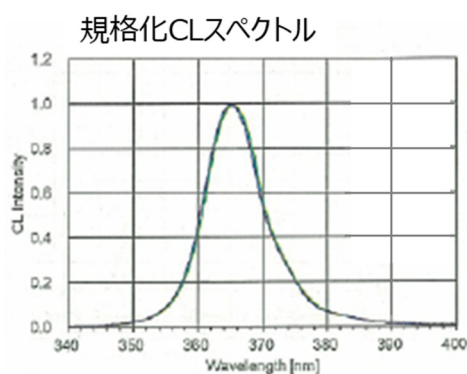
#### 4.3.3 ゲート膜成膜前後における GaN 表面の損傷評価

ゲートリセス条件で、表面粗さを抑制する条件を整えたものの、CL 測定でなんらかの損傷が入り、熱処理で回復することが分かった。MOS 界面は MOS デバイス特性を決める重要な要素であるため、成膜後の熱処理で回復することを検討した。ここでは、成膜後に熱処理しても除去可能な SiO<sub>2</sub> 膜を用いて、成膜前後、熱処理の有無の CL 評価結果を示す。この時の SiO<sub>2</sub> は、TEOS 原料で 680°C の LP-CVD によって 30 nm 成膜した試料

を用いた。また SiO<sub>2</sub> 除去には HF 水溶液を用いている。図 4.7 に CL 強度と規格化 CL 波形を示す。CL 波形の半値幅はリセス後と同様に変化がなく、発光強度だけに違いがみられた。エッチングをしていない試料の発光強度を 1 として比較すると、成膜前後では 80%程度まで回復し、800℃、5 分の熱処理を実施した試料は 98%程度まで回復していることがわかった。成膜後の熱処理でもゲートリセスエッチングでの損傷回復が示されたので、このデータをもとに成膜後にはリセス損傷回復させるため 800℃、5 分の N<sub>2</sub> 熱処理を導入した。



(a)



(b)

図 4.7 SiO<sub>2</sub> 成膜前後における ICP エッチングの損傷回復の CL 強度評価

- (a) 各試料の CL 強度比較 (エッチング前の試料の CL 強度を 1 として規格化)
- (b) 各試料の CL 半値幅比較 (各試料の CL 発光強度で規格化して比較)

#### 4.4 デバイスの電気的特性

ゲート幅(Wg) 310 nm、ドレイン電流は 60 A 以上となる H-GaN 試作し、DC 評価と SW 評価をそれぞれ実施した。図 4.8 に良好な Id-Vd 特性を示す。本デバイスのオン抵抗は室温で 110 mΩ であった。デバイスの活性領域面積で換算したオン抵抗は室温で 8.0 mΩcm<sup>2</sup> である。

しきい値電圧は、図 4.9 の Id-Vg 曲線から gm-max の接線から外挿して、1.0 V であった。阻止特性について、H-GaN と従来 MOS-HFET で比較した結果を図 4.10 に示す。双方の耐圧ともに 800 V 以上であった。阻止特性評価時のドレイン漏れ電流は、双方同じ程度のゲート漏れ電流であるが、H-GaN 構造でソース接続した JFET 部のゲート漏れ電流が含まれるため、ドレイン漏れ電流に差がある。このことは、H-GaN と同じウエハ内に作製した JFET のゲート漏れ電流が H-GaN のドレイン漏れ電流と同程度であることから、ドレイン漏れ電流の差を理解できる。図 4.11 に飽和電流の比較を示す。H-GaN の飽和電流が、MOS-HFET に比べて 30%抑制された。この時の JFET ゲートと図 3.1 のポイント A の電位差は、MOS 領域抵抗による電圧降下分と飽和電流低減分から試算して 2 V 程度であり、数値計算で予想した通りの動作となった。JFET のしきい値電圧は、同時に作製した JFET 単体のデバイス評価より、-15 V であり、JFET のしきい値電圧は i-GaN 厚で制御可能なので、さらに飽和電流を抑制する場合は、i-GaN 厚の設計を見直すことで可能になる。

図 4.10 でほぼ同じ阻止特性であったが、高温逆方向バイアス (High-Temperature Reverse Bias : HTRB) 特性の時間依存性において、MOS-HFET と H-GaN で大きな違いが見られた (図 4.12) 。HTRB 測定においては、阻止耐圧を印加する累積ストレス時間に対して、ゲート漏れ電流を測定するものである。MOS-HFET は、HTRB 試験のドレイン電圧 70 V や 120 V において、数時間で破壊する。一方、H-GaN 構造は 650 V ドレイン定格電圧を印加してもなお 1000 時間を超えて良好な漏れ電流特性を示した。

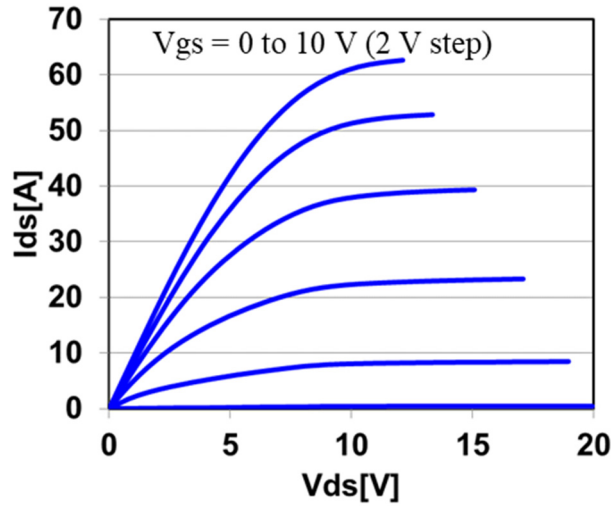


図 4.8 H-GaN 構造の  $I_d$ - $V_d$  特性

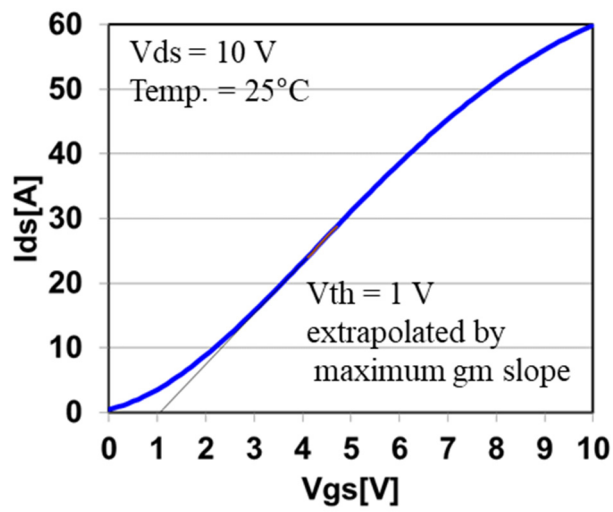
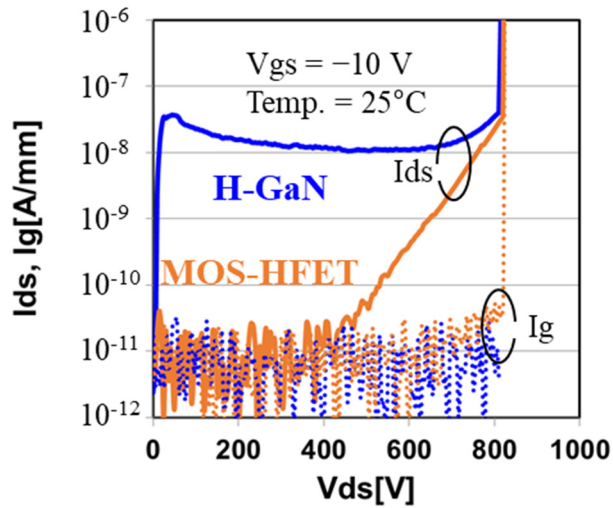
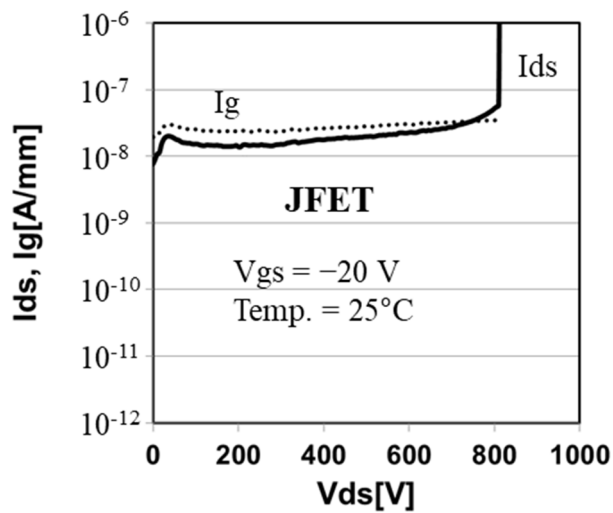


図 4.9 H-GaN 構造の  $I_d$ - $V_g$  特性





(a)



(b)

図 4.10 ゲート漏れ電流（点線）とドレイン漏れ電流特性（実線）

(a) H-GaNとMOS-HFETの漏れ電流特性

(b) H-GaNと同じウェハ内に作製したJFET漏れ電流特性

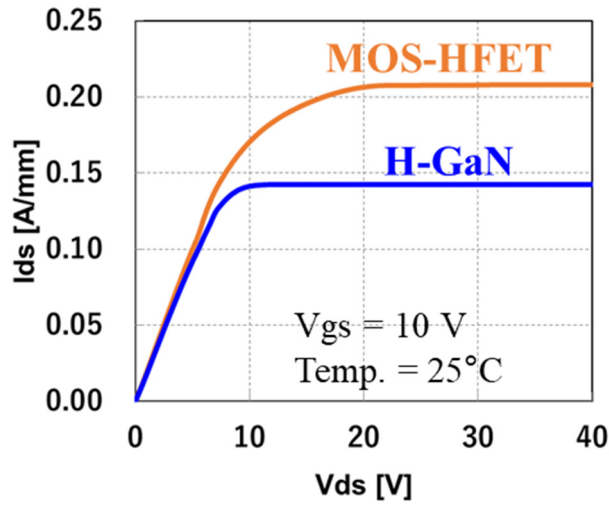


図 4.11 従来 MOS-HFET と H-GaN 構造の飽和電流差

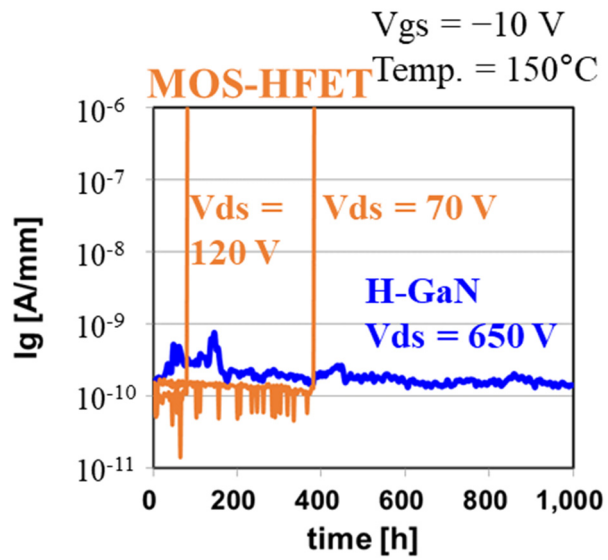


図 4.12 従来 MOS-HFET と H-GaN 構造の HTRB 特性 (ゲート漏れ電流の阻止耐圧時累積ストレス時間依存性)

#### 4.5 破壊箇所の解析結果

HTRB 測定で破壊した MOS-HFET の破壊点を、図 4.13(a)と(b)で示す赤外線誘起抵抗変化(IR-OBIRCH)で故障箇所を特定し、その故障箇所を図 4.13(d)の透過型電子顕微鏡(TEM)によって断面観察した。図 4.13 (d) の断面 TEM 画像から、ポイントCで示す AlGaN 障壁層上の MOS 破壊が起きていることを確認した。図 4.13 (c) で示すオフバイアス時の電界強度の数値計算結果においても、AlGaN 障壁層上の MOS 領域で最も高くなっており、TEM の破壊分析点と合致する。一方、H-GaN 構造の電界強度は、計算機解析結果で得られる電界強度で 3.1 MV/cm であることから、MOS 耐圧劣化が抑制されていると考えられる。

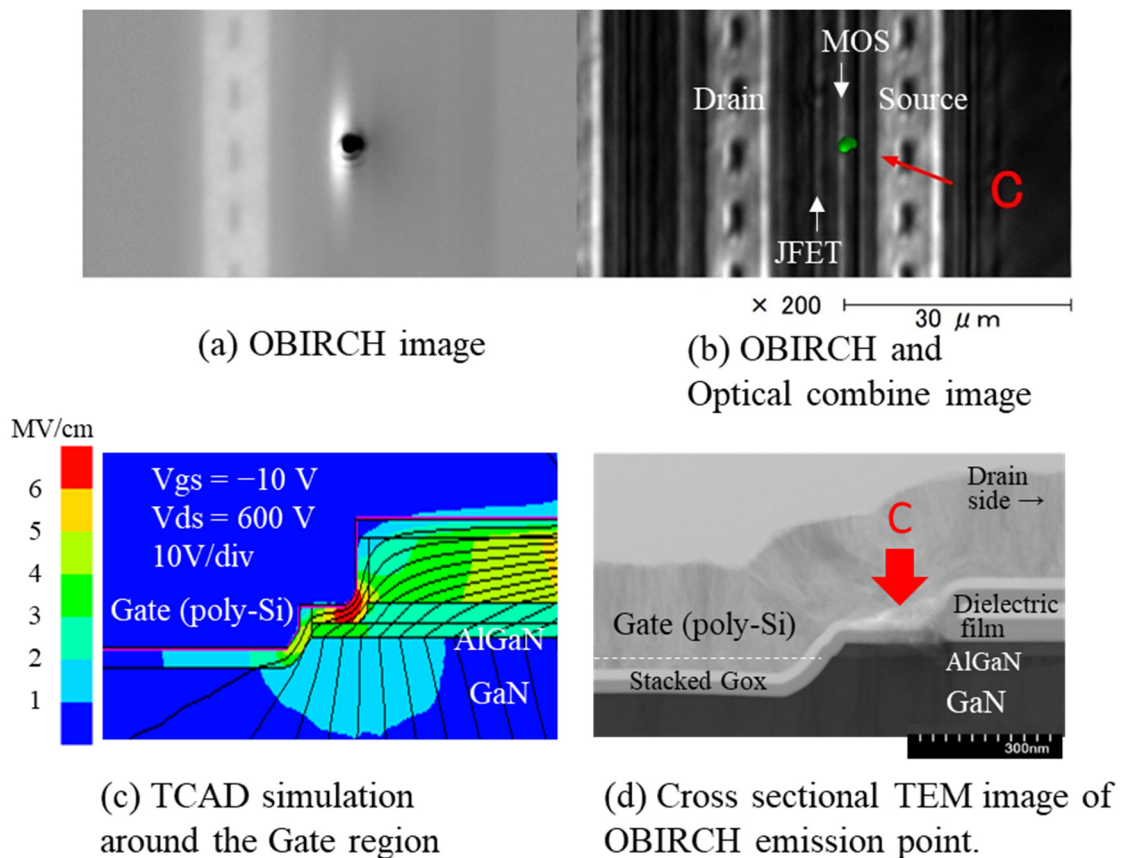


図 4.13 TDDDB 試験における故障箇所分析。(a)および(b)は OBIRCH 像における表面写真、(c)はオフバイアス時の電界強度の数値計算結果、(d) は破壊箇所の断面 TEM 像。

#### 4.6 高温逆バイアス特性における信頼性予測

高温逆バイアス特性 (HTRB) における寿命予測を行った。寿命予測は、Si MOS デバイスでも用いられる  $1/E$  モデルを用い[2-4]、従来 MOS-HFET 構造を使って H-GaN 構造の電界加速試算ができると仮定して実施した。これは MOS に印加する最も高い電界領域が MOS 構造の寿命を決定すると考えて計算されている。「酸化膜の破壊は膜中に電荷が捕獲されて生ずる」ということから、J. C. Lee が提唱している「正孔捕獲モデル」によれば、酸化膜の真性寿命  $t_{BD}$  は下記の式で示される[2]。

$$t_{BD} = \tau_0 \exp\left(\frac{G}{E_{ox}}\right) = \tau_0 \exp\left(\frac{G X_{ox}}{V_{ox}}\right) \quad (4.1)$$

$E_{ox}$  は印加電圧、 $V_{ox}$  は印加電圧、 $X_{ox}$  は酸化膜厚、 $\tau_0$ ,  $G$  はそれぞれ係数である。

また酸化膜に電界を印加すると、どんなに良好な酸化膜でも絶縁膜に印加された電位の急峻なバンド傾き (強電界) によりトンネル電流が流れる。Fowler-Nordheim の式は下記のように扱われる。

$$J = A E^2 \exp\left(-\frac{B}{E}\right) \quad (4.2)$$

このときの  $J$  は電流密度、 $E$  は電界強度であり、 $\text{SiO}_2$ -Si の良好な熱酸化膜では、 $A = 1.6 \text{ MA}/(\text{MV})^2$ 、 $B = 222 \text{ MV}/\text{cm}$  であることが知られている[5]。これを図 4.14 に示す。従って、 $\text{SiO}_2$ -Si の熱酸化膜であっても、 $3 \text{ MV}/\text{cm}$  を超える電界ではトンネル漏れ電流が増大し、膜中に電荷が捕獲され、蓄積し、破壊寿命に至ることを示している。

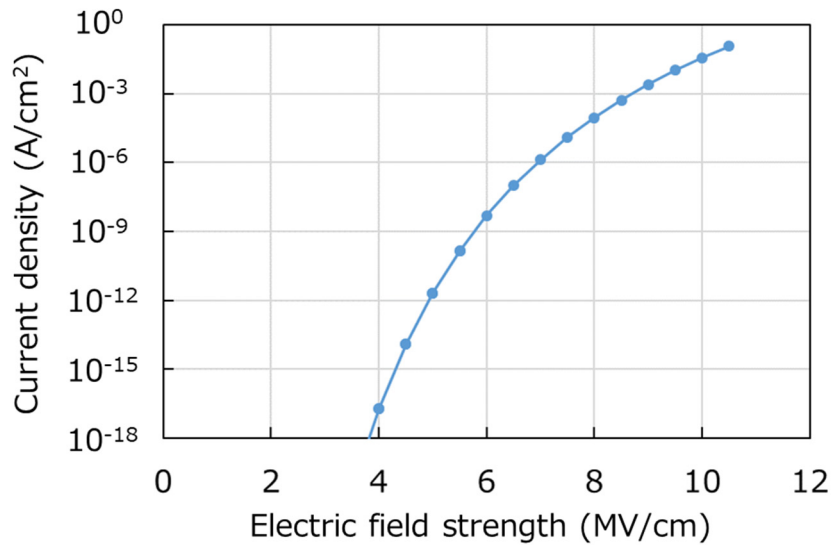


図 4.14 Folwer-Nordheim の式によるトンネル電流の J-E 曲線 (Si- SiO<sub>2</sub>)

H-GaN 構造では、MOS に印加する電界を JFET で構造的に制限しているため、3.1 MV/cm 以上の電界加速の試験はできない。H-GaN 構造の寿命を算出するために次の順序で実施した。

- ① 従来 GaN MOS-HFET において、デバイスの数値計算した電界強度で求められる電圧値を用い、TDDB 試験を実施して、ワイブルプロットより故障率を算出する。その故障率は 0.1ppm とする。電界強度は 2 種類以上で実施する。
- ② ①で求めた電界強度における故障率から、(4.1) 式の係数  $\tau_0$ 、 $G$  を算出する。
- ③ ②で算出した  $\tau_0$  と  $G$  から、H-GaN 構造における  $t_{BD}$  を求める。H-GaN 構造における電界強度は、①と同様にデバイスの数値計算で算出した電界強度とする。

図 4.15 に 2 つの電界強度で実施した TDDB 試験のワイブルプロットを示す。いずれも摩耗領域を示す傾きを示し、0.1ppm line で示す故障時間を求めた。

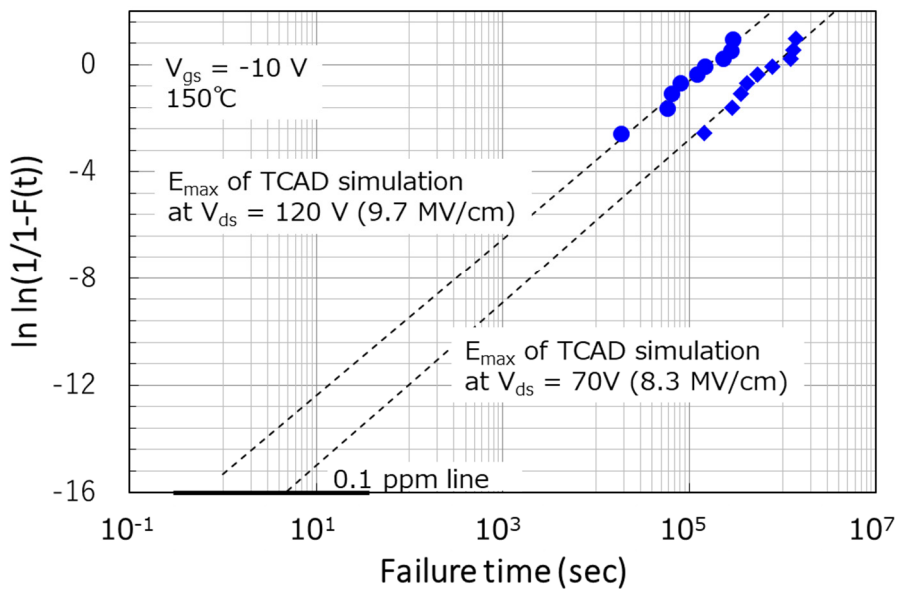


図 4.15 従来 MOS-HFET を用いて実施した TDDDB 試験のワイブルプロット

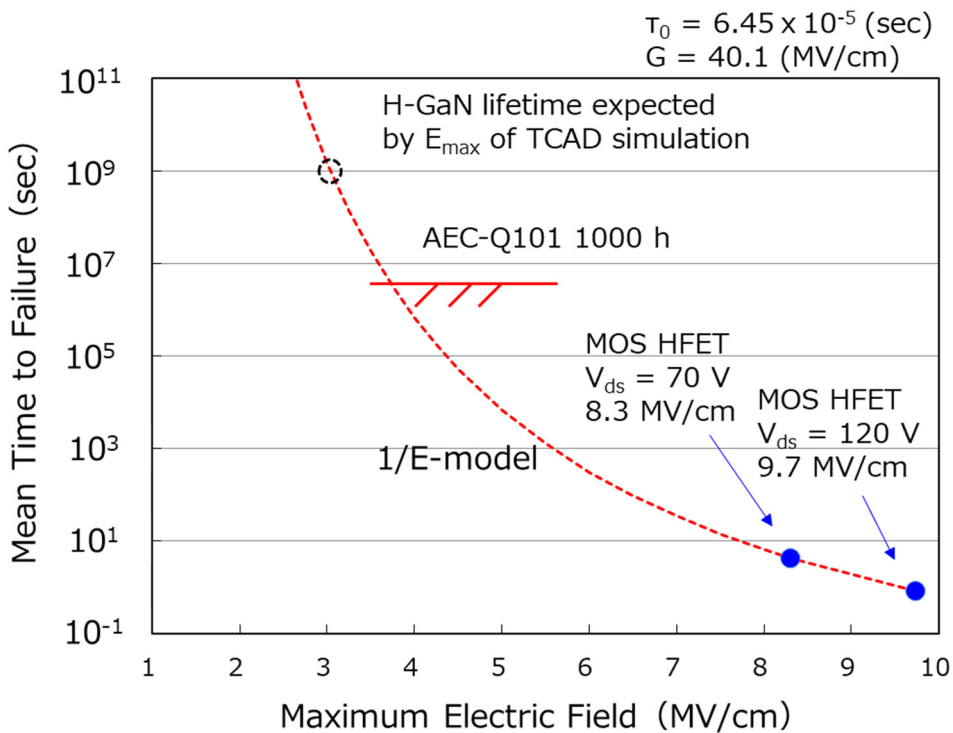


図 4.16 1/E モデルから算出した H-GaN の HTRB 寿命

(4.1) 式で得られた係数  $\tau_0$ 、 $G$  の曲線に対して、デバイスの数値計算で算出した 3.1 MV/cm を  $1/E$  モデルの外挿線の上に図示した (図 4.16)。得られる H-GaN 構造の寿命は  $8 \times 10^8$  sec であり、車載デバイス基準の一つである AEC-Q101[6]の指標 1000 時間に対して、MOS 破壊の信頼性を十分に有することがわかった。

#### 4.7 高温順バイアス特性における信頼性予測

高温逆バイアス試験 (HTRB) で実施した信頼性予測を同様の考え方で高温順バイアス試験 (High Temperature Forward Bias: HTFB) でも実施した。これも AEC-Q101 の項目の一つである。順方向電圧は、H-GaN 構造でも電界強度を可変できるので、H-GaN 構造で実施した。試験方法は、図 4.18 に示す。図 4.19 は、ワイブルプロット試験結果、図 4.20 は HTFB の寿命予測である。順方向電界は、 $V_g = 10$  V の定格で電界強度は 2.3 MV/cm (ゲート膜厚は酸化膜換算で 43 nm) のため、十分な耐圧信頼性の余裕度がある。

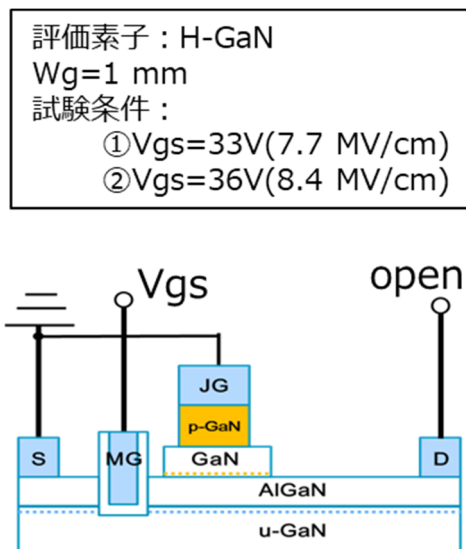


図 4.17 HTFB の試験方法

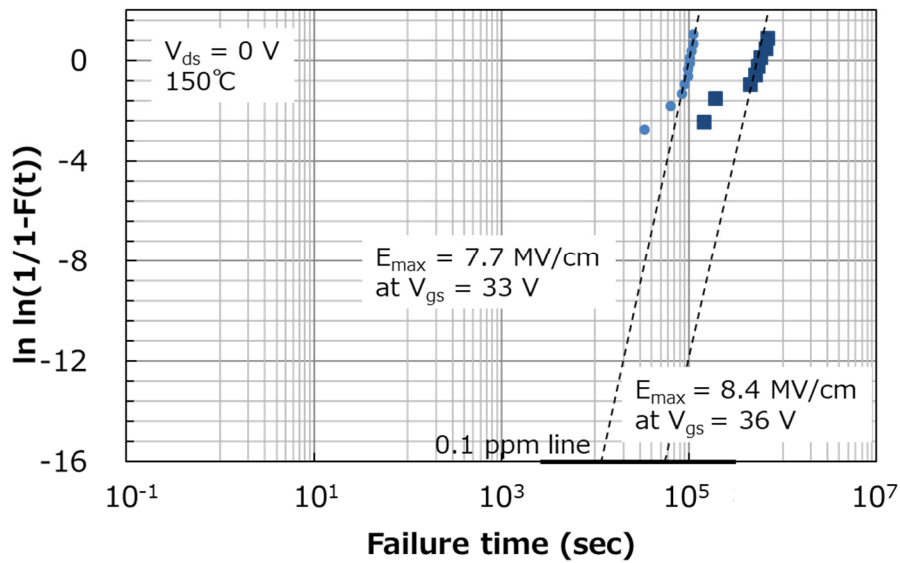


図 4.18 H-GaN 構造で実施した順方向電界の TDDDB 試験のワイブルプロット

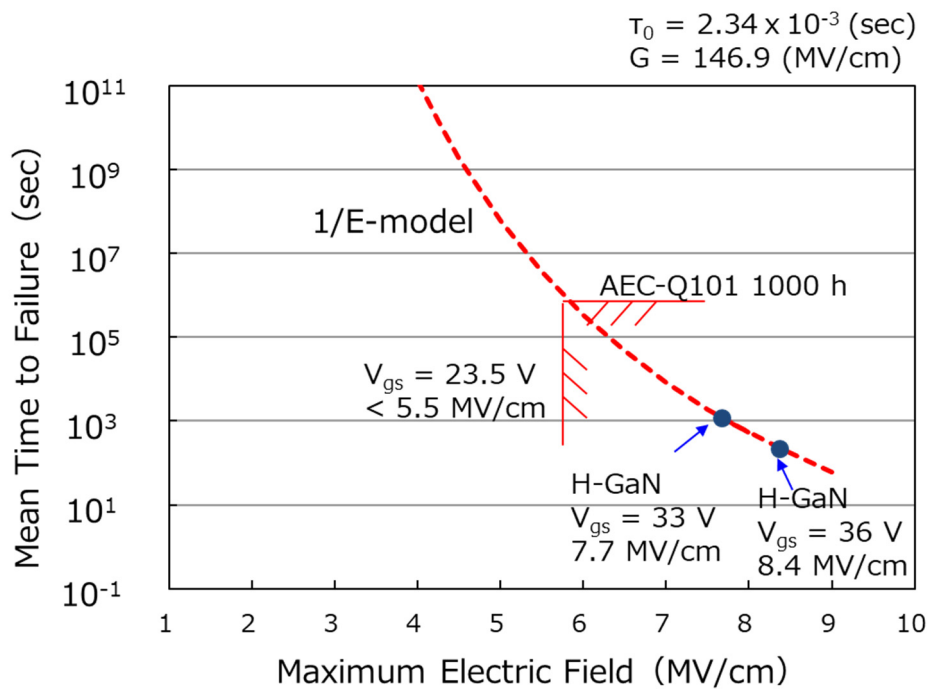
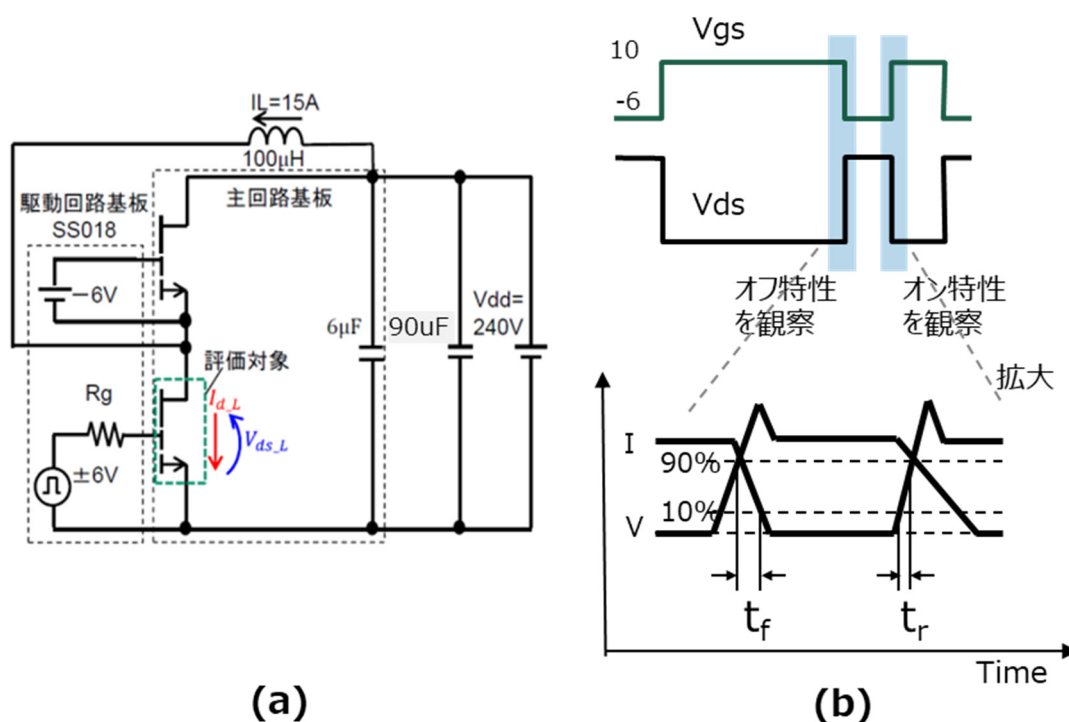


図 4.19 1/E モデルから算出した H-GaN の HTFB 寿命



#### 4.8 デバイスのスイッチング特性

スイッチング特性を評価するためにダブルパルス法を用いた。その評価方法を図 4.20 に示す。ダブルパルス法は、ターンオン、ターンオフ特性評価するために広く用いられている手法である。ダブルパルス法で評価した  $V_{dd} = 400 \text{ V}$  における SW 特性を図 4.21 に示す。また代表的な市販 GaN-JFET と Si-MOS との比較表を表 4.1 に示す。定格で 600-650 V、動作電流として 30 A 前後のデバイスで比較した。スイッチングの上昇時間 ( $T_r$ )、下降時間 ( $T_f$ ) はそれぞれ  $V_{ds}$  の 10%-90%となる時間幅で算出した数値を示す。H-GaN の  $T_r/T_f$  は、(5.1/6.5) nsec で、市販の JFET のスイッチング速度(3.7/5.2) nsec と比較して、ともに Si-MOS をもつデバイスに対して高速動作が可能である。これはゲート容量が Si-MOS に対して一桁小さいことによる。MOS の耐圧信頼性を高めた H-GaN 構造においても、GaN デバイスの高速性を維持した SW 特性を得た。



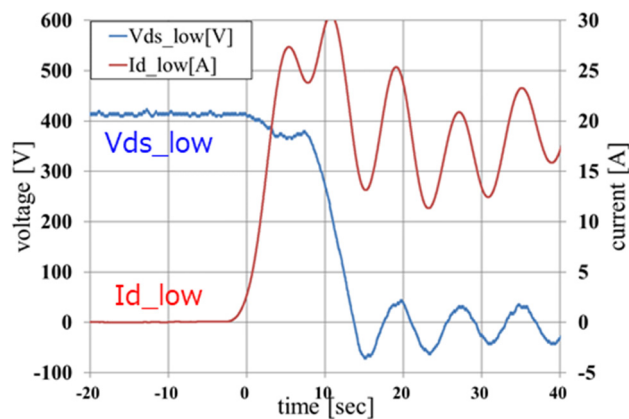
(a)

(b)

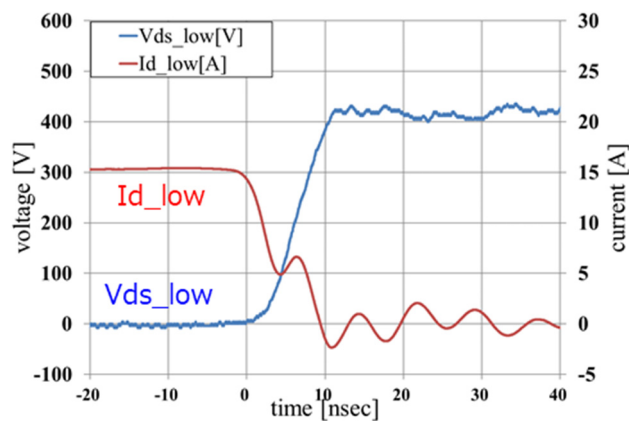
図 4.20 スwitching測定方法

(a) スwitching測定の評価回路

(b) 測定したオシロスコープでの波形



(a)



(b)

図 4.21 H-GaN の (a) ターンオンと (b) ターンオフのスイッチング波形

表 4.1 H-GaNと比較した市販 GaN JFETと SJ Si-MOS のスイッチング特性、オン抵抗特性、および容量特性。市販デバイスはカタログ値より引用した[7-9]。

Rating:600-650V, 30±5A, Vdd=400V

Items	Tr	Tf	Ron	ID	Ciss	Coss	Crss
Unit	(nsec)	(nsec)	(mΩ)	(A)	(pF)	(pF)	(pF)
H-GaN	5.1	6.5	110	30	486	101	2.3
GaN-JFET	3.7	5.2	50	30	260	65	2.0
Si-MOS and GaN (cascade)	7.6	8.6	49	35	2200	135	23
Si-SJMOS	25	12	118	34	5060	130	13

Commercial devices are indicated by specific values.  
GaN-JFET:GS66508T, Si-MOS and GaN:TPH3205WSB, Si-SJMOS:SPW35N60CFD

#### 4.9 結言

3章の数値計算から構造提案したH-GaN構造について、試作方法、電気的特性、および耐圧信頼性について報告した。ノーマリオンのJFETとノーマリオフのMOS構造を組み合わせたH-GaNは、低抵抗と高速性SW特性、および車載デバイスとして重要な高い耐圧破壊の信頼性を備えていることを示した。MOS特有の低ゲート漏れ電流特性や短絡耐量を向上できる飽和電流制限機構を併せもつH-GaN構造は、集積化にも適しており、将来、集積化した電力電源、およびその応用製品に使われることを期待する。

## 第 4 章 参考文献

- [1] 和田一実、“カソードルミネッセンス法”、応用物理 59, p. 1083 (1990).
- [2] J. C. Lee, I. C. Chen, and C. Hu, “Modeling and Characterization of Gate Oxide Reliability”, IEEE Int. Reliability Physics Symp. (IPRS), Vol. 35, p. 2268 (1988).
- [3] R. Moazzami, and C. Hu, “Projecting Gate Oxide Reliability and Optimizing Reliability Screens”, IEEE Trans. Electron Devices, Vol. 37, p. 1643 (1990).
- [4] Y. Watanabe, “Prediction of MOSFET’s Gate Oxide Lifetime from Breakdown Voltage Distribution”、R&D review of Toyota CRDL., Vol. 34, No. 4, p. 19 (1999).
- [5] JEDEC Solid State technology Association, “Procedure for the Wafer-Level Testing of Thin Dielectrics”, JEDEC standard NO. 35-A, p. 39 (2001).
- [6] Automotive Electronics Council, “FAILURE MECHANISM BASED STRESS TEST QUALIFICATION FOR DISCRETE SEMICONDUCTORS IN AUTOMOTIVE APPLICATIONS”, AEC-Q101-REV-D1 (2013).
- [7] GS66508T Preliminary Datasheet, Rev. 190423 (2019).
- [8] TPH3205WS Datasheet, tph3205ws.20 (2018).
- [9] SPW35N60CFD Datasheet, Rev. 1.2 (2005).

## 第5章

# JFET 領域を持つ GaN パワーMOS デバイスのしきい 値電圧の安定性評価

## 第 5 章 JFET 領域を持つ GaN パワー-MOS デバイスのしきい値電圧の安定性評価

### 5.1 緒言

ここまで、H-GaN 構造を提案し、良好なデバイス特性と実使用時間での耐圧信頼性を実証した。一方で、GaN MOS-HFET のしきい値電圧や安定性について、各研究機関から特性変動があることは報告されている[1-5]。ユニポーラデバイスである SiC MOS デバイスでも、長年の研究から、一酸化窒素(NO)雰囲気中の熱処理でしきい値変動やチャネル電子移動度の課題[6]を改善し、実用化に結び付けた。このことを考えると、しきい値電圧の特性変動については GaN MOS-HFET のみならず、近年、活発に進められているバルク GaN 用いた縦型パワー-MOS デバイスの研究[7, 8]にも必要な研究項目となる。

本章では、H-GaN 構造で選択した SiO<sub>2</sub>/Al<sub>2</sub>O<sub>3</sub> の MOS 構造におけるしきい値電圧、およびしきい値電圧の変動状況を評価したので、その結果をここで記す。

### 5.2 試作したデバイスのしきい値電圧特性

H-GaN の MOS 構造は、4 章でも示した通り、AlGaIn/GaN ヘテロ構造の AlGaIn をエッチングして作製される。したがって横型 GaN デバイスの MOS 構造は、ゲート金属/ゲート酸化膜/i-GaN 構造になる。ゲート膜直下はほとんどキャリアが存在しない i-GaN となり、蓄積型の MOS デバイスになる。4 章で示した線形 V<sub>g</sub>-I<sub>d</sub> 特性を対数特性に変換すると図 5.1 になる。線形特性ではノーマリオフ特性を示すが、サブスレッショルド領域はやや負電圧から立ち上がり、しきい値電圧を 1 μA/mm 定義すると、-1.5 V になる。サブスレッショルド領域を正電圧にしなければ、オフ状態におけるドレイン漏れ電流が大きくなり、SiC パワー MOSFET や他の GaN デバイスと比較して見劣りしてしまう。

蓄積型の MOS 特性のしきい値電圧は次の式で定義される[1]。

$$V_t = \phi_{ms} - \frac{Q_f}{C_0} \quad (5.1)$$

ここで  $\phi_{ms}$  は半導体とゲート金属の仕事関数差、 $q_f$  はゲート膜内または界面にある固定電荷、 $C_0$  はゲート容量である。ここではイオン性の移動電荷や捕獲電荷の項は入れていない。H-GaN で用いている p 型多結晶 Si 電極の仕事関数は約 5.15eV、i-GaN の仕事関数は 4.1eV と報告されている[10]ので、仕事関数差  $\phi_{ms}$  だけで決まる理想しきい値電圧は 1.05 V になる。したがって、(5.1) 式から、サブスレッショルド領域がやや負電圧から立ち上がる理由は、ゲート酸化膜中、またはゲート界面にある正電荷の  $q_f$  が要因であり、課題である。

また実験結果として、n 型多結晶 Si (ヒ素不純物添加) 電極と p 型多結晶 Si (リン不純物添加) 電極における GaN MOS-HFET のしきい値電圧差を図 5.2 に示す。それぞれ  $L_g/W_g = 1 \mu\text{m}/1 \text{mm}$  デバイスで測定した。FET のしきい値電圧を同様の  $1 \mu\text{A}/\text{mm}$  定義して平均値で算出すると、p 型多結晶 Si 電極のしきい値電圧が +0.89 V 上昇している。p 型多結晶 Si の仕事関数によって、しきい値電圧が向上したと考えられる。図 5.1 に H-GaN のしきい値電圧を示す。これは図 4.9 で示した線形の  $I_d$ - $V_g$  を片対数図に修正したものである。このしきい値電圧をさらに改善させるためには、(5.1) 式の 2 項部分の膜中や界面の固定電荷  $q_f$  を低減する手法を確立する必要がある。

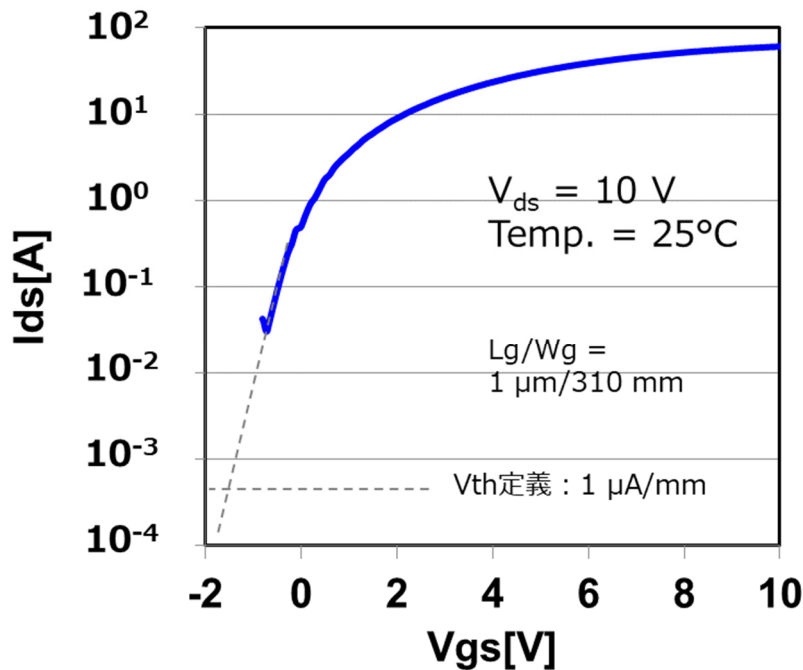


図 5.1 H-GaN 構造の  $I_d$ - $V_g$  特性

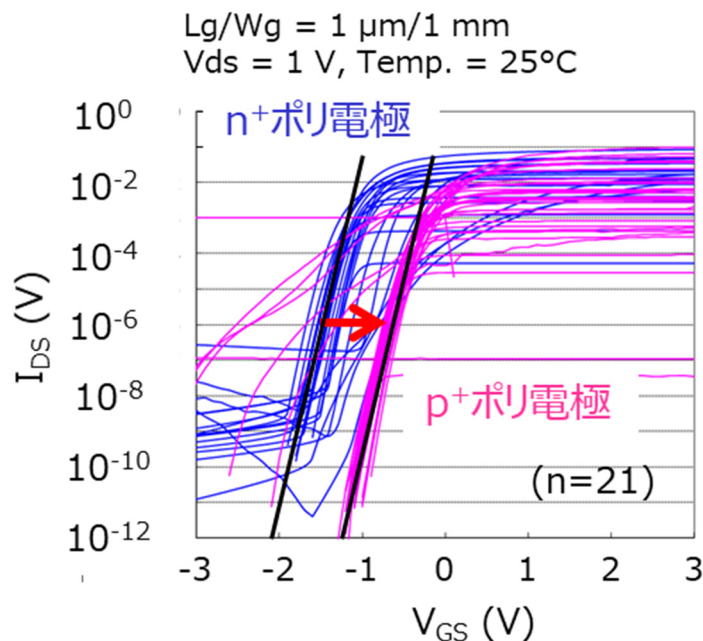


図 5.2 n 型多結晶 Si と p 型多結晶 Si をゲート電極に用いた GaN MOS-HFET の  $I_{ds}$ - $V_g$  特性。黒線は最小二乗法で計算した  $I_{ds}$ - $V_g$  特性の平均値から計算した傾きを示し、この差分をしきい値電圧の差としている。サブスレッショルド領域の特性が乱れている試料は平均値に含まず計算した。

### 5.3 試作したデバイスのしきい値電圧変動

次に  $\text{SiO}_2/\text{Al}_2\text{O}_3/\text{i-GaN}$  の MOS 構造をもつ H-GaN のしきい値電圧変動について示す。しきい値電圧変動は、スイッチング動作させる時のデバイス定格内の MOS に印加する最大電界となる電圧で、かつデバイス発熱の影響を無視できるドレイン電流が流れない状態のストレス電圧を印加して評価した。具体的にはオン状態を模擬した ( $V_g = 10 \text{ V}$ ,  $V_d = 0 \text{ V}$ ) とオフ状態を模擬した ( $V_g = 0 \text{ V}$ ,  $V_d = 300 \text{ V}$ ) のストレス電圧を用いた。現状の H-GaN 構造では、オフ状態で若干の漏れ電流が生じるので  $V_g = -10 \text{ V}$  の強いオフバイアス状態で評価した。しきい値電圧変動の測定方法は、初期値  $V_{th}$  測定  $\rightarrow$  電界ストレス  $\rightarrow V_{th}$  測定  $\rightarrow$  電界ストレス  $\rightarrow \dots$  を繰り返し実施し、累積ストレス時間の変動で示す。測定中の  $V_{th}$  変動も想定して、あらかじめ  $V_{th}$  変動しない測定条件を検討して、 $V_g = -5 \text{ V} \sim +3 \text{ V}$ 、 $V_d = 0.1 \text{ V}$  で  $V_{th}$  測定した。図 5.3 にしきい値電圧変動の測定方法を示



す。測定にはキーサイト社製の B1505A を用いた。温度は室温と 150°C について評価した。図 5.4 に 1000 秒までのオン状態とオフ状態のしきい値電圧変動の測定結果を示す。

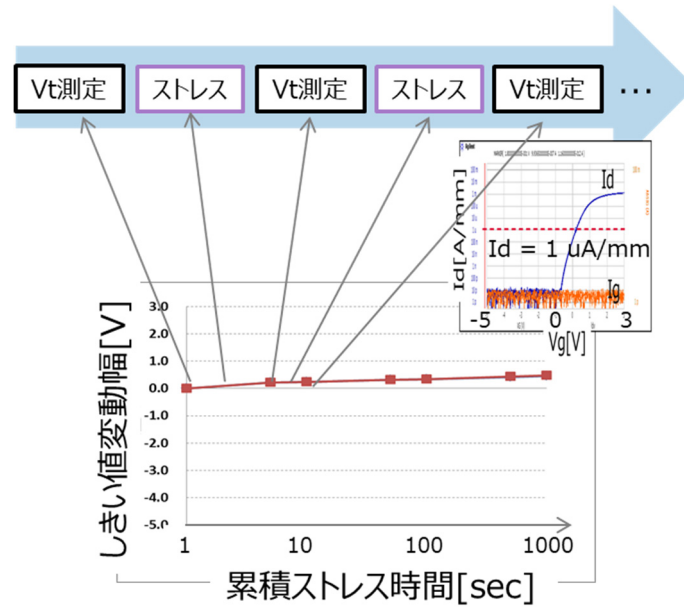


図 5.3 しきい値電圧変動の累積ストレス時間依存性の測定方法

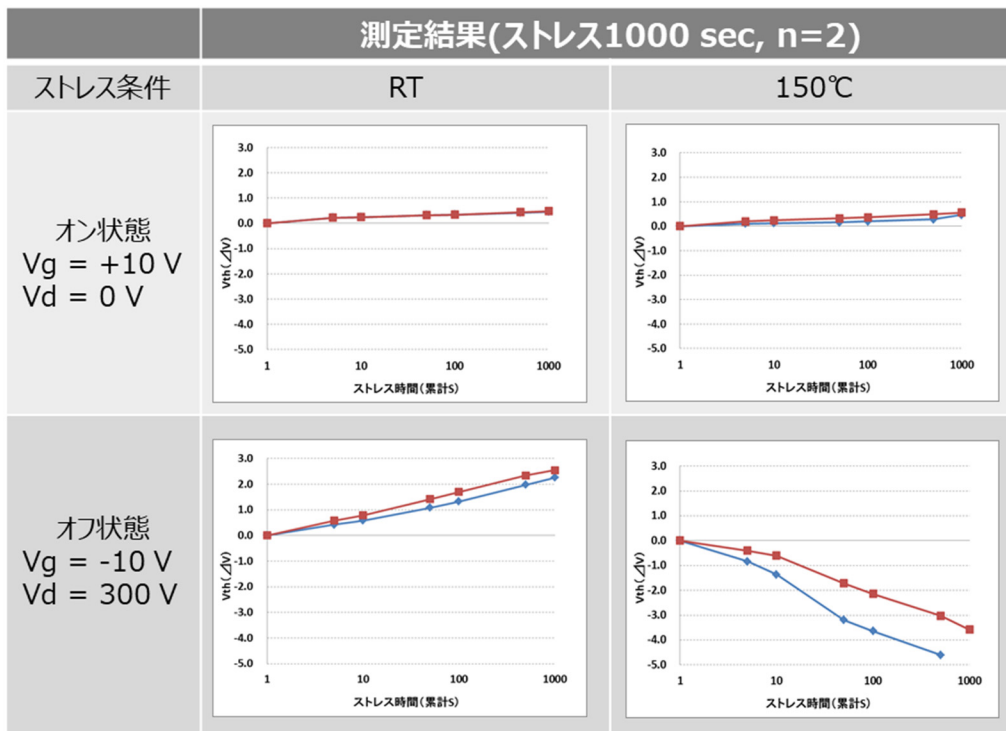


図 5.4 オン状態とオフ状態におけるしきい値電圧変動の測定結果

### 5.3.1 オン状態のしきい値電圧変動

オン状態のしきい値電圧変動は、1000 秒の累積ストレス時間で、室温、150℃ともに正方向に 0.5 V 程度であることがわかった。これは文献[2]で報告されている正バイアスの温度ストレス不安定性 (Positive Bias Temperature Instability: PBTI) による変動と考えられる。

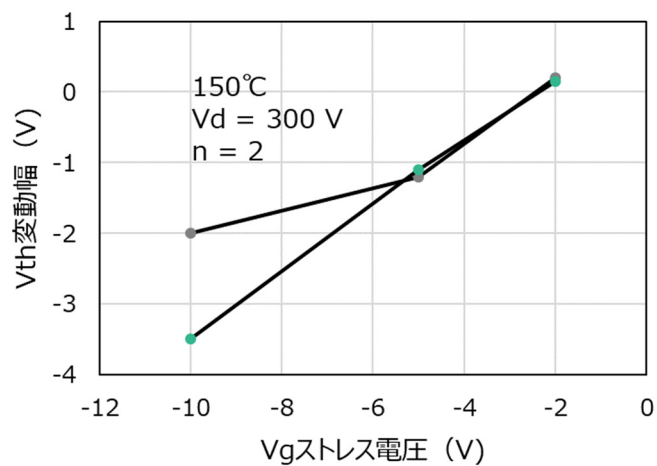
### 5.3.2 オフ状態のしきい値電圧変動

オフ状態のしきい値電圧変動は、室温では正方向に 2 V 程度に、150℃では負方向に -2~-4 V 程度変化する現象がみられた。オフ状態については、温度依存性、 $V_g$  依存性のオフストレスの累積ストレス時間依存性を図 5.5 に示す。オフ状態のしきい値電圧変動は、温度による依存性と  $V_g$  電圧による依存性が非常に大きい現象であることがわかった。

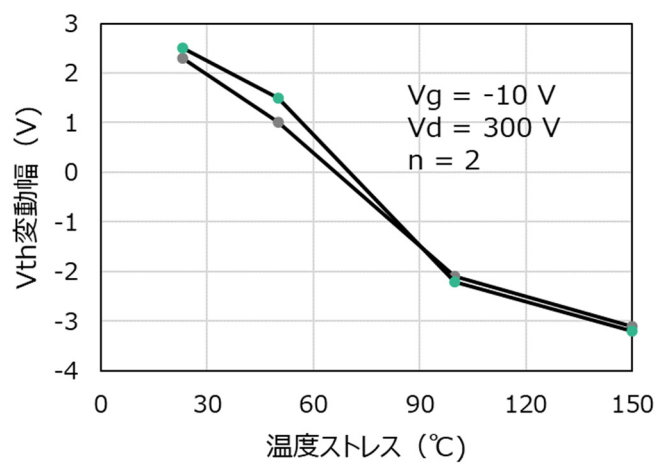
オフ状態でゲート電極が負電位に印加され、かつしきい値電圧が負に変動する現象は、電子であれば、ゲート膜から半導体側に抜けるか、正孔であれば、半導体側からゲート膜に正孔が入ってくるか、いずれかである。オフ状態中のデバイス数値計算の結果では、MOS 直下の i-GaN 層が反転して正孔が蓄積する現象が示された (図 5.6)。またゲート電圧に依存して、正孔の蓄積量が異なり、半導体が反転を起こさないゲート電圧領域 ( $V_g = -2$  V) では MOS 直下に正孔が蓄積されないことも示された (図 5.7)。これは他の文献でも指摘されており、半導体側からゲート膜中に正孔が注入され、しきい値電圧が負に変化した可能性が報告されている[11]。

オフ状態におけるしきい値電圧変動については、温度依存性、ゲート電圧依存性ともに、まだわかっていないことも多いため、定量的かつ詳細に検討する必要がある。

またストレス電圧によるしきい値電圧変動の課題は、デバイスの使い方とも密接に結びつくため、特性変動を起こすストレス電圧を長時間継続しない、または蓄積したストレスをリセットして使う等のデバイスの使い方についても同時に検討することが重要である。



(a)



(b)

図 5.5 オフ状態のしきい値電圧変動における (a) Vg ストレス依存性と (b) 温度ストレス依存性 (いずれもストレス電圧印加 1000 秒後)

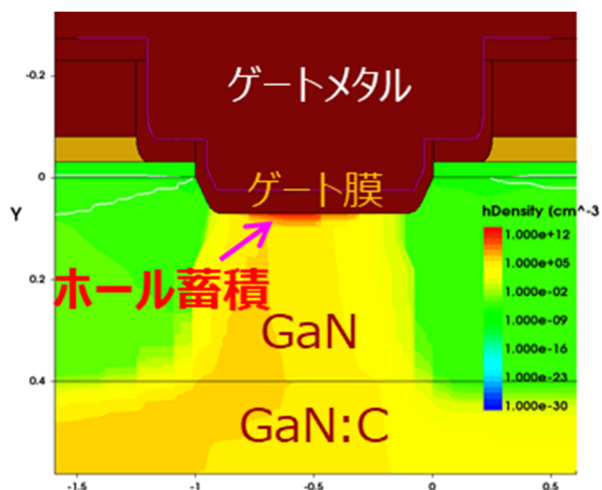


図 5.6 デバイス数値計算によるゲート酸化膜直下の正孔蓄積解析結果 ( $V_d = 600$  V,  $V_g = -10$  V のストレス電圧印加 1000 秒後)

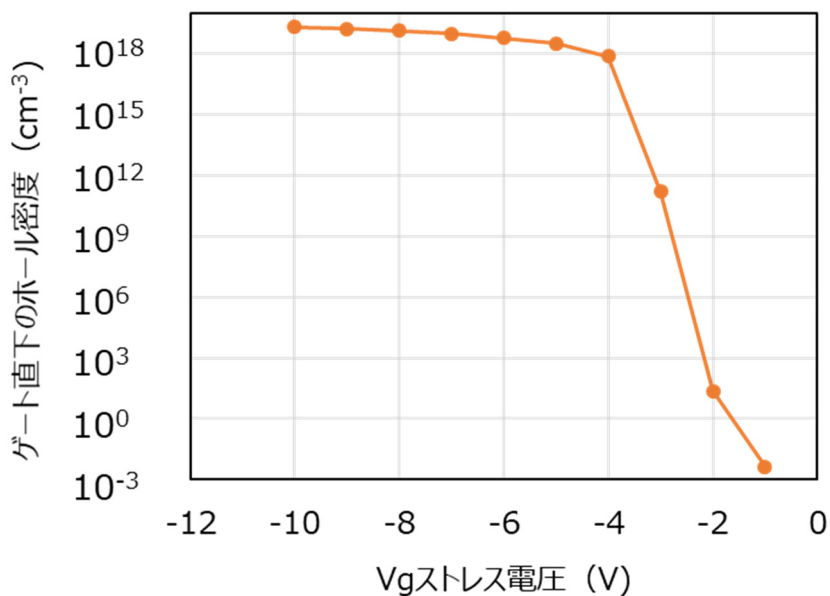


図 5.7 デバイス数値計算による正孔蓄積密度の  $V_g$  電圧依存性 ( $V_d = 600$  V のストレス電圧印加 1000 秒後)

#### 5.4 試作したデバイスのしきい値電圧変動解析

デバイスのオン状態について、車載デバイスの信頼性を規定する一つの指標 AEC-Q101 で 1000 時間の要求項目に対する課題抽出を目的に、1000 時間までの長時間のしきい値電圧変動を調べた。評価結果を図 5.8 に示す。しきい値電圧変動と累積ストレス時間の関係は、時間の片対数ではなく、両対数（べき乗則）に依存することがわかった。文献 [12, 13]によるとべき乗則での変化は、ゲート膜中に電子が注入されて引き起こされるという報告を参考にして、 $\text{Al}_2\text{O}_3$  膜厚依存性について調べた。ストレス印加電界を同じにするために、酸化膜換算(Equivalent Oxide Thickness: EOT)膜厚を一定に  $\text{Al}_2\text{O}_3$  厚と  $\text{SiO}_2$  の膜厚を変化させた。結果を図 5.9 に示す。この結果より、 $\text{Al}_2\text{O}_3$  厚に依存してしきい値電圧変動は大きくなることがわかった。 $\text{Al}_2\text{O}_3$  厚を横軸に図示すると、 $\text{Al}_2\text{O}_3$  厚に線形比例してしきい値電圧変動は大きくなり、膜厚依存性の切片である  $\text{Al}_2\text{O}_3/\text{GaN}$  界面によるしきい値電圧変動も示された。これは、 $\text{Al}_2\text{O}_3$  膜中の電子捕獲と界面での電子捕獲、双方の影響がある推測される。さらなる検討が必要であるが、これらの電子捕獲密度の起源を消失させ、しきい値電圧の変動を実使用基準まで抑制することは今後の重要な課題である。

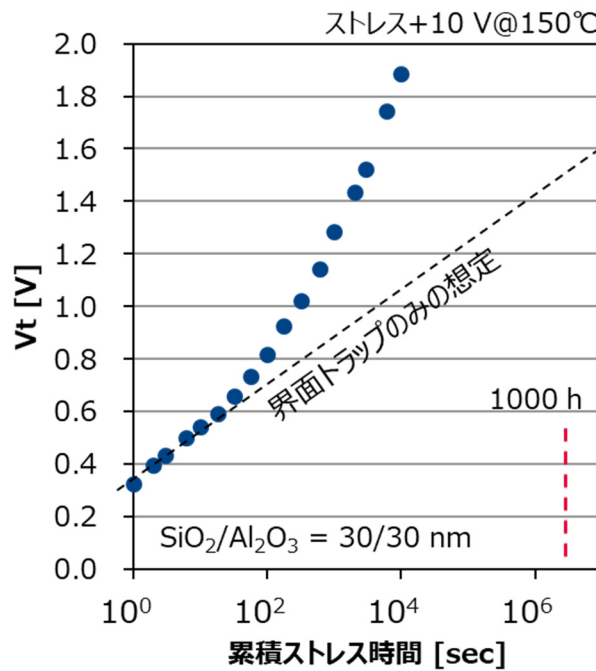
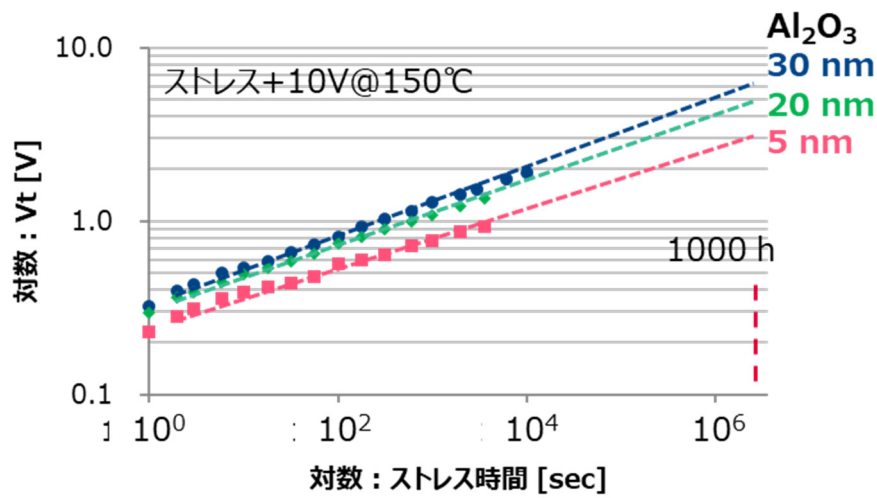
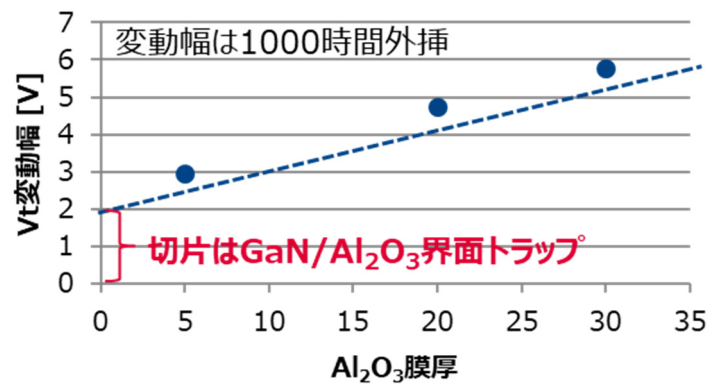


図 5.8 1000 時間を想定したオンストレスのしきい値電圧変動



(a)



(b)

図 5.9 オンストレスの  $\text{Al}_2\text{O}_3$  膜厚を変化させたときのしきい値電圧変動 (a) と 1000 時間外挿したときのしきい値電圧変動幅の  $\text{Al}_2\text{O}_3$  膜厚依存性 (b)

## 5.5 結言

試作した H-GaN の MOS 構造におけるしきい値電圧、およびしきい値電圧変動を調べ、課題について言及した。しきい値電圧については、ゲート膜、ゲート膜界面の固定電荷  $Q_f$  は正電荷とみられ、固定電荷を抑制するプロセス開発が課題と考える。

また、しきい値電圧変動については、オン状態では PBTI、オフ状態では正孔が関与する

変動がみられた。GaN MOS-HFET のしきい値変動の詳細は不明な点が多く、GaN パワーMOS-HFETの実用化には、そのメカニズムの解明と安定な成膜条件、界面形成条件のプロセス開発が課題として残る。しきい値電圧、およびその変動の研究開発の推進が望まれる。

## 第 5 章 参考文献

- [1] C. Ostermaier, P. Lager, M. Reiner, and D. Pogany, "Review of bias-temperature instabilities at the III-N/dielectric interface", *Microelectronics Reliability*, Vol. 82, p. 62 (2018).
- [2] A. Guo, and Jesus A. Del Alamo, "Positive-Bias Temperature Instability (PBTI) of GaN MOSFETs", *IEEE Int. Reliability Physics Symp. (IRPS)* (2015).
- [3] A. Guo, and Jesus A. Del Alamo, "Negative-Bias Temperature Instability of GaN MOSFETs", *IEEE Int. Reliability Physics Symp. (IRPS)* (2016).
- [4] J. He, M. Hua, Z. Zhang, and K. J. Chen, "Performance and  $V_{TH}$  Stability in E-Mode GaN Fully Recessed MIS-FETs and Partially Recessed MIS-HEMTs with LPCVD-SiNx/PECVD-SiNx Gate Dielectric Stack", *IEEE Trans. Electron Devices*, Vol. 65, p. 3185 (2018).
- [5] M. Hua, J. Wei, Q. Bao, J. He, Z. Zhang, Z. Zheng, J. Lei, and K. J. Chen, "Reverse-Bias Stability and Reliability of Hoke-Barrier-Free E-mode LPCVD-SiNx/GaN MIS-FETs", *IEEE IEDM Tech. Dig.*, p. 741 (2017).
- [6] Y. Nanen, M. Kato, J. Suda, and T. Kimoto, "Effects of Nitridation on 4H-SiC MOSFETs Fabricated on Various Crystal Faces", *IEEE Trans. Electron Devices*, Vol. 60, p. 1260 (2013).
- [7] T. Oka, T. Ina, Y. Ueno, and J. Nishii, "1.8 m $\Omega$ -cm<sup>2</sup> vertical GaN-based trench metal-oxide-semiconductor field-effect transistors on a free-standing GaN substrate for 1.2-kV-class operation", *Appl. Phys. Express*, Vol. 8, 054101 (2015).
- [8] 上野勝典, "ホモエピ GaN 上ノーマリオフ型 MOSFET の開発", *応用物理* 86, p. 376 (2017).
- [9] S. M. Sze, *Physics of Semiconductor Devices*, 3rd ed., Wiley, New



Jersey, (2007).

[10] Stephen. J. Pearton, GaN AND RELATED MATERIALS, Gordon and Science, Amsterdam (1997).

[11] 加地徹、ワイドギャップ半導体パワーデバイスの自動車応用、応用物理 81, p. 489 (2012).

[12] G. Bersuker, J. H. Sim, C. S. Park, C. D. Young, S. V. Nadkarni, R. Choi, "Mechanism of Electron Trapping and Characteristics of Traps in HfO<sub>2</sub> Gate Stacks", IEEE Trans. Device and Materials Reliability, Vol. 7, p. 138 (2007).

[13] T. Wu, J. Franco, D. Marcon, B. D. Jaeger, B. Bakeroot, S. Stoffels, M. V. Hove, G. Groeseneken, S. Decoutere, "Toward Understanding Positive Bias Temperature Instability in Fully Recessed-Gate GaN MISFETs" IEEE Trans. Electron Devices, Vol. 63, p. 1853 (2016).

## 第 6 章

### 結論

## 第6章 結論

本章では本研究から得られた結果をまとめるとともに、今後の課題と展望を述べる。

### 6.1 本論文のまとめ

本研究は、これからの GaN デバイスの発展に有望視される GaN パワーMOS デバイスの MOS 耐圧信頼性の視点から、デバイス構造検討と、デバイス試作を行い、良好な電気的特性と MOS 構造の耐圧信頼性を示すことができた。またその試作したデバイスにおける MOS しきい値電圧およびその変動測定を行い、耐圧信頼性は有するもののしきい値電圧とその変動抑制の課題は残ることを示した。

以下、第2章から5章までの結果をまとめる。

2章では、ワイドバンドギャップ半導体 GaN デバイスの横型 FET のオン抵抗—耐圧の材料から見た能力について述べた。ドレイン領域だけで比較すると、縦型デバイスと横型 FET ではほぼ同様の能力があることを示した。Si 基板を機材に用いることで大口径かつ低コストのデバイス作製に魅力がある一方で、材料物性（熱膨張係数、格子定数差）から GaN 膜厚に制約される耐圧があり、Si 基板上の GaN デバイスには 50~1000 V 耐圧以下の Si デバイスよりも優位な領域で応用が進むとした。

3章では、Si 基板上 GaN パワーMOS デバイスについて、MOS 構造の耐圧信頼性の視点から論じ、SiC と同様に JFET 領域で MOS 構造を守る必要性を明らかにした。そのうえで、p-i-n 構造を持つ JFET 領域をソース電極に接続する H-GaN 構造を提案した。電界強度の数値計算から、H-GaN 構造では、MOS に印加する電界強度は許容範囲内に制御できることを示した。

4章では、提案した H-GaN 構造を試作し、デバイス特性を評価した。その際、重要プロセスとなる MOS リセス部のドライエッチング技術について詳細に検討し、ゲートリセス部の低損傷エッチングと損傷を回復させるゲート膜成膜後の熱処理を導入した。デバイス特性の評価では、優れた I-V 特性、スイッチング特性を示すと同時に、デバイス耐圧のストレス時間依存性で、MOS の電界強度を緩和することにより、MOS 破壊を防げること、実用性を有

する耐圧寿命特性を実証した。この概念で作製するデバイスは、JFET 領域でドレイン電位を遮断できるため、耐圧を変えずにドリフト領域以外の微細化が可能であり、さらなるオン抵抗低減の特性向上が望めることを示した。

5 章では、H-GaN 構造の特性変動、特にしきい値電圧とその変動について示した。MOS 膜の固定電荷の影響で、しきい値電圧がまだ十分なノーマリオフになっていないこと、および MOS 膜内または界面への電子捕獲の影響から、しきい値電圧の変動が残ることを示し、今後の課題とした。

GaN パワー-MOS デバイスは、低いゲート漏れ電流のノーマリオフ特性を持ち、かつデバイス集積化ができる観点で非常に魅力的なデバイスである。スイッチング特性においても良好な特性を示しているため、課題である GaN MOS 構造のしきい値電圧、およびその変動の課題が解決されれば、その魅力によって GaN デバイスのより飛躍的な発展が期待できる。

## 6.2 今後の課題と展望

20 世紀では、シリコン半導体の開発により、パーソナルコンピュータやスマートフォンなど、情報機器が急速に発達した。これらの産業の発展により、電力変換、充電、モーター制御などパワーエレクトロニクスの需要が急速に増し、パワーエレクトロニクスの分野で Si デバイスの限界性能を超えるデバイスの要求が高まった。

そのような中、GaN 系デバイスは、まず光デバイスとして、蛍光灯を LED に置き換え、約 1/10 への省エネルギーを実現し、世界の省エネルギーに貢献した。パワーエレクトロニクスの分野においても、GaN 系電子デバイスとしてさらなる省エネルギーへの貢献が期待できるため、材料、基板、デバイス、応用機器の分野で幅広い研究開発が進められている。

一方で、まだ課題の多く残されているのも事実である。Si 基板上 GaN デバイスは、電流コラプス現象も完全に解決されたわけではなく使われ始めている。半導体中の物理現象は先人たちによって解明されてきているが、GaN 結晶の欠陥や転位と電気特性の関係は、まだ不明な点が多く、研究開発と同時に、信頼性には十分配慮して安全に使っていく必要がある。その一例として、本研究で耐圧信頼性の視点から MOS 構造の電界を制御できる構造を提案し、解決例を示した。さらに、MOS 構造のしきい値電圧や特性変動の機構を明らかにしていくことによって、より一層の GaN デバイスの発展を期待する。

## 謝辞

本研究を行うにあたって、数多くの方々にご指導を賜りましたことを厚く御礼申し上げます。本研究を遂行、および本論文を完成するにあたり、終始懇切なるご指導いただきました福井大学大学院工学研究科 電気・電子工学専攻 葛原正明教授に深く感謝いたします。

また有益なご助言とご指導いただきました同工学研究科 電気・電子工学専攻 橋本明弘教授、金邊忠教授、塩島謙次教授に深く感謝いたします。

本研究を通じて暖かいご助言いただき、研究に厳しく対峙する姿勢をご指導いただきました名古屋工業大学 極微デバイス次世代材料研究センター 江川孝志教授、ならびに株式会社 SCIOCS 田中光浩氏に深く感謝いたします。

本研究は、所属する株式会社デンソーより機会を与えていただいたものであります。このような研究機会を与えていただき、一方ならぬご理解とご指導、全面的なご支援をいただいた、株式会社デンソー 先端技術研究所 所長 川原伸章氏、セミコンダクタ事業部 事業部長 山内庄一氏、センサセミコンプロセス開発部 部長 中山喜明氏、担当部長 岩森則行氏、第一開発室長 荻野誠裕氏、第一開発課長 浅海一志氏には改めて深くお礼申し上げます。また本研究の遂行するにあたり、活発な議論、試料の作製、評価するにあたる多大なご協力をいただいた、株式会社デンソー 大竹伸幸氏、樽見浩幸氏、小山和博氏、松木英夫氏、畑謙佑氏、荒川和樹氏、陰泳信氏、栗田大佑氏、土屋義規氏に深く謝意を表します。

最後になりますが、家族である、妻 礼子、長女 七菜子にはこの間、多くの心配、負担をかけました。その中でやはり家族の理解や励ましなど、精神的、物理的な支えがあったからこそ、本研究がなしたものと考える次第であり、あらためて心から感謝します。

2020年 3月

## 研究業績

### I. 学術論文

- 1) Shinichi Hoshi, Kensuke Hata, Youngshin Eum, Kazuki Arakawa, and Masaaki Kuzuhara, "High-temperature reverse bias characteristics of highly reliable GaN MOS-HFET", Jpn. J. Appl. Phys. Vol. 58 076504 (2019)
- 2) Shinichi Hoshi, Masanori Itoh, Toshiharu Marui, Hideyuki Okita, Yoshiaki Morino, Isao Tamai, Fumihiko Toda, Shohei Seki, and Takashi Egawa, "12.88 W/mm GaN High Electron Mobility Transistor on Silicon Substrate for High Voltage Operation", Appl. Phys. Express Vol. 2 061001 (2009)
- 3) Hideyuki Okita, Toshiharu Marui, Shinichi Hoshi, Masanori Itoh, Fumihiko Toda, Yoshiaki Morino, Isao Tamai, Yoshiaki Sano, and Shohei Seki, "Comparisons of SiN Passivation Film Deposited by PE-CVD and T-CVD Method for AlGaIn/GaN HEMTs on SiC Substrate", IEICE Trans. Electron., Vol. E92-C, No. 5, pp. 686-690 (2009)
- 4) Toshiharu Marui, Shinichi Hoshi, Masanori Itoh, Isao Tamai, Fumihiko Toda, Hideyuki Okita, Yoshiaki Sano, and Shohei Seki, "Effects of a Thermal CVD SiN Passivation Film on AlGaIn/GaN HEMTs", IEICE Trans. Electron., Vol. E91-C, No. 7, p. 1009-1014 (2008)
- 5) Shinichi Hoshi, Toshiharu Marui, Masanori Itoh, Yoshiaki Sano, and Shohei Seki, "Influence of NH<sub>3</sub>-Plasma Pretreatment before Si<sub>3</sub>N<sub>4</sub> Passivation Film Deposition on Current Collapse in AlGaIn/GaN-HEMTs", IEICE Trans. Electron., Vol. E89-C, No. 7, p. 1052-1056 (2006)

II. 国際会議論文

- 1) Shinichi Hoshi, Kensuke Hata, Youngshin Eum, and Kazuki Arakawa, "Switching and HTRB characteristics of highly reliable GaN MOS-HFET", Compound Semiconductor Week 2019, May 19-23, Nara, Japan.
- 2) Youngshin Eum, Kazuhiro Oyama, Nobuyuki Otake, and Shinichi Hoshi, "Highly reliable GaN MOS-HFET with high short-circuit capability", The 29th Int. Symp. On Power Semiconductor Devices and ICs, Sapporo, 2017