

# スモールワールドネットワークを用いた FPGA 配線構造の改善

## Improvement of FPGA Wiring Structure using Small-World Network

小澄匡俊      茂呂征一郎  
福井大学工学部

Masatoshi OZUMI      Seiichiro MORO  
University of Fukui

### 1 はじめに

近年、FPGA(Field Programmable Gate Array)がとても身近なものになった。FPGA[1]とは、ユーザの手元で回路構成の書き換えができるゲートアレイとして誕生した LSI である。FPGA の性能は上がり続けているにもかかわらず、単価は下がっている。最近の FPGA は、携帯電話や各種ネットワーク機器、サーバ、計測器など、あらゆる組み込み機器であたりまえのように使われている。

そこで、さらに性能を良くしようと FPGA 製造プロセスの微細化が急速に進んだ。しかし、その微細化において、デバイス性能は性能を保ったまま微細化することが可能になったのに対し、配線遅延が総遅延の大半を占めるという新たな問題が発生している。

この問題を解決するため、FPGA 配線構造のスモールワールドネットワーク (SWN) 化が提案された [2]。これは、従来の多数の論理ブロックと縦横方向に張り巡らされた配線領域で構成されている配線構造に対して、ショートカットの役目を果たすランダムなワイヤを少量追加することで、配線遅延の削減を実現するというものがある。

従来の研究では、シングルラインにおいてのみ SWN 化を適用した FPGA 配線構造を取り扱ってきた。本稿では、シングルラインだけでなく、いくつかの異なる長さの配線 (ダブルライン、クアドライン、ロングライン) においても SWN 化を適用し、従来の FPGA 配線構造との比較における効果を検証した。また、シングルとダブル、シングルとクアドといっ

た計 6 種類の配線の組み合わせにも SWN 化を適用し、同時に 2 種類のラインを SWN 化することも考える。これにより、1 種類のラインを SWN 化することに比べて FPGA 配線構造にどれだけの効果があるのかも検証した。最終的にこれらの検証を踏まえて FPGA 配線構造を改善することを本稿の目的とする。

### 2 スモールワールドネットワーク(SWN)

スモールワールドネットワーク (SWN) [3]は、ランダムに選んだエッジを、ランダムに選んだ頂点に結びなおしていくという方法で格子状のネットワークにランダム性を加えていくことにより作成することができる。その際に、各頂点に対して、リンクのつなぎ換えは確率  $p$  で行われる。この確率  $p$  を大きくしていくにつれ、ネットワークのランダム性が増していく。(図 1 参照)

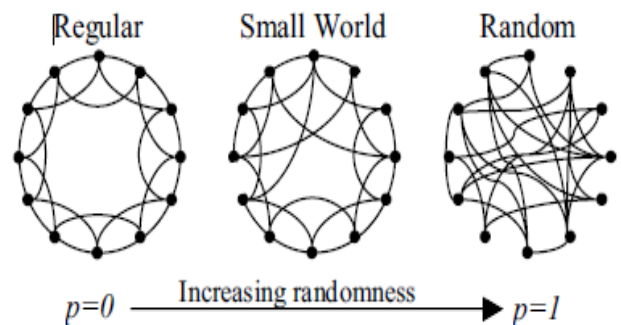


図 1. スモールワールドネットワーク (SWN)

本来、ネットワークが緊密である程、情報が遠くに伝わるまで、多くの頂点を経由しなければならない。逆に、頂点の経由を少なくすると、ネットワー

クが緊密でなくなってしまう。ところが、図1の方法を用いると、緊密であるのに他の頂点まですぐに情報が伝わる。これがSWNの特徴であり、この特徴をFPGA配線構造に活かすことを考える。

### 3 FPGA配線構造のSWN化

多数の論理ブロックと縦横方向に張り巡らされた配線領域で構成されているFPGA配線構造において、スイッチブロックを頂点、長さがそれぞれ1, 2, 4, 8の配線であるシングル、ダブル、クアド、ロングライン(図2参照)をエッジとして考える。従来であればこの場合、シングルラインのみをSWN化することを考えるが、本稿では、ダブル、クアド、ロングラインのそれぞれの場合においてもSWN化を適用することを考える。SWN化の手順は以下のようになる。

1. ランダムに2つの任意のスイッチブロックを選ぶ。
2. 選ばれたスイッチブロック間のラインは(スモールワールドラインと呼ばれる)直結ラインによって交換される。
3. 上記の作用を  $0 \leq p \leq 1$  で、(すべてのライン  $\times p$ ) 回繰り返す。

このとき、各々のチャンネル(隣接しているスイッチブロック間)でのトラック  $w$ (配線経路)の数は固定される。よって、 $w$ の値は変わらない。

図2から、SWN化された2つの任意のスイッチブロック間は、直結ラインによって多くのスイッチブロックを経由することなくつながれていることがわかる。

このことによって本来経由するはずのスイッチブロック間の配線遅延を削減することができる。この過程をいくつかの異なる長さの配線について行うとどのような効果が表れるのか考える。

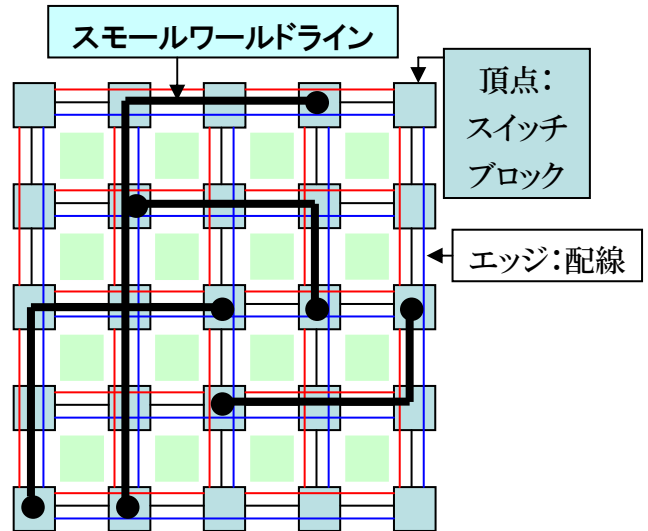


図2. 配線構造のSWN化の例

### 4 $L$ (平均経路長)の再定義

通常、SWNの特徴量である  $L$ (平均経路長)は、2つの任意の頂点間での最短距離のエッジの平均値として定義される。よってこの場合、 $L$ の値が小さくなるほど配線遅延が削減されることがわかる。しかし、配線構造は複数の配線をもつことから、 $L$ を再定義する必要がある。2つの任意の頂点間での最短距離のエッジの平均値  $l_{i,j}$ は、(1)で表される。

$$l_{i,j} = \frac{\sum S_s + \sum S_d + \sum S_q + \sum S_l + \sum_{SWL}}{w} \quad (1)$$

$S_{s,d,q,l,SWL}$ はそれぞれスイッチブロック  $i$ と  $j$ の間のシングル、ダブル、クアド、ロング、そしてスモールワールドラインの数であり、 $w$ は隣り合っているスイッチブロック間のラインの数である。このとき、 $L$ は(2)のように再定義される。

$$L = \sum_{i=0}^{(N_r-1)} \sum_{j=0}^{(N_c-1)} l_{i,j} / N_r \times N_c C_2 \quad (2)$$

$N_{r,c}$ はそれぞれ横/縦によるスイッチブロックの数である。

## 5 評価モデルのシミュレーション

FPGA 配線構造の SWN 化をシミュレーションするに当たって、表 1 の配線の組み合わせのものをを用いる。この組み合わせはほとんど Xilinx XC4000 シリーズと同じであるが、ロングラインの数は異なる。

表 1. 評価モデルの配線の組み合わせ

| 配線の組み合わせ | ラインの数 |
|----------|-------|
| シングルライン  | 8     |
| ダブルライン   | 4     |
| クアドライン   | 12    |
| ロングライン   | 8     |

デバイスサイズは  $8 \times 8$ ,  $16 \times 16$ ,  $32 \times 32$ ,  $64 \times 64$ ,  $128 \times 128$  のものを用いた。また、デバイス性能を保つため、スイッチブロック縦横の 4 方向のうち 1 方向のみの配線を再配線できるように制限した。よって、再配線確率の最大値は  $p(MAX) = 0.23$  (約 0.25) となる。

また、表 1 より、この場合のトラック  $w$  は、

$$w = \frac{8+4+12+8}{4} = 8 \quad \text{である。}$$

### 5.1 シミュレーションの手順

1. 表 1 の配線の組み合わせの評価モデルを図 2 のような網目状の配線構造に配置する。
2. 1 の配線構造において、第 3 章で示した SWN 化の手順をシングル、ダブル、クアド、そしてロングラインそれぞれに用いる。
3. 2 のときにおける平均経路長  $L$  の値を (1)、(2) 式を用いて求める。
4. 3 のときにおける再配線確率  $p$  に対する平均経路長  $L$  の変化を図で示す。

また、上記の手順をシングルとダブル、シングルとクアドといった計 6 種類の配線の組み合わせにも適用し、同時に 2 種類のラインを SWN 化することも考える。

## 5.2 シミュレーションの結果

図 3-7 に各デバイスサイズにおけるシミュレーションを示す。

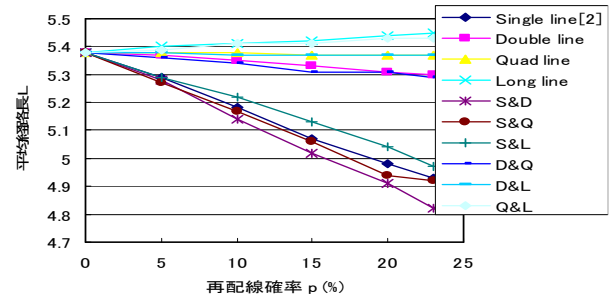


図3. 再配線確率  $p$  に対する平均経路長  $L$  の変化 ( $8 \times 8$ )

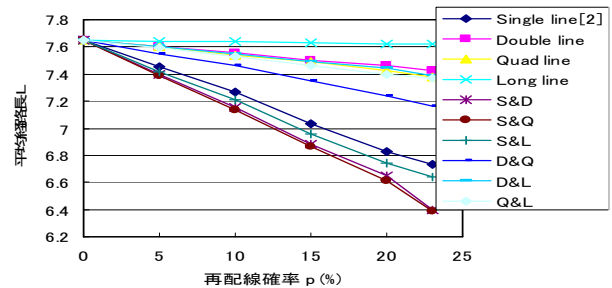


図4. 再配線確率  $p$  に対する平均経路長  $L$  の変化 ( $16 \times 16$ )

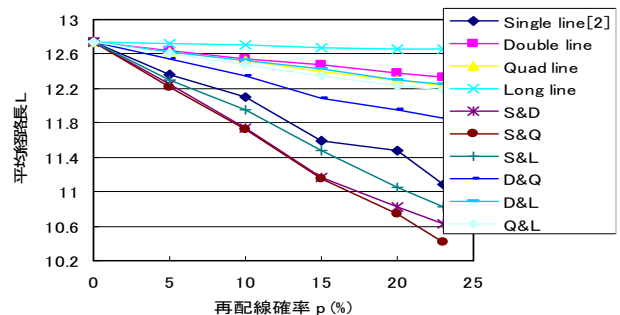


図5. 再配線確率  $p$  に対する平均経路長  $L$  の変化 ( $32 \times 32$ )

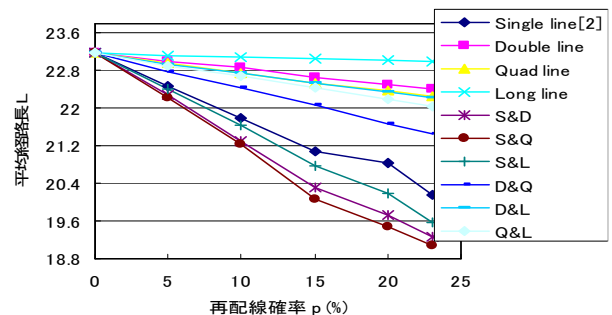


図6. 再配線確率  $p$  に対する平均経路長  $L$  の変化 ( $64 \times 64$ )

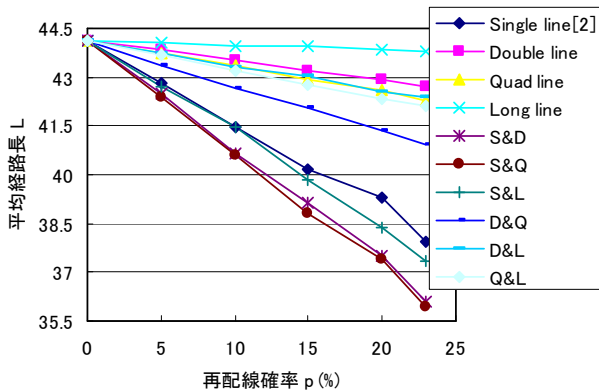


図7. 再配線確率 $p$ に対する平均経路長 $L$ の変化(128×128)

図3～7の結果において、まず、シングル、ダブル、そしてクアドラインにおけるSWN化は再配線確率 $p$ が大きくなるにつれ、平均経路長 $L$ が減少していくことがわかる。その中でも特に、従来の研究で扱われているシングルラインにおいては、その減少が大きいのにに対し、本稿で扱ったダブル、クアド、ロングラインはSWN化前とさほど $L$ の値が変わらないほどその減少は小さい。また、平均経路長 $L$ において、デバイスサイズが大きくなるにつれ、クアドラインによる減少量がダブルラインによる減少量を上回っていくこともわかる。

次に、2種類のラインを同時にSWN化した場合と1種類のラインをSWN化した場合を比較すると、明らかに前者の方が後者に比べて平均経路長 $L$ の減少が大きいことがわかる。その中で配線の組み合わせに着目すると、平均経路長 $L$ において、シングルラインとの組み合わせにおける減少は、他のラインとの組み合わせにおける減少よりも大きい。また、前段落の内容におけるラインの性質がこの結果にも反映されているので、最も減少が大きい組み合わせはシングルラインとクアドラインになった。

### 5.3 考察

シミュレーションの結果を考察する際に、直結ラインに交換した任意の2つのスイッチブロック間に着目する。図8より、本来経由するラインの数について考えたとき、そのラインの長さが短いほどスイッチブロック間のラインの数が多いことがわか

る。その数の分だけ1本のラインでショートカットしたため、シングルラインが他のラインに比べて $L$ の減少が大きくなったのである。

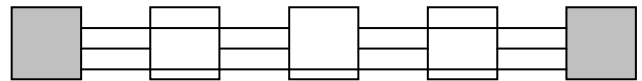


図8. 任意の2つのスイッチブロック間の配線構造

また、平均経路長 $L$ において、デバイスサイズが大きくなるにつれ、クアドラインによる減少量がダブルラインによる減少量を上回っていくことについて考える。デバイスサイズが $8 \times 8$ 、 $16 \times 16$ のように小さい場合においては、図8のような短い任意の2つのスイッチブロック間が多く考えられる。このとき、ダブルラインをSWN化すると、ラインを2本分ショートカットしたことになる。一方、クアドラインをSWN化しようとしても、すでにこのスイッチブロック間ではクアドラインがショートカットの役割を果たしているため、SWN化の効果はないも同然になる。だが、デバイスサイズが $32 \times 32$ 、 $64 \times 64$ 、そして $128 \times 128$ のように大きい場合、任意の2つのスイッチブロック間の距離が長くなるので、短い場合のようなことはあまり考える必要がない。よって、ラインの総数の多いクアドラインによる減少量がダブルラインによる減少量を上回っていく。

さらに、デバイスサイズに着目すると、シングルラインに比べて、ダブル、クアド、そしてロングラインによる減少量が多いことから、SWN化はデバイスサイズが大きくなるにつれて、長さが長いラインほどその効果が大きく表れることがわかる。

## 6 まとめ

本研究では、FPGA配線構造において、シングル、ダブル、クアド、そしてロングラインそれぞれに、また、それらのラインのうち2種類のラインの組み合わせにおいてもSWN化を適用し、そのそれぞれの状態における再配線確率 $p$ 、平均経路長 $L$ との関連性について研究を行った。

その結果、従来の研究では試されなかったいくつかの異なる長さの配線における SWN 化を適用したため、SWN 化を行うのはダブル、クアド、そしてロングラインとは違い、大きく効果が表れるシングルラインが最も適していることが本研究でわかった。また、デバイスサイズが大きくなるにつれ、クアドラインの方がダブルラインの効果を上回っていくこともわかった。同時に SWN 化された 2 種類のラインの組み合わせは、単独のラインを SWN 化するよりもはるかに良い効果が表れている。

今後の課題としては、評価モデルの配線の組み合わせによってシングル、ダブル、クアドそしてロングラインがそれぞれどのような影響を受けるのかを考えていきたい。

#### 参考文献

- [1] 荒井航平、井倉将実 “FPGA/CPLD の基礎と最新動向” FPGA 活用チュートリアル Design Wave Magazine 編集部 編、pp. 4-5, 1997
- [2] Masahiro Iida, Shinya Abe, Hisashi Tsukiashi, Ryouji Ogata and Toshinori Sueyoshi “Adopting the small-world network in routing structure of FPGA” Proc. of International Workshop on Applied Reconfigurable Computing 2005, pp. 92-98, May 2005
- [3] Duncan J. Watts and Steven H. Strogatz “Collective dynamics of small-world networks” Nature, Vol.393, pp. 440-442, 1998